Bundesministerium für Bildung und Forschung

Leonidas

TP 1: Modellierung, Simulation und Extraktion von Leitbahnen unter Berücksichtigung von Ausbeuteoptimierungen

ATMEL

Motivation

- Leitbahnen dominieren das Schaltungsverhalten
- Digital: Signallaufzeiten auf den Leitungen größer als durch aktive BT
- Analog: Beeinflussung des Betriebsverhaltens
- Forderung nach steigender Zuverlässigkeit und kürzerer Entwicklungszeit (Time to Market) bedeutet Berücksichtigung des Leitbahnverhaltens schon in der Entwurfsphase (vor Layout)

Wie sind die Anforderungen?
- Berücksichtigung der Leitbahnen in einem frühen Entwurfsschritt
- Ableitung von Design Regeln und Design Methoden
- Simulation der tatsächlichen realisierten Struktur (relevant Parasiten)
- Erweiterungen der Extraktion Methoden (Verwendung einfacherer Modelle,wo immer es möglich ist)
- Verbesserungen der Genauigkeit bei der Modellierung von Leitbahnen (wo notwendig)
- Berücksichtigung der Rahmenbedingungen (RF/HF, Mixed Signal)
- Layout Anpassungen zur Korrektion optischer Effekte (OPC)
- Modellierung Stochastischer Prozess Variationen mit verteilten Parametern
- Reduktion von Herstellungskosten - Ausbeute - Oprimierung
- Time To Market - Reduktion der Entwurfszeit
- Qualitätsverbesserung - Analyse der Verbindungen und Aufzeigen von Kritischen Layout Gebieten

Vorausschauende Design Methode
- Berücksichtigung der Leitbahnen in einem frühen Entwurfsschritt
- Ableitung von Design Regeln und Design Methoden

Verifikation Methode
- Simulation der tatsächlichen realisierten Struktur (relevant Parasiten)
- Erweiterungen der Extraktion Methoden zurReduktion des Entwicklungs--Zyklussees durch Verwendung einfacherer Modelle (wo immer es möglich ist)
- Verbesserungen der Genauigkeit bei der Modellierung von Leitbahnen (wo notwendig)

Berücksichtigung der Rahmenbedingungen

Anwendungsspezifische Anforderungen
- Anwendungen für RF/HF (>1GHz) und Mixed Signal (Bandwidth) benötigen
- 3D-Extraktion von Induktivitäten
- Anwendungsspezifische Leitbahnmodelle

Technologiespezifische Anforderungen (wegen verkleinerte Geometrien)
- Layout Anpassungen zur Korrektion optischer Effekte (OPC)
- Modellierung Stochastischer Prozess Variationen mit verteilten Parametern

Markt Anforderungen
- Reduktion von Herstellungskosten -
- Ausbeute - Optimierung,
- Time To Market - Reduktion der Entwurfszeit
- Qualitätsverbesserung - Analyse der Verbindungen und Aufzeigen von Kritischen Layout Gebieten

BOSCH

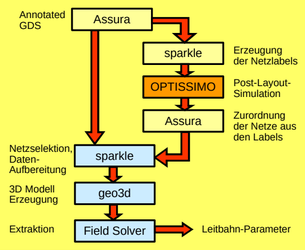
cadence

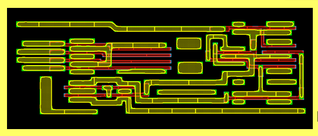
Silicon-View

AP 1.2.4: Vereinfachte Generierung eines Silicon Views

Charakterisierung der Postlayout-Effekte durch Vergleiche der Leitbahn-Parameter mit und ohne Postlayout-Simulation

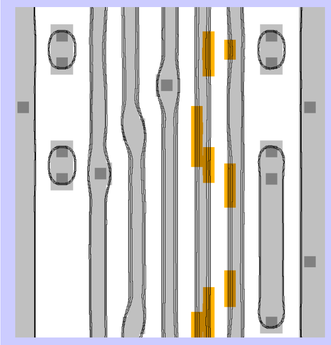
Ziel: vereinfachte Modellierung der Effekte in SPARKLE





Beispiel für Postlayout-Einflüsse

Kritische Layoutstrukturen

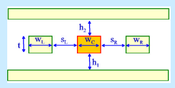


Berechnung der optischen Abbildung unter Berücksichtiung funktionaler Eigenschaften (schwarze durch-gezogene Linien). Extraktion kritischer Gebiete und geometrische Ergebnis-darstellung zur Visualisierung und zur herstellbarkeitsorientierten Entwurfs-automatisierung (orange).

Zufällige Schwankungen, Leitbahn Eigenschaften

Fokus: Zufällige Schwankungen & Leitbahn-Eigenschaften

- 2D-Modellierung
  - Design-Parameter: $\underline{s} = (w_L, w_C, w_R, t, h_1, h_2, \ldots)$
  - Zielgrößen: R,C, ...



- Prozess-Schwankungen:

- $\underline{s}$ schwankt um $\underline{s}_0$
- Verteilung $W(\underline{s})$ (z.B. Gauß…)
- R, C schwankt um R_0, C_0
- Verteilung $P(C,R) = ?$

Abbildung i.a.
- **nichtlinear**
- **nicht invertierbar**
- **kompliziert…**

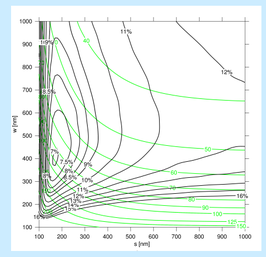
erzeugt starke **Korrelationen** zwischen R und C

Neuer semi-analytischer Zugang: 2D-Beispiel

- üblich: "brute force" Monte-Carlo-Analyse — rechenzeitintensiv...
- neu: semi-analytischer Zugang — im Gültigkeitsbereich sehr effektiv...

2D Bus-Systeme:

semi-analytischer Zugang ermöglicht
- systematische Fluktuationskarten
- Sensitivitätsanalyse
- Fluktuationsanalyse



Übergang 2D → 3D: Neue Probleme

- (sehr) große Zahl parasitärer R und C Elemente in realem 3D Layout.
- starke nichttriviale Korrelationen zwischen den Elementen: lokale und langreichweitige Nachbarschaftseffekte.
- Ziel: Extraktionsbasierte statistische Analyse für reale 3D layouts
  - Standard RCX: Reales Layout + Technologieaufbau → RC-Extraktion → Netz-liste → Schaltungs-Simulation
  - Fluktuations-RCX: semi-analytischer Zugang auf 3D-Fall verallgemeinerbar. Kombination mehrerer Standard-RC-Extraktionen als Input.

  → Parasiten-Netzlisten + Fluktuationsinformation
  → Schaltungssimulation unter Berücksichtigung der Prozess-Variationen

IMS
Institut für Mikroelektronische Systeme
Universität Hannover

Einfluss von Induktivitäten Sensitivitianalyse

Leonidas Beitrag 1.1.2
Einfluss von Induktivitäten bei On-Chip Leitbahnen
Motivation

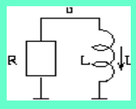
- Anstieg der Betriebsfrequenz auch im DRAM Bereich (z. B. Graphik-DRAMs) bis 800 MHz und darüber hinaus erfordert Modellierung der Induktivitäten
- Simulation von Wiederständen erhöht Dimension der Netzwerkgleichungen stark
- Einbeziehung von Induktivitäten in die Schaltkreis-Simulation erhöht die Rechenzeit stark:
  - weitere Netzwerkgleichungen
  - Zunahme komplexer Eigenwerte, Schaltung schwingt
  - Deshalb kleinere Schrittwerte zur Abtastung nötig

⇒ Welche Induktivitäten müssen extrahiert werden?

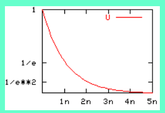
⇒ Wie kann man diese Induktivitäten extrahieren

Leonidas Beitrag 1.1.2
Auswahl der Induktivitäten mit Sensitivitätsanalyse

- Beispiel: Vergleich der exakten Lösung bei einem einfachen Testfall: RL-Schaltung mit R=1kO, L=1µH



$$u_{(t)} = -RI_0 \cdot e^{-\frac{R}{L}t}$$



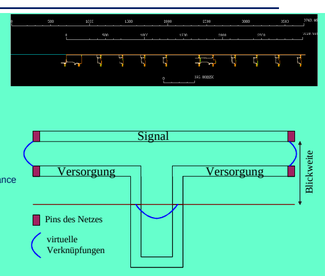
Lösung: Mit I_0=-1/R (d.h. u(0)=1) ergibt sich für

$$delay := t_{u=1/e^2} - t_{u=1/e} = 2 \cdot \frac{L}{R} - \frac{L}{R} = \frac{L}{R} \qquad \frac{\partial delay}{\partial L} = \frac{1}{R} = 10^{-3}\,1/\Omega$$

- Ergebnis Sensitivitätsanalyse: dDELAY/dL= 1.000E-03

Leonidas Beitrag 1.1.2
Berechnung der Induktivitäten auf Layout-Basis

- Woher kommen die Daten?
  - 2D Beschreibung (aus extrahierter Datenbasis):
    - Liste der Polygone
    - Liste der Vias (Verbindungen zwischen Ebenen)
    - Liste der Kontakte (Anschlüsse von Devices)
  - Pindefinition:
    - manuell (z.B. Zellpins)
    - automatisch aus extrahierter Datenbasis (Devices)
- Interner Ablauf
  - Filter (z.B. kleine Nachbarnetze)
  - Suche Rückkehrpfad, schließe Schleife für Loop Inductance
  - Ansteuerung FastHenry zur Berechnung der Induktivitäten

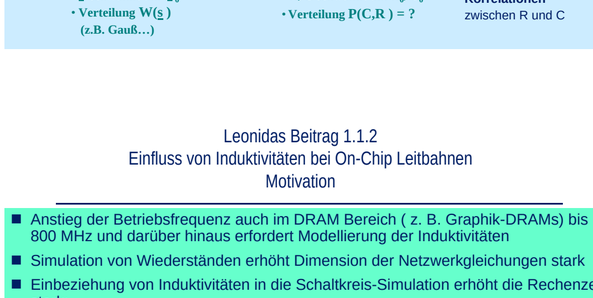


PDF SOLUTIONS

Erkennung von Einkopplungen

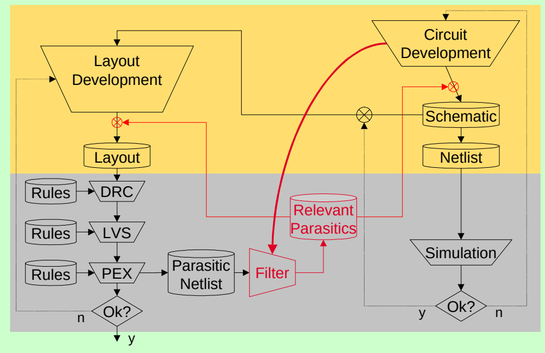
Motivation: Erkennung kritischer Einkopplungen

HF-Störung durch Kabel-baum (gegeben durch Spezifikation, z.B 20V/µs)



Was wurde erreicht
- **Definition einer kritischen Koppelkapazität (explizit designspezifisch)**
- **Definition störender Netze**
- **Definition der Störgröße (HF-Störung am Pad)**
- **Definition, bis zu welchem Bauelement die Störung wirkt:**
  - **Übertragung über Hierarchie**
  - **Berücksichtigung bis zu aktiven Bauelementen**
  - **Übertragung der Störung über bestimmte Bauelemente hinweg (Metall-Widerstände)**
- **Definition unempfindlicher Netze (z. B. Versorgungsleitungen)**
- **Visualisierung der kritischen Flächen im Layout (ähnlich DRC)**
  - **Layouter kann kritische Leitungsführung schon in der Entwurfsphase berücksichtigen und vermeiden**
- **Visuelle Überprüfung anhand des Schaltplans**
  - **Bewertung restlicher kritischer Kopplungen durch Schaltungsentwickler**
- **Backannotation/Simulation ist somit für diese Fälle nicht notwendig!**
  - **Rekursionsschleife wird vermieden**

Resultierender Designflow



PHILIPS
Philips Semiconductors GmbH

Fehlerlokalisation zur Verbesserung der Testqualität

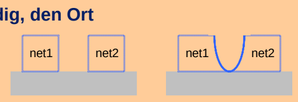
Testmustergenerierung für Bridging Fehler

Problem

Moderne Designs müssen auf mögliche Kurzschlüsse und Bridges zwischen Leitungen getestet werden.

Spezifische Testmuster müssen dafür erstellt werden

Für die Fehlerlokalisierung ist es notwendig, den Ort einer möglichen Bridge zu kennen

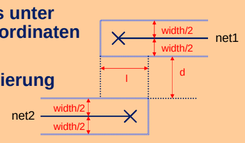


Lösung

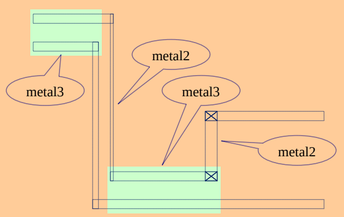
Entwicklung eines EDA Werkzeugs zur Extraktion benachbarter Verdrahtungsleitungen aus dem Layout

Bestimmung der Positionen möglicher Bridges unter Berücksichtigung von Länge, Abstand und Koordinaten der Leitbahnen

Spezifische Schnittstellen zu Testmustergenerierung und Fehlerlokalisierung

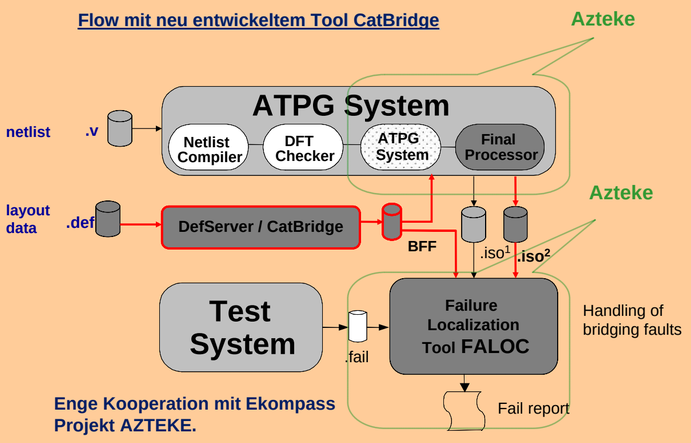


Für alle (hierarchischen) Netze werden aus dem .def File die x,y Koordinaten und Layerangaben extrahiert.



Merken aller Netzpaare, die mögliche, relevante Bridges enthalten und Geometrieextraktion der Positionen.

Flow mit neu entwickeltem Tool CatBridge



Enge Kooperation mit Ekompass Projekt AZTEKE.