

Aufrufe zur EDA-Clusterforschung



Aufruf zum EDA-Clusterforschungsprojekt 7:

Thema: "Automatisierter Firmware-Entwurf unter Berücksichtigung von Timing- und Power-Budgets für anwendungsspezifische Elektroniksysteme"

Mai 2015

Die Durchdringung der Mikroelektronik in eine Vielzahl von Steuerungs- und Sensor-Geräten ist ein anhaltender Trend, der sich in verschiedenen Anwendungsdomänen abzeichnet, sei es in der Automobiltechnik, in der Energieversorgung bei Power-Control-Geräten oder in der Mobilkommunikation. Diese Anwendungen stellen hohe Anforderungen an die maximal zulässige Leistungsaufnahme sowie den elektrischen Energieverbrauch und erfordern gleichzeitig die Einhaltung strikter applikationsspezifischer Zeitbedingungen.

In der Automobiltechnik werden z.B. zunehmend periphere, mikroelektromechanische Systeme (MEMS) in Form von hochintegrierten System-in-Package (SIP)-Lösungen eingesetzt. Diese SIPs müssen üblicherweise in applikationsspezifischen Zeitrastern die integrierte Sensorik auswerten und gleichzeitig eine sehr geringe elektrische Leistungsaufnahme aufweisen. Die Stromversorgung des Gesamtsystems erlaubt es dabei nicht, sämtliche Komponenten, wie z.B. einen Multicore-Prozessor, eine DSP-Einheit sowie die verwendeten MEMS (Beschleunigungssensor, Drehratensensor, Drucksensor, etc.) parallel zu betreiben. Große Änderungen der dynamischen Leistungsaufnahme führen zu einer stärkeren Belastung des Spannungsreglers und können den Analogteil stören sowie die elektromagnetische Verträglichkeit (EMV) negativ beeinflussen. Für derartige Systeme ist daher eine optimierte Gesamtsystemauslegung zu bestimmen, die einen sicheren Betrieb unter gegebenen Timing- und Power-Budgets ermöglicht.

Im Bereich von intelligenten Power-Control-Devices besteht die Herausforderung in der kundenspezifischen Auslegung des gesamten Systems unter Einbeziehung diskreter Bauelemente, wie Spulen und Widerständen. Die Funktionalität wird über die Firmware mit dem Ziel definiert, den Wirkungsgrad des Gesamtsystems unter Berücksichtigung von Art, Anordnung und Toleranzen der diskreten Bauelemente zu bestimmen. Die Ansteuerung muss gegebene Zeitbedingungen erfüllen und zielt auf eine Optimierung des Energieverbrauchs des gesamten Power-Control-Devices ab.

In der Mobilkommunikation bestimmt die Firmware zusammen mit den ausgeführten Applikationen den Energieverbrauch und damit verbunden die verfügbare Betriebs- bzw. Bereitschaftszeit sowie die Oberflächentemperatur eines Smartphones. Die Oberflächentemperatur resultiert dabei aus der Verlustleistung und ist ein kritischer Parameter bei der Systemauslegung eines Smartphones. Eine Lösung kann nur über vordefinierte Timing- und Power-Korridore erzielt werden, die unter Kontrolle der Firmware eines Smartphones liegen. Typische anwendungsspezifische Aktivitätsmuster können so analysiert und bewertet werden. Hierbei sind Power-Managementstrategien unter Berücksichtigung gegebener Zeitanforderungen zu explorieren, um z.B. Smartphone-Komponenten zum richtigen Zeitpunkt in einen definierten Betriebszustand (z.B. in den Sleep-, Idle- oder Run-Mode) zu überführen.

Alle erwähnten Domänen erfordern neue Techniken zur systematischen Auslegung der Firmware und der digitalen

Hardware im Hinblick auf eine optimierte Ausnutzung applikationsspezifischer Timing- und Power-Budgets. Dies ermöglicht bei Power-Control-Anwendungen in der Industrieautomatisierung eine optimierte kundenspezifischen Auslegung des Systems, in der Automobiltechnik die Gewährleistung eines sicheren Betriebs unter gegebenen Timing- und Power-Budgets und in der Mobilkommunikation eine Erhöhung der Betriebs- bzw. Bereitschaftszeit mit reduzierten Oberflächentemperaturen. Der automatisierte Firmware-Entwurf soll daher in allen Domänen eine anwendungsspezifische Auslegung des Gesamtsystems im Hinblick auf Timing- und Power-Anforderungen ermöglichen und damit zu einem wichtigen Wettbewerbsvorteil Deutschlands im Bereich kundenspezifischer Elektroniksysteme führen.

Das vorgeschlagene Clusterforschungsprojekt soll Grundlagen und Methoden zur frühzeitigen und systematischen Firmware-Entwicklung unter Einbeziehung der zugrundeliegenden Hardware-Architektur bestehend aus digitalen und analogen Komponenten erforschen. Einen wichtigen Aspekt stellt dabei der Entwurf von optimierten Hardware/Firmware-Architekturen dar, die sich per Konstruktion Timing- und Power-deterministisch verhalten. Um dies zu erzielen, sind Modellierungsansätze notwendig, die die Analog/Digital-, Hardware/Software- und Software/Software-Schnittstellen adressieren, eine automatisierte Treibergenerierung erlauben und gleichzeitig Performanz, Leistungsaufnahme, Energieverbrauch und Registeranzahl optimieren. Im Bereich der Firmware-Entwicklung ist in vielen Anwendungen ein taktzyklengenaueres Verständnis der Software sicherzustellen. Damit einhergehend sollen Strategien zum dynamischen Power-Management abgeleitet und in eine Constraint-basierte Laufzeitverwaltung integriert werden, die gegebene Constraint-Korridore berücksichtigt. Um eine frühe Bewertung der Hardware/Firmware-Architektur zu ermöglichen, sollen geeignete Ansätze zur Timing- und Power-Analyse mit speziellem Fokus auf den Firmware-Entwurf erforscht werden. Die erforschten Ansätze sollen anhand industrieller Beispiele aus den zuvor genannten Anwendungsdomänen Automotive, Industrieautomatisierung, Power Control und Mobilkommunikation evaluiert werden.

Informationen sowie Dokumente zur Antragstellung zu dieser EDA-Clusterforschungsinitiative finden Sie unter:

[CFP7-Aufruf.zip](#) ^[1]

[Pressemitteilung zum Aufruf](#) ^[2]

Aufruf zum EDA-Clusterforschungsprojekt 6: Thema: "Analog-Coverage für die Modellierung und Validierung von Analogen/Mixed-Signal-Systemen (ANCONA)"

Mai 2013

Die Energiewende, die Entwicklung der Elektromobilität und die Steigerung der Leistungs- und Integrationsfähigkeit ermöglichen eine weit fortschreitende Entwicklung von integrierten mikroelektronischen Systemen zum Beispiel im Automotive-Bereich, aber auch in allgemeiner Sensorik, Aktorik, Kommunikation und Power-Elektronik. Erwartet wird eine Verschiebung der kleinen analogen Regelkreise in höhere Ebenen, um durch digitale und Software-gesteuerte Regelmechanismen energiesparender, flexibler und leistungsfähiger zu sein.

Diese Möglichkeiten fordern einen Systementwurf, der immer komplexere Analog- und Mixed-Signal-Systeme möglichst „first-time-right“ auf den Markt bringen kann. Eine Verifikation durch Simulation oder formale Verfahren muss die Funktion und Fehlerfreiheit des entworfenen Gesamtsystems absichern. Heutige Systeme leisten dieses jedoch nur sehr eingeschränkt: Große Mixed-Signal-Gesamtsysteme können auf Grund mangelnder Simulationsgeschwindigkeit heute gar nicht simuliert werden. Auf dem Abstraktionsweg zur Systemebene fehlt weiterhin oft eine geschlossene, zuverlässige Absicherung, so dass nicht klar und sicher erkennbar ist, ob das eingesetzte Modell überhaupt die richtigen auf Systemebene relevanten Effekte in angemessener Genauigkeit erfasst. Auf der anderen Seite spielen heute auch bei kleinen, mobilen Geräten die früher vielleicht als konstant vernachlässigbaren Versorgungsspannungen eine große Rolle. Die PMUs (Power Management Units) erfordern eine Regelung von Systemebene hinab. Früher wenig relevante parasitäre Bauteile können die heute ineinander geschachtelten DC-DC-Wandler aufgrund ihrer Interaktion mit der Power-Domain-Regelung auf Systemebene so stören, dass Instabilitäten, Leistungsverluste und Systemausfälle drohen.

Vorhandene Modellierungssprachen auf Systemebene wie Matlab/Simulink und SystemC sind allein nicht in der Lage, die bestehenden Lücken sowohl inhaltlich als auch durch ihre jetzige Verwendung konzeptionell zu lösen. Mixed-Signal-Simulatoren mit VerilogAMS/VHDL-AMS sind für ein detailliert modelliertes Gesamtsystem meist zu langsam. Die qualifizierte Modellierung von Schaltungskomponenten in diesen verschiedenen Welten ist kaum erreichbar. Dieses Clusterforschungsprojekt soll sich daher vor allem auf die analogen und Mixed-Signal-Schaltungen und deren Verifikation und Validierung konzentrieren.

In diesem Zusammenhang ist unter Analog-Coverage ein Maß dafür zu verstehen, wie vollständig alle relevanten Betriebsfälle einer Anologschaltung mit welcher Sicherheit verifiziert wurden. Sie bildet im Mixed-Signal-Kontext den Themenschwerpunkt dieses Clusterforschungsprojekts. In Analog-Coverage gehen sowohl die Auswahl der richtigen Test-Cases als auch die Genauigkeit der verwendeten Modelle auf verschiedenen Ebenen ein.

Eine Industrie, die über die Möglichkeiten verfügt, die notwendige Analog-Coverage sicherzustellen, wird in der Lage sein, schneller und fehlerfreier deutlich komplexere Systeme auf den Markt zu bringen, welches wieder Vorteile für deren Kunden, z.B. die Automobil-Industrie hat.

Das vorgeschlagene Clusterforschungsprojekt soll Grundlagen und neue Methoden für die analoge Verifikationsabdeckung (Analog-Coverage) in heutigen komplexen Analog- und Mixed-Signal-Systemen erarbeiten. Dazu können Modellierungskonzepte, Verifikationskonzepte und Abstraktionsmethoden von Power-Bausteinen, Power-Netzen, allgemeinen analogen und Mixed-Signal-Baugruppen gehören, ebenso Verfahren zur erheblichen Simulationsbeschleunigung auf Systemebene. Ziel ist es, die Simulation von komplexen Automotive- oder Kommunikationsplattformen zu ermöglichen und dadurch Analog-Coverage zu bestimmen und zu optimieren.

Informationen sowie Dokumente zur Antragstellung zu dieser EDA-Clusterforschungsinitiative finden Sie unter:

[CFP6-Aufruf.zip](#) ^[3]

[Pressemitteilung zum Aufruf](#) ^[4]

Aufruf zum EDA-Clusterforschungsprojekt 5: "Verfahren für den Entwurf von dreidimensionalen nanoelektronischen Systemen" (NEEDS)

März 2009

Neben Systems-on-Chip (SoC) nimmt im stärkeren Maße die 3D-Integration an Bedeutung zu. Bei der 3D-Integration werden Chips gestapelt und elektrisch miteinander verbunden, so dass ein komplexes elektronisches Gesamtsystem entsteht. Für die Stapelung gibt es unterschiedliche Verfahren, wobei die Benutzung gedünnter Chips und ihre Verklebung für die Zukunft an Bedeutung gewinnen wird. Mit der Stapelung von Chips ergeben sich große Chancen für die Nanoelektronik in Deutschland. Es können

- neue Funktionalitäten erschlossen werden,
- Komponenten und heterogene Technologien flexibler eingesetzt werden und
- Kosten und Energie gespart werden.

Die 3D-Integration ist aber eine große Herausforderung für den Entwurf, da eine Vielzahl neuer Anforderungen zu berücksichtigen ist, für deren Lösung bisher keine kommerziellen Werkzeuge zur Verfügung stehen. Auch in der Forschung konnten bisher nur für wenige Teilaspekte Lösungen erarbeitet werden. Besondere Schwerpunkte aus Anwendersicht für dieses Projekt sind:

- Intelligente Aktoren und Sensoren, einschließlich integrierter Antennen
- Leistungselektronik (smart power)
- Hochfrequenztechnik

Dabei ergeben sich neben der steigenden Funktionalität folgende Verbesserungen durch die 3D-Integration:

- Bessere Performanz
- Geringerer Leistungsverbrauch
- Raumersparnis
- Breitere Technologiebasis
- Mehr Flexibilität bei der Implementierung des Systems
- Besserer Schutz von IP

Während sich die Fertigungsdominanz für digitale Standardprozesse und -bauelemente aufgrund der starken Subventionen immer mehr nach Asien und z. T. zurück in die USA verlagert, bleibt die Fertigung von Spezialtechnologien, Spezialbauelementen und kompletten, komplexen Mixed-Signal-Systemen eine Domäne in Deutschland bzw. in Europa. Die Systemintegration, die Mikrosystemtechnik und die Leistungselektronik werden in starkem Maße von Europa geprägt.

Mit dem vorgeschlagenen Clusterforschungsprojekt werden Grundlagen für den Entwurf von komplexen und sehr heterogenen Systemen geschaffen. Besonders wichtig ist dabei nicht nur eine Facette sondern spezielle Probleme eingebettet in die Gesamtproblematik des 3D-Entwurfes zu betrachten. Eine Projektaufgabe sollte deshalb immer ein bestimmtes Thema aus den unten genannten Schwerpunkten enthalten aber auch einen Bezug zu mindestens einem weiteren Schwerpunkt besitzen. Insgesamt wird das Clusterforschungsprojekt neue Wege erforschen, wie ein integrierter Entwurfsprozess für 3D-Systeme aussehen kann.

Weitere Informationen zu dieser EDA-Clusterforschungsinitiative:

[CFP5-Aufruf.pdf](#) ^[5]

Aufruf zum EDA-Clusterforschungsprojekt 4: "Entwurf robuster nanoelektronischer Systeme" (ROBUST)

Oktober 2007

Die fortschreitende Technologieentwicklung bei der Herstellung hochintegrierter Schaltkreise führt zu einer zunehmenden Annäherung an physikalische Grenzen. Der Übergang zu Technologien mit Strukturbreiten von 45 nm und darunter hat unter anderem zur Folge, dass ein Transistorkanal deutlich weniger als 100 dotierte Atome aufweist und die Dicke des Gateoxids nur noch wenige Atomlagen besitzt, so dass mit einer stark wachsenden Sensibilität für stochastische Effekte zu rechnen ist. Diese stetige Miniaturisierung führt sowohl zu steigenden Prozessvariabilitäten als auch zu zunehmenden zeitabhängigen Variabilitäten im Betrieb.

Aktuelle Forschungs- und Entwicklungsarbeiten fokussieren im Wesentlichen auf fertigungsbedingte Prozessvariabilitäten als Ausgangspunkt für die Optimierung der Robustheit und Zuverlässigkeit von Halbleiterschaltungen. Sie basieren auf dem klassischen Ansatz der Perfektion ohne den zwingenden Bedarf für Fehlertoleranzmaßnahmen im Betrieb. Es zeigt sich aber schon jetzt, dass eine ausschließliche Betrachtung der Prozessvariabilitäten nicht mehr ausreicht. Es ist dringend erforderlich, diese auf zeitabhängige Variabilitäten im Betrieb auszudehnen. Solche zeitabhängigen Effekte können z. B. durch Alterungseffekte, Umgebungsstrahlung, elektromagnetischer Interferenz sowie durch Schwankungen von Temperatur, Versorgungs- und Schwellspannung verursacht werden. So verursachen durch Alterungseffekte hervorgerufene zeitabhängige Variabilitäten nicht nur funktionale Fehler, sondern führen zunehmend auch zu einer Veränderung der kritischen Pfade im Betrieb. Dies führt dazu, dass ohne neuartige Entwurfs- und Architekturansätze notwendige Garantien bezüglich Robustheit, Zuverlässigkeit und eines definierten Zeitverhaltens nicht mehr für den gesamten Betriebszeitraum möglich sein werden. Die genannten Aspekte stehen damit direkt im Einklang mit dem im BMBF-Forschungsförderprogramm IKT 2020 unter der "Enabling Technologie" Chipentwurf (EDA) aufgeführten Forschungsthema "Produktiver Systementwurf für robuste Systeme".

Ziel des Clusterforschungsprojekts "Entwurf robuster nanoelektronischer Systeme" ist die Erforschung neuer Methoden und Werkzeuge für den Systementwurf robuster System-on-Chip-Architekturen, die die Fähigkeit aufweisen, Funktionsfehler, Fertigungsfehler sowie Parameterschwankungen während des Betriebs zu kompensieren.

Weitere Informationen zu dieser EDA-Clusterforschungsinitiative:

[CFP4-Aufruf.pdf](#) [7]

[Pressemitteilung zum Aufruf](#) [8]

Aufruf zum EDA-Clusterforschungsprojekt 3: "Autonome Integrierte Systeme" (AIS)

April 2005

Der Übergang von der Mikro- zur Nanoelektronik führt aufgrund steigender Miniaturisierung zu zunehmenden Entwurfsproblemen. So können Sättigungsströme, Versorgungsspannung sowie Subthreshold-Ströme nicht mehr als feste Größe angesehen werden und haben daher einen hohen Einfluss auf die Zuverlässigkeit von integrierten Systemen. Dies führt dazu, dass künftig der übliche "Worst-Case"-Entwurf in Bezug auf Zeitverhalten und Leistungsverbrauch nicht mehr möglich sein wird und ein Paradigmenwechsel beim Entwurf und der Herstellung künftiger SoCs erforderlich wird, der vermehrt Zuverlässigkeit, Robustheit und Komplexität in den Vordergrund stellt. Eine Lösung für dieses Problem besteht in der Verwendung von autonomen Hardware-Architekturen, mit der Fähigkeit zur Selbstorganisation, Selbstheilung, Selbstoptimierung und des Selbstschutzes, um robust auf ausfallende Subsysteme reagieren zu können und somit die Zuverlässigkeit des Gesamtsystems signifikant zu erhöhen. Damit werden direkt die neuen Herausforderungen in den deutschen elektronischen Schlüsselindustrien Automotiv, Mobilkommunikation und der Medizintechnik adressiert, die eine Vielzahl sicherheitskritischer Anwendungen mit hohen Zuverlässigkeits- und Robustheitsanforderungen aufweisen.

Ziel des Clusterforschungsprojekts "Autonome Integrierte Systeme" ist die Erforschung neuer Methoden, Werkzeuge und Architekturen für den Entwurf Autonom Integrierter Systeme. Nur in enger Zusammenarbeit in der Methoden- und Architekturforschung ist ein Ansatz erreichbar, der durchgängig auf allen Entwurfsebenen Zuverlässigkeitsaspekte berücksichtigt. Hierzu sollen Prinzipien der Selbstorganisation und der Selbstheilung sowohl in der Hardware-Architektur als auch in die Entwurfsmethodik künftiger integrierter Systeme auf unterschiedlichen Abstraktions- und Technologieebenen eingebunden werden. In enger Kooperation mit führenden Industrieunternehmen soll anhand ausgewählter Anwendungen die prototypische Realisierbarkeit von autonomen IC-Bausteinen und Entwurfsverfahren demonstriert werden. Der Schwerpunkt der geplanten Forschungsaktivitäten wird dabei auf einem breiten Einsatz dieser Prinzipien auf unterschiedlichen Abstraktionsebenen sowohl im Bereich der Entwurfsmethodik liegen. Zu den neuen

Prinzipien im Bereich autonomer Hardware-Architekturen zählen auch Schaltungskonzepte auf Transistorebene, die Störungen tolerieren können, selbstheilende Speicher- und Prozessorarchitekturen auf Gatter- und Register-Transfer-Ebene sowie selbstorganisierende Hardware-Plattformen mit redundanten Prozessor- und Kommunikationsressourcen auf Systemebene.

Um die dadurch entstehenden vielfältigen neuen Freiheitsgrade im Entwurf beherrschen zu können, sind neue Entwurfsmethoden zu erforschen, die autonome Architekturen auf unterschiedlichen Technologieebenen hinsichtlich ihrer Eignung für gegebene Applikationen und unter Berücksichtigung vorgegebener Zuverlässigkeitsanforderungen bewerten und damit eine automatisierte, applikationsspezifische Architekturbestimmung ermöglichen. Hierzu sind Untersuchungen autonomer Architekturen auf verschiedenen Technologieebenen notwendig, wobei den Schnittstellen zwischen diesen Ebenen besondere Bedeutung zukommt. Vergleichbar ist dies etwa mit heutigen Ansätzen zum Power Management, das von der Spannungs-/Frequenzanpassung auf unterster Ebene bis zur Betriebssystemunterstützung ebenenübergreifend über standardisierte Schnittstellen erfolgt.

Weitere Informationen zu dieser EDA-Clusterforschungsinitiative:

[CFP3-Aufruf.pdf](#) ^[9]

Aufruf zum EDA-Clusterforschungsprojekt 2: "Funktionale Verifikation von Systemen" (FEST)

Dezember 2002

Die Produktivität beim Entwurf mikroelektronischer Systeme wird zunehmend von der Verifikationsmethodik bestimmt. Gegenwärtig entfallen circa 70% der Kosten für den System-on-Chip-Entwurf auf die Verifikation. Ziel des EDA-Clusterforschungsprojektes ist es, zur Schließung dieses "Verification gaps" beizutragen.

Ein zentrales Problem der Verifikation besteht darin, geeignete Modelle des zu überprüfenden Systems zu entwickeln. Ein solches Modell soll eine Verifikationssprache und die zugehörige Beweistechnik zulassen, in der sich die relevanten Eigenschaften des Systems beschreiben und überprüfen lassen. Beide Anforderungen, Ausdrucksstärke der Modellbeschreibung und Vollständigkeit ihrer Überprüfung, sind nur schwer miteinander vereinbar. Herkömmliche Verifikationsmethodiken arbeiten jeweils auf den vollständigen Modellen einer Entwurfsebene. Die Eigenschaften dieser Modelle können jedoch nur unvollständig mittels einer Simulation überprüft werden. Im Allgemeinen schränken formale Verifikationsmethoden die Wahl eines geeigneten Modells stark ein. Innerhalb dieses Modells gestatten sie allerdings eine vollständige Analyse der Entwurfsqualität. Besondere Erfolge konnten in den Fällen erzielt werden, wo die Modelle aus beiden Ansätzen übereinstimmten. Als Stichpunkte sind hier Äquivalenzvergleich und Blockverifikation zu nennen.

Das Dilemma eines einheitlichen Modells, welches beide genannten Ansätze berücksichtigt, wird im Allgemeinen nicht lösbar sein. Zwingend wird eine Modellvielfalt, vor allem in den oberen Entwurfsebenen, fortleben. Das EDA-Clusterforschungsprojekt soll einen Beitrag leisten, die Modellvielfalt für den Designer beherrschbar zu machen. Beispielsweise werden benötigt:

- Eine "Compositional verification"-Methodik zur Zusammenbindung einzelner Verifikationsergebnisse. Insbesondere sollen Ergebnisse der formalen Blockverifikation für die Systemverifikation genutzt werden.
- Hybride Beweiser zur Nutzung der Vielfalt von Modellen und Beweistechniken. Beispielsweise könnten folgende Kombinationen betrachtet werden: ganzzahlige und Boolesche Beweiser, formale und nicht-formale Techniken und Binäre Entscheidungsbäume (BDD).
- Eine Gesamtsicht auf den Stand der Entwurfsqualität (Metriken), Identifikation von Defiziten und gezielte Hinweise zum Einsatz der verfügbaren Verifikationstechniken. Insbesondere werden Maße zur Bestimmung der Überdeckung (Coverage) für die formale Blockverifikation benötigt, die an die Überdeckungsmaße der Simulation angepasst sind.
- Aufbauend auf diesen Ergebnissen lassen sich weitere relevante Forschungsthemen erarbeiten. Dazu gehören vor allem Grey-Box und Black-Box-Ansätze für IP-Komponenten. Durch den immer stärkeren Einsatz von IP-Blöcken während des Hardwareentwurfs ist eine Verifikation dieser Blöcke unabdingbar. Wenn diese Blöcke eine Programmierschnittstelle zur Verfügung stellen, ist es insbesondere notwendig, diese Schnittstelle zu beschreiben und deren Korrektheit zu verifizieren, um die darauf auszuführende Software auf einer soliden Basis verifizieren zu können. Auch die für die Hardware/Software-Verifikation neu zu entwickelnden Techniken können von den bereits erwähnten Methoden wie kompositionale Verifikation, hybride Beweistechniken und den Metriken zur Bestimmung der Entwurfsqualität profitieren. Software-Verifikation ist allerdings ausdrücklich nicht Thema des EDA-Clusterforschungsprojekts.

Weitere Informationen zu dieser EDA-Clusterforschungsinitiative:

[CFP2-Aufruf.pdf](#) ^[10]

Aufruf zum EDA-Clusterforschungsprojekt 1: "Strukturelle Synthese von analogen Schaltungen" (SAMS)

Oktober 2002

Analoge Schaltungen sind ein wesentlicher Bestandteil von Systems on Chip (SoC). Sie werden im Gegensatz zu den digitalen Modulen weitgehend mit manuellen Entwurfsschritten erzeugt. Dadurch wird der Entwurf von analogen und Mixed-Signal Modulen zum Flaschenhals beim Schaltungsdesign, Zusätzlich bedeuten insbesondere die regelmäßig nötigen Anpassungen an neue Prozesstechnologien einen enormen manuellen Aufwand für analoge Module.

Das EDA-Clusterforschungsprojekt soll die Entwicklung von Methoden und Werkzeugen zur Automatisierung des Entwurfsprozesses für analoge Schaltungen vorantreiben. Es fokussiert sich auf die Automatisierung der strukturellen Synthese analoger Schaltungen, für die derzeit keine leistungsfähigen Tools und Werkzeuge existieren. Ziel ist es den hohen Entwicklungsaufwand zu reduzieren, um die Entwurfszeit und die damit verbundenen Kosten zu senken.

Im Folgenden werden beispielhaft mögliche Aufgaben zur Verbesserung der strukturellen Synthese analoger Schaltungen grob umrissen. Hauptaufgabe ist die Entwicklung von Synthesewerkzeugen zur Umwandlung verhaltensorientierter Beschreibungen in eine Strukturbeschreibung auf Basis von standardisierten Sprachen. Dabei kann die Transformation von Schaltungsbeschreibungen auf Verhaltensebene in eine synthesesfreundliche Beschreibungsform diesen Vorgang unterstützen. Die Entwicklung von Werkzeugen zur Überprüfung der Syntheseigenschaften von Mixed-Signal Schaltungen, die auf Verhaltensebene beschrieben wurden, könnte die Struktursynthese unterstützen. Untersuchungen zu bibliotheksorientierten Ansätzen auf der Strukturebene könnten zur Verbesserung der Syntheseergebnisse beitragen.

Weitere Informationen zu dieser EDA-Clusterforschungsinitiative:

[CFP1-Aufruf.pdf](#) ^[11]

edacentrum | Schneiderberg 32 | 30167 Hannover | fon: +49 511 762-19699 | fax:+49 511 762-19695 | email: info@
edacentrum [dot] deup

Source URL: <https://www.edacentrum.de/en/node/533>

Links:

- [1] <https://www.edacentrum.de/system/files/files/projekte/edaclusterforschung/CFP7-Aufruf.zip>
- [2] <https://ssl.pressebox.de/?boxid=738288>
- [3] <https://www.edacentrum.de/system/files/files/projekte/edaclusterforschung/CFP6-Aufruf.zip>
- [4] <https://ssl.pressebox.de/pressemitteilung/edacentrum-ev/Analogschaltungen-mit-Sicherheit-fehlerfrei/boxid/598021>
- [5] <https://www.edacentrum.de/en/system/files/files/projekte/edaclusterforschung/CFP5-Aufruf.pdf>
- [6] <https://ssl.pressebox.de/pressemitteilung/edacentrum-ev/Hauchduenne-Chips-uebereinander-vernetzt/boxid/249898>
- [7] <https://www.edacentrum.de/en/system/files/files/projekte/edaclusterforschung/CFP4-Aufruf.pdf>
- [8] <https://ssl.pressebox.de/pressemitteilungen/edacentrum-ev/boxid/466720>
- [9] <https://www.edacentrum.de/en/system/files/files/projekte/edaclusterforschung/CFP3-Aufruf.pdf>
- [10] <https://www.edacentrum.de/en/system/files/files/projekte/edaclusterforschung/CFP2-Aufruf.pdf>
- [11] <https://www.edacentrum.de/en/system/files/files/projekte/edaclusterforschung/CFP1-Aufruf.pdf>