



VeronA – Verifikation analoger Schaltungen

Mit dem Projekt VeronA wurde wieder einmal ein F&E-Projekt aus dem schwierigen, für Europa so wichtigen Analog-Bereich genehmigt.

In dem industriellen Verbundprojekt VeronA arbeiten EDA-Anwender, EDA-Forscher und EDA-Anbieter gemeinsam daran, eine Grundlage für die automatisierte Verifikation analoger Schaltungen und Systeme zu schaffen. Dabei geht es im Wesentlichen darum, grundlegende Elemente einer durchgängigen Verifikationsmethodik integrierter analoger Schaltungen zu entwickeln, damit auch die analogen Teile von Mixed-Signal-Chips verifiziert werden können. Insbesondere wird die Eignung der Methoden für den industriellen Einsatz überprüft. Die zu erwartenden Projektergebnisse werden die Effizienz und Qualität der Verifikation wesentlich steigern, was letztlich zu qualitativ hochwertigeren Endgeräten bzw. Produkten führen wird.

Motivation

In unserer Zeit, in der die Forderungen an Qualität, Sicherheit und Leistungsumfang vom steten Streben nach Wachstum geleitet sind, reicht es nicht aus, lediglich die Funktionalität von Systemen zu steigern. Vielmehr gilt es, die Funktionstüchtigkeit und Zuverlässigkeit der immer komplexeren Systeme bereits während des Entwurfs zu verifizieren. Verifikation meint dabei eine vollständige gezielte Überprüfung der Funktionalität eines Chips vor der Fertigung. Nur durch bessere SoC-Verifikationsmethoden können sicherere und hochwertigere Produkte entstehen.

Der hohe Anspruch dieser Aufgabe wird allerdings erst anhand der Komplexität eines Chips deutlich, welcher mehrere Millionen miteinander verbundener Transistoren mit mehreren Ein- und Ausgängen enthält. Um die korrekte Funktion eines so komplizierten Systems von Elementen und Verbindungen zu überprüfen, sind die zu verschiedenen Zeitpunkten anliegenden Spannungen und die dabei fließenden Ströme zu kontrollieren und mit ihren Sollwerten zu vergleichen. Diese anspruchsvolle Aufgabe ist lange Jahre unterschätzt worden. Trotz der intensiven Entwicklungen beansprucht die Entwurfsverifikation heute bis zu 70 % der Entwurfszeit. Die steigende Integrationsdichte von Chips hat dafür gesorgt, dass die Zahl der Transistoren auf einem Chip stetig gewachsen und ihre Größe stetig gesunken ist. Letzteres ist insbesondere durch die Prozessschwankungen problematisch geworden und hat außerdem zu einer steigenden Zahl an zu berücksichtigenden physikalischen Effekten geführt. Durch diese Veränderungen ist eine Vielzahl ungelöster Verifikationsprobleme entstanden, so dass seit einiger Zeit von einer „Verifikationskrise“ die Rede ist.

Selbst mit fortschrittlichen Methoden ist derzeit nur eine unvollständige Verifikation möglich, wodurch das Risiko steigt, dass Schaltungen, die Fehler aus dem Entwurf aufweisen, an den Kunden weitergegeben werden. Dass dieses Risiko einer unzureichenden Verifikation hoch ist, zeigt die im Jahr 2003 von Collett International Research durchgeführte „IC/ASIC Design Closure“-Studie: Danach existiert eine 45-prozentige Wahrscheinlichkeit, beim Entwurf einen funktionalen Fehler zu begehen.

Noch dramatischer stellt sich diese Situation für den Bereich der Verifikation analoger Schaltungen dar, die um ein Vielfaches schwieriger ist, als bei digitalen Schaltungen. Dies ist insbesondere dadurch gegeben, dass die Überprüfung analoger Signale deutlich aufwändiger als die Überprüfung digitaler Signale ist. Während im Digitalbereich im Wesentlichen nur das Erreichen von zwei Zuständen (0 oder 1) überprüft werden muss, müssen im Analogbereich ganze Signalverläufe überprüft werden, ob sie innerhalb eines gegebenen Toleranzschluchs liegen. Wegen der zusätzlich durch die Betrachtung von zeit- und wertkontinuierlichen Signalen steigenden Komplexität ist die Verifikation analoger Schaltungen ohne neue Verfahren und Algorithmen nicht zu lösen.

In dieser erhöhten Schwierigkeit besteht jedoch auch die Chance für einen hohen wirtschaftlichen Nutzen durch die Verbesserung der Verifikation analoger Schaltungen. Dieser resultiert in einer zu erwartenden drastischen Reduktion der Entwurfszeit analoger Schaltungen. Es kann davon ausgegangen werden, dass der Entwurfsaufwand bei gemischt analog/digitalen Schaltungen (Mixed-Signal-Schaltungen) mittlerweile bis zu 80 % des Gesamtaufwandes beträgt und dies obwohl die Chipfläche, die von analogen Komponenten belegt wird, nur etwa 20 % der Gesamtfläche einnimmt. Durch die stetig wachsende Zahl von Mixed-Signal-Designs wird dieser potenzielle Nutzen zusätzlich verstärkt.

Ziele

Das übergeordnete Projektziel von VeronA ist die Entwicklung grundlegender Elemente einer durchgängigen Verifikationsmethodik integrierter analoger Schaltungen, wobei insbesondere deren Eignung für den industriellen Einsatz berücksichtigt wird.

Damit stellen sich die VeronA-Projektpartner den in der MEDEA+ Design Automation Roadmap (<http://www.medeaplus.org/webpublic>) dargestellten Herausforderungen

Zusammensetzung
des Projektkonsortiums

Projektpartner:

- » Atmel Germany GmbH
- » Robert Bosch GmbH
- » Cadence Design
- » Systems GmbH
- » Infineon Technologies AG
- » MunEDA GmbH

Unterauftragnehmer:

- » TU München
- » RWTH Aachen
- » Universität Frankfurt
- » Leibniz Universität Hannover
- » Fraunhofer-Institut für Techno- und Wirtschaftsmathematik (ITWM)

Laufzeit:

01.06.2006–31.05.2009

Förderkennzeichen:

01M3079

Internetseite:

www.edacentrum.de/verona/

rungen im Bereich analoger Verifikation. Von den überwiegend amerikanischen EDA-Anbietern wird diese Thematik zumeist vernachlässigt, obwohl sie für die europäische Industrie durch ihre Stärken in Automobil und Kommunikation – die einen hohen Anteil analoger Komponenten haben – eine große Rolle spielt. Es ist daher folgerichtig, dass die geplante Projektarbeit hauptsächlich auf die für die deutsche Volkswirtschaft wichtigen Anwendungen aus der Automobilelektronik und der drahtlosen Kommunikation konzentriert wird. Insgesamt wird erwartet, dass sich der Elektronikwertanteil im Auto von derzeit 19 % auf 24 % im Jahr 2010 vergrößern wird. Innerhalb dieses Elektronikanteils wird sich der Halbleiteranteil zudem von 25 % im Jahr 1990 über 50% im Jahr 2000 auf prognostizierte 64% im Jahr 2010 steigern (Quelle: Bosch). Darüber hinaus werden die Projektergebnisse wesentlich zur Entwicklung zukünftiger Verifikationswerkzeuge für analoge Schaltungen beitragen, was durch die Beteiligung von EDA-Anbietern im Projekt untermauert wird. Durch das Projekt VeronA wird die Grundlage für die Gesamtverifikation von analogen Systemen geschaffen und damit die SoC-Verifikation deutlich vorangetrieben. Als Folge werden die Qualität und Funktionstüchtigkeit der Endgeräte deutlich erhöht, was zu mehr Akzeptanz deutscher und europäischer Produkte in Automobil- und Kommunikationselektronik führen wird.

Außerdem zielt das Projekt VeronA auf eine starke Verbesserung der Entwurfssicherheit, so dass der Verifikationsaufwand – trotz steigender Schaltungskomplexität – zumindest gleich bleibt. Dazu soll die Effizienz der Verifikation um mindestens 30 % gesteigert und gleichzeitig durch die verbesserte Verifikation die Zahl der Redesigns um 20 % reduziert werden. Es ist davon auszugehen, dass dabei auch die Produktqualität deutlich verbessert wird.

Zum Erreichen der gesteckten Ziele werden die VeronA-Projektpartner neue Methoden und Werkzeuge entwickeln, die formalisierte Verifikation instrumentalisieren und dabei auch auf verifikationsorientierte Modellierung abzielen. Dabei stehen folgende technische Ziele im Mittelpunkt des Projekts:

- » Entwicklung von Methoden und Regeln zur Erzeugung schnell simulierbarer Modelle, die zudem ausreichend viele physikalische Effekte (u.a. mixed-discipline, z.B. Temperatur) gut genug beschreiben und damit für die Verifikation in unterschiedlichen Abstraktionsebenen geeignet sind;
- » Untersuchung und Entwicklung formaler Verifikationsverfahren für analoge Schaltungen, namentlich Model-Checking und Equivalence-Checking;
- » Entwicklung von Methoden zur assertion-basierter Verifikation, sowie von formalen Verfahren zur Eigenschafts- und Toleranzverifikation;
- » Umsetzung einer durchgängigen Vorgehensweise für die Multi-Level Verifikation von analogen Systemen unter Berücksichtigung von Mixed-Signal-/

Mixed-Domain-Aspekten und unter Verwendung der oben genannten Punkte.

Die zu erwartenden Projektergebnisse, wie Regeln zur verifikationsgerechten Modellierung, Methoden zur Mixed-Signal-/Mixed-Level-Simulation und zu formalisierten Verfahren sind Schlüsselemente für die effiziente Verifikation von analogen Schaltungsblöcken.

Die Verifikation von analogen Schaltungen und Systemen basiert nahezu ausschließlich auf der Simulation, wobei für die Bewältigung der Komplexität heutiger Systeme die analogen Funktionen durch Verhaltensmodelle beschrieben sein müssen. Die Simulationszeit hängt sehr stark von der Performance der Verhaltensmodelle ab. Um das Ziel einer hoch effizienten Verifikation eines kompletten A/MS-IC zu erreichen, müssen schnell simulierbare Verhaltensmodelle mit einer für die Anwendung ausreichenden Genauigkeit entwickelt werden. Die besonderen Herausforderungen liegen im Bereich der effizienten Formulierung von Verhaltensmodellen, wobei einerseits verschiedene Modellierungsansätze (z.B. gleichungsbasiert, Black-Box) untersucht und bewertet werden und andererseits der Einfluss der verwendeten Simulationsalgorithmen erforscht wird und Lösungen entwickelt werden. Ziel der Arbeiten ist es die Simulationszeit durch verbesserte Verhaltensmodelle um mindestens Faktor 100 gegenüber der Transistor-Level-Simulation zu reduzieren.

Ferner gehört zur Verifikation analoger Schaltungen für den Automobilbereich auch die korrekte Berücksichtigung von sehr hohen Temperaturen. Werte über 300°C können in der Praxis durchaus erreicht werden. Wird hier das Verhalten insbesondere von Leistungstransistoren nicht korrekt beschrieben, können Verifikationsfehler mit teilweise katastrophalen Folgen nicht ausgeschlossen werden.

Formale Verifikationsverfahren, wie Model-Checking und Equivalence-Checking, werden bereits zur Verifikation digitaler Schaltungen eingesetzt. Mit der Erforschung von formalen Verifikationsverfahren für analoge Schaltungen betreten die Projektpartner weitgehend wissenschaftliches Neuland. Dieser Schritt ist notwendig, um eine vollständige Verifikation von analogen Schaltungen zu erreichen und damit die heute nur punktuell mögliche Verifikation von Analogschaltungen zu ergänzen und zu unterstützen.

Weiterhin wird im Projekt VeronA die – bisher ausschließlich im Digitalen angewendete – assertion-basierte Verifikation auf den Analogbereich übertragen. Ziel ist es, ebenso wie im Digitalbereich bereits während der Simulation die Einhaltung von Bedingungen (Assertions) zu prüfen, wodurch die Fehlererkennung und -lokalisierung vereinfacht wird. Die Herausforderung besteht darin, die wesentlich komplexeren Bedingungen zu formulieren und mit Hilfe des Simulators zu überprüfen, ohne dabei die Simulationszeit nennenswert zu verlängern.

Schließlich werden Vorgehensweisen und Verfahren erforscht, die eine, an die Anwendungen angepasste, Multi-Level-Verifikation von analogen Komponenten ermöglichen. Dabei fließen die Projektergebnisse aus dem Bereich Modellierung und der formalen Methoden in die neuen Verfahren ein, die zudem an Beispielen aus dem Automobil- und Mobilkommunikationsbereich demonstriert werden.

Struktur

Zum Erreichen der gesteckten Ziele ist das Projekt VeronA in die drei thematisch miteinander verzahnten Arbeitspakete (AP)

- » AP1: Verifikationsorientierte Modellierung
- » AP2: Formalisierte Verifikation
- » AP3: Multi-Level-Verifikation

aufgeteilt. Dabei werden in AP1 und AP2 grundlegende Arbeiten für AP3 durchgeführt. Während durch AP1 eine verifikationsorientierte Modellierung analoger Schaltungen ermöglicht wird, geht es in AP2 um die Untersuchung von formalisierten Möglich-

keiten der Verifikation analoger Schaltungen. In AP3 steht die Erforschung von Strategien und Methoden zur Multi-Level-Verifikation im Vordergrund, wobei verschiedene neu entwickelte Methoden mit einbezogen werden. Dazu ist zunächst die grundlegende Vorgehensweise festzulegen und vorzubereiten. Darüber hinaus werden wesentliche Anforderungen an die Methoden in AP3 definiert und in AP1 und AP2 berücksichtigt.

Projektstatus

Nach der kurz vor der Urlaubszeit erfolgten Bewilligung hat sich das Projektkonsortium von VeronA umgehend bei einem „Kickoff-Treffen“ beim Projektpartner Atmel Germany GmbH in Heilbronn versammelt. Dort wurden zum erste Absprachen bezüglich der Projektplanung und -organisation sowie der Kooperationen getroffen und – ganz im Sinne der Öffentlichkeitsarbeit – ein Gruppenfoto (s Abbildung 1) gemacht. Ende September, im Vorfeld der Analog06, wird die erste Projektpartnersammlung stattfinden. Dort werden die im ersten Projektjahr anstehenden technischen Vorhaben und Kooperationen detailliert abgestimmt.

Autoren und Kont@kt (VeronA):

Projektmanagement:
Ralf Popp, edacentrum
fon: 0511-762-19697
fax: 0511-762-19695
popp@edacentrum.de

Projektkoordination:
Peter Jores
Robert Bosch GmbH
fon: 07121-35-2982
fax: 0711-8115142982
Peter.Jores@de.bosch.com



Abbildung 1.14: Das Foto zeigt die zum „Kickoff-Treffen“ anwesenden Vertreter der Projektpartner und Unterauftragnehmer. v.l.n.r.: P. Jores, R. Popp, D. Grabowski, S. Joeres, A. Bauer, H. Gräß, P. Haspel, T. Halfmann, F. Schenkel, M. Pfost, W. Schwerzel, P. Borthen, A. Lehmler, W. Rabe, H.-W. Groh, D. Platte, L. Hedrich, M. Anton, J. Weber.