



VeronA – Verifikation analoger Schaltungen

Zwischenstand nach dem „Zweiten Drittel“: Die vielversprechenden Ergebnisse sorgen für Vorfreude auf das letzte Drittel.

In dem industriellen Verbundprojekt VeronA arbeiten EDA-Anwender, EDA-Forscher und EDA-Anbieter gemeinsam daran, eine Grundlage für die automatisierte Verifikation analoger Schaltungen und Systeme zu schaffen. Dabei werden Methoden zur verifikationsgerechten Modellierung und für eine Multi-Level-Verifikation erarbeitet und die Formalisierung der Verifikation analoger Schaltungen vorangetrieben. Dieser Artikel gibt einen Überblick über das Projekt, seine Inhalte sowie die nach zwei Dritteln der Projektlaufzeit erzielten Ergebnisse.

Im Bereich der Entwurfsverifikation sind größere Anstrengungen notwendig, um sich der Funktionstüchtigkeit und Zuverlässigkeit der immer komplexeren Systeme schon während des Entwurfs sicher zu sein. Dabei ist mit Verifikation eine vollständige gezielte Überprüfung der Funktionalität eines ungefertigten Chips gemeint. Ist der Verifikationsprozess lückenhaft, so werden Entwurfsfehler unter Umständen erst sehr spät oder – fatalerweise – gar nicht erkannt. Beides ist mit hohem finanziellem und zeitlichem Verlust oder gar mit einem (möglicherweise lebensbedrohlichen) Ausfall des Chips verbunden.

Der hohe Anspruch der Verifikationsaufgabe wird deutlich, wenn man sich die derzeitige Komplexität eines Chips vergegenwärtigt: Er enthält mehrere Millionen miteinander verbundene Transistoren mit mehreren Ein- und Ausgängen. Um zu überprüfen, dass dieses komplizierte System von Elementen und Verbindungen korrekt funktioniert, gilt es, die zu verschiedenen Zeitpunkten anliegenden Spannungen und die dabei fließenden Ströme zu kontrollieren und mit ihren Sollwerten zu vergleichen.

Außerdem ist diese Überprüfung für analoge Signale deutlich aufwändiger als für digitale Signale, da dort im Wesentlichen nur das Erreichen von zwei Zuständen (0 oder 1) überprüft werden muss, während im Analogbereich ganze Signalverläufe mit einem gegebenen Toleranzbereich abzugleichen sind. Wegen der zusätzlich durch die zeit- und wertkontinuierlichen Signale steigenden Komplexität, ist die Verifikation analoger Schaltungen ohne neue Verfahren und Algorithmen nicht zu lösen.

Ziele

Im Projekt VeronA wird eine Grundlage für die automatisierte Verifikation analoger Schaltungen und Systeme geschaffen. Dabei geht es im Wesentlichen darum, grundlegende Elemente einer durchgängigen Verifikationsmethodik integrierter analoger Schaltungen zu entwickeln, damit neben dem Digitalteil auch die analogen Teile von Mixed-Signal-Chips verifiziert werden können. Dazu werden neue Methoden und Werkzeuge entwickelt, die formalisierte Verifikation instrumentalisiert und dabei auch auf verifikationsorientierte Model-

lierung abzielt. Folgende technische Ziele stehen im Fokus des Projekts:

- » Entwicklung von Methoden und Regeln zur Erzeugung schnell simulierbarer Modelle, die zudem ausreichend viele physikalische Effekte (u. a. mixed-discipline, z. B. Temperatur) gut genug beschreiben und damit für die Verifikation in unterschiedlichen Abstraktionsebenen geeignet sind
- » Untersuchung und Entwicklung formaler Verifikationsverfahren für analoge Schaltungen, namentlich Model-Checking und Equivalence-Checking
- » Entwicklung von Methoden zur Assertion-basierten Verifikation, sowie von formalisierten Verfahren zur Eigenschafts- und Toleranzverifikation
- » Umsetzung einer durchgängigen Vorgehensweise für die Multi-Level-Verifikation von analogen Systemen unter Berücksichtigung von Mixed-Signal-/Mixed-Domain-Aspekten und unter Verwendung der oben genannten Punkte

Bei den Entwicklungen wird insbesondere die Eignung der Methoden und Werkzeuge für den industriellen Einsatz überprüft. Die zu erwartenden Projektergebnisse werden die Effizienz und Qualität der Verifikation wesentlich steigern, was letztlich zu qualitativ hochwertigeren Endgeräten bzw. Produkten führen wird.

Projektstruktur

Das Projekt ist in drei thematisch miteinander verzahnte Arbeitspakete aufgeteilt, deren Einordnung in die EDA-Matrix in Abbildung 1.02 dargestellt ist.

	System Level	Architecture Level	Dataflow Level	Electrical Level	Device and Technology Level	
Specification						AP 1: Verifikationsorientierte Modellierung AP 2: Formalisierte Verifikation AP 3: Multi-Level-Verifikation
Implementation						
Verification						
Manufacturing and Test						

Abbildung 1.02: Gliederung des Projektes VeronA und Einordnung in die EDA-Matrix

Zusammensetzung des Projektkonsortiums

Projektpartner:

Atmel Germany GmbH,
Robert Bosch GmbH,
Cadence Design Systems GmbH,
Infineon Technologies AG,
MunEDA GmbH,
Qimonda AG

Unterauftragnehmer:

TU München,
RWTH Aachen,
Universität Frankfurt,
Leibniz Universität Hannover,
Fraunhofer-Institut für Techno- und Wirtschaftsmathematik (ITWM)

Laufzeit:

01.06.2006 – 31.05.2009

Förderkennzeichen:

01 M 3079

Internetseite:



www.edacentrum.de/verona/

Autoren:

P. Jores, R. Popp, P. Borthen,
J. Broz, R. Dölling, D. Grabowski,
H. Gräß, H.-W. Groh, T. Halfmann,
L. Hedrich, C. Hammer,
M. Pfost, D. Pronath, P. Rotter,
S. Steinhilber, J. Weber,
S. Weber, Y. Wang,

Während durch AP1 eine verifikationsorientierte Modellierung analoger Schaltungen ermöglicht wird, geht es in AP2 um die Untersuchung von formalisierten Möglichkeiten der Verifikation analoger Schaltungen. In AP3 steht die Erforschung von Strategien und Methoden zur Multi-Level-Verifikation im Vordergrund, wobei verschiedene neu entwickelte Methoden mit einbezogen werden. Da die Arbeitspakete thematisch eng miteinander verknüpft sind und ein Ergebnisfluss zwischen den AP von Beginn an vorgesehen ist, ist eine starke inhaltliche Vernetzung der Arbeitspakete gewährleistet. Im Folgenden werden die Arbeiten der Projektpartner und einige Ergebnisse vorgestellt.

hinsichtlich des Zeitaufwands zur Modellerstellung, der Modellgenauigkeit und dem damit zusammenhängenden Verifikationspotential untersucht. Insbesondere wurden dabei Transistorlevel-, Basisband- und Bandpassmodellierungen in analogen und ereignisgesteuerten Simulationen berücksichtigt (Abbildung 1.03).

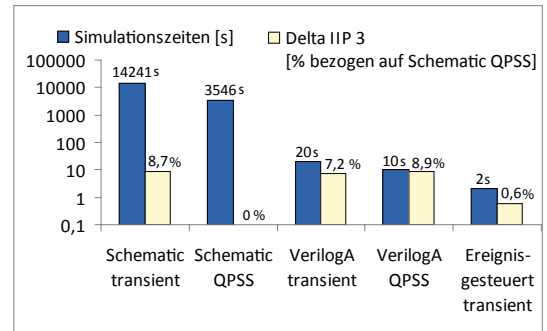


Abbildung 1.03: HF-Modellvergleich für eine IIP3-Simulation: Simulationszeit (absolute Zeit in Sekunden – blaue Balken) und Genauigkeit (relative Abweichung in % bezogen auf Schematic QPSS* – gelbe Balken)

In Abbildung 1.03 sind die Simulationsmöglichkeiten von rein analogen und den empfohlenen ereignisgesteuerten Modellen im Vergleich zur erzielbaren Genauigkeit bei gleicher implementierter Funktionalität dargestellt.

Neben den oben erwähnten wichtigen Genauigkeitsaspekten für die Verifikation wurde auch die Einbindung in einen vollständigen Flow exemplarisch für ein komplettes HF-Frontend betrachtet. Ausgehend von den anwendungsorientierten Anforderungen an die Kenngrößen unterschiedlicher Systeme wurden Richtlinien für die Implementierung der zugrunde liegenden mathematischen Operationen erarbeitet, welche Simulator- und Modellkombinationen die beste Performance erzielen und welche Partitionierungsstrategien bei komplexen Strukturen empfehlenswert sind. Ein wesentlicher Aspekt war hierbei die Untersuchung stark nichtlinearer analoger Baugruppen, die durch reale, nichtperiodische Signale angesteuert werden [JoGr07]. Eine Veröffentlichung der so gewonnenen Erkenntnisse für die HF-Anforderungen erfolgt demnächst.

Automatisierte Modellierungsverfahren

Langfristig sind automatisierte Abläufe eine unabdingbare Voraussetzung für einen effizienten industriellen Einsatz von Modellierungsmethoden. Innerhalb des Projektes wurden und werden zwei Ansätze verfolgt:

- » Black-Box-Modelle, die allein das Klemmenverhalten des Blocks beschreiben,
- » gleichungsbasierte White-Box-Modelle, die die inhärente algebraische Struktur der Knotengleichungen zur Optimierung ausnutzen.

Bei der Black-Box-Modellierung wird von Bosch eine automatische datenbasierte Methode erforscht

* QPSS (Quasi-Periodic Steady State) ist eine Analyse im Cadence SpectreRF-Simulator. Es ist eine Variante der Periodic Steady State Analyse (PSS), mit die Berechnung des stationären Zustands beschleunigt wird.

Arbeitspaket 1: Verifikationsorientierte Modellierung

Zur Verifikation von Analog/Mixed-Signal- (A/MS-) Schaltungen und Systemen werden nach wie vor in der industriellen Praxis größtenteils Simulationen durchgeführt. Die dafür auf Systemebene aufzuwendende Simulationszeit liegt dabei – trotz der heute zur Verfügung stehenden, leistungsfähigen Hard- und Software – üblicherweise im Bereich von bis zu einigen Wochen. Eine vollständige Verifikation sprengt damit den tolerierbaren zeitlichen Rahmen und ist daher praktisch unmöglich. Einen Ausweg bietet die Erstellung von auf Effizienz getrimmten Modellen für Bauelemente oder Schaltungsblöcke, da sie drastisch kürzere Verifikationszeiten ermöglichen. Gleichzeitig muss aber das Verhalten der beschriebenen Komponenten in den wesentlichen Arbeitsbereichen mit ausreichender Genauigkeit wiedergegeben werden. Beide Aspekte zu berücksichtigen ist ein Hauptaugenmerk bei der verifikationsorientierten Modellierung in Arbeitspaket 1.

Der stete Kompromiss zwischen Effizienz und Genauigkeit kann derzeit nur von Experten mit entsprechender Erfahrung bei der manuellen Modellerstellung ausreichend gut umgesetzt werden. Dies ist sehr zeitaufwändig und mit hohen Kosten verbunden. Im Rahmen der ersten beiden Jahre von VeronA konnte bereits eine verbesserte Unterstützung der Modellierungs-Ingenieure erzielt werden, was in den nachfolgenden Abschnitten beschrieben ist.

Über diese Kompromissfindung hinaus ist die Sicherstellung einer ausreichenden Genauigkeit speziell für Leistungs-ICs im Automobilbereich problematisch. Der weite, mehrere 100 Kelvin umfassende, Temperaturbereich erfordert hier grundlegend neue Ansätze einerseits bei der nicht trivialen Messung im Hochtemperatur-Bereich andererseits bei der Modellierung der Temperaturabhängigkeit der Bauelemente.

Aufgabe 1.1: Simulationsperformance von Modellen

Speziell für HF-Schaltungen ermöglichen derzeit verfügbare EDA-Tools und Modellierungsmethoden keine für eine Toplevel-Verifikation hinreichende Systemsimulation. Unterschiedliche Simulatoren sowie Modellierungsarten der Einzelkomponenten wurden bei Atmel

Modelle von Analogschaltungen – Kompromiss zwischen Effizienz und kontrollierter Genauigkeit erfordert Methodikregeln und Automatisierung.

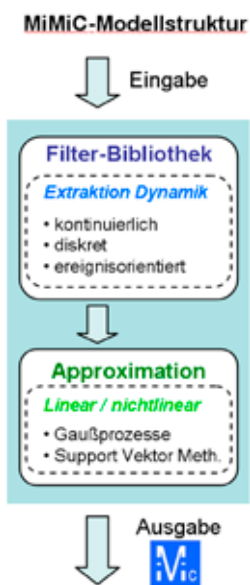


Abbildung 1.04: Black-Box-Modelle: Interne Struktur der MiMiC-Modelle

(Abbildung 1.04). Die Modellierung und Identifikation basiert auf einer Kombination von neuronalen Netzen, Fuzzy-Strukturen und Support-Vector-Machine-Methoden. Diese Methoden erlauben die Generierung von Verhaltensmodellen ausgehend von transienten Simulationsdaten. Die zur Erzeugung dieser Simulationsdaten nötigen Stimuli werden automatisch mit Hilfe parametrierbarer Signalgeneratoren erzeugt. Eine intelligente Steuerung koordiniert die gesamte Datenerfassung und ist auch für die Parametrierung der Signalgeneratoren zuständig, die nach jeder Iteration stattfindet (Abbildung 1.05). Die Auswahl und Berechnung der Parameter für die Signalgeneratoren basiert auf Informationen und Analysen der erfassten Simulationsdaten und ermöglicht den gesamten Arbeitsraum der Schaltung abzudecken, um damit die Genauigkeit und Robustheit des Modells während seiner Modellierung stetig zu verbessern. Eine Strategie, die dem Entwickler erlaubt, das Verhältnis zwischen Simulationsbeschleunigung und Modellgenauigkeit selbstständig einzustellen, ergänzt die automatisierte Modellerstellung. Durch die automatische Generierung von Trainingsdaten wurde die Zeit zur Erstellung dieser Modelle – auch MiMiC-Modelle genannt – deutlich reduziert, da sie gezielt die Eigenschaften des Systems identifiziert und modelliert. Die Modellierung mit dieser Methode wird zurzeit anhand mehrerer analoger Schaltungen getestet. Die Integration der generierten Modelle und die Bewertung des damit erreichbaren Simulationszeitgewinns erfolgt mit Hilfe eines beliebigen Analogsimulators. Mit diesem Modellierungsverfahren wurde z. B. für eine typische Charge-Pump Schaltung, wie sie für Anwendungen im Automobil eingesetzt wird, eine Simulationsbeschleunigung von ca. 140 mit einem Modellfehler um ca. 5 % erreicht [MiDö07].

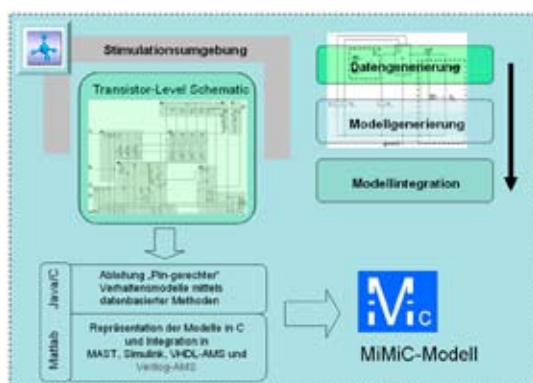


Abbildung 1.05: Black-Box Modelle: Automatische Generierung von MiMiC-Modellen für die schnelle Verifikation analoger Schaltungen

Bei der von Infineon und dem Fraunhofer-ITWM durchgeführten gleichungsbasierten White-Box-Strukturmodellierung können mit Hilfe des auf dem Werkzeug Analog Insydes basierenden Bottom-Up-Flows (Abbildung 1.06) gleichungsbasierte Verhaltensmodelle erzeugt werden [HaWi06].

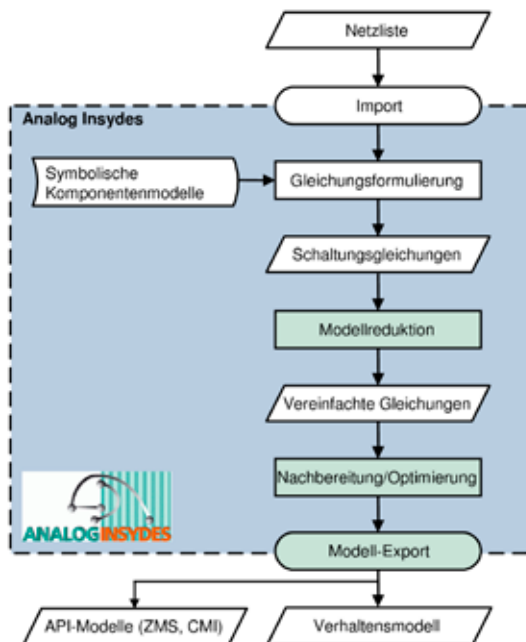


Abbildung 1.06: Strukturmodelle: Bottom-Up-Modellierungsflow mit Analog Insydes Wichtige Einzelschritte, die innerhalb von VeronA entwickelt bzw. verwendet wurden, sind dabei grün hervorgehoben.

In VeronA wird dieses Verfahren durch eine simulatorgerechte Aufbereitung der Verhaltensmodelle („Nachbereitung/Optimierung“ in Abbildung 1.06) und ein Multi-Testbench-Konzept („Modellreduktion“ und „Modellexport“ in Abbildung 1.06) erweitert. Außerdem werden verbesserte Simulationsalgorithmen entwickelt. Ein wesentliches Element der simulatorgerechten Aufbereitung der Verhaltensmodelle besteht in der Optimierung der Systemgleichungen unter Einbeziehung von sequentiellen Gleichungen. Die Kopplung dieses Ansatzes mit symbolischer Modellreduktion erlaubt erstmals eine Beschleunigung der Simulation derartiger Verhaltensmodelle im Vergleich zur entsprechenden Netzlisten-basierten Simulation um den Faktor 5 [KnPI08]. Damit das erzeugte Modell sich bezüglich seiner Port-Größen kompatibel zu der ursprünglichen Schaltungskomponente für alle Testfälle verhält, wurde ein Multi-Testbench-Konzept realisiert (siehe auch [PoNä99]), welches einerseits alle abzudeckenden Testfälle mit unterschiedlicher Topologie und unterschiedlicher Simulationskonfiguration in einem konsistenten Datenobjekt sicherstellt und darüber hinaus die Anwendung von Verfahren zur Gleichungsoptimierung erlaubt.

Aufgabe 1.2: Schaltungsverifikation bei sehr hohen Temperaturen Kfz-Technik, Luft- und Raumfahrtindustrie, Prozesstechnik, Elektronik für Tiefbohrerüstungen – hier überall kommen mittlerweile Bauelemente zum Einsatz, die auch bei hohen Temperaturen zuverlässig funktionieren müssen. Um dies sicherzustellen werden Modelle benötigt, die die Abhängigkeit der verschiedenen physikalischen Parameter dieser Bauelemente von der Temperatur beschreiben.

Die speziell entwickelten Manipulatoren der Messeinheit in Abbildung 1.07 sind aus Edelstahl und tragen jeweils zwei halbsteife Koaxialleitungen vom Typ RG-402. Die angespitzten Innenleiter der Koaxialleitungen aus versilbertem Stahl dienen als Messspitzen. Mit dieser Messplattform können Messungen bis zu einer maximalen Temperatur von etwa 600 °C durchgeführt werden.

Am Lehrstuhl für Technische Elektrophysik der TU München wurde ein Messplatz [BoWa08] entwickelt, mit dem die Charakterisierung von Halbleiter-Bauelementen und speziellen Teststrukturen bis zu einer maximalen Temperatur von etwa 600 °C möglich ist (Abbildung 1.07). Alle Messungen bei hohen Temperaturen werden im Hochvakuum durchgeführt. Damit lässt sich einerseits eine sehr gute thermische Isolierung erreichen, andererseits wird auch die Hochtemperaturkorrosion der Proben und der Teile der Messausrüstung an der Luft vermieden. Erste exemplarische Hochtemperatur-Messungen konnten bereits erfolgreich an SiC-Bauelementen durchgeführt werden.

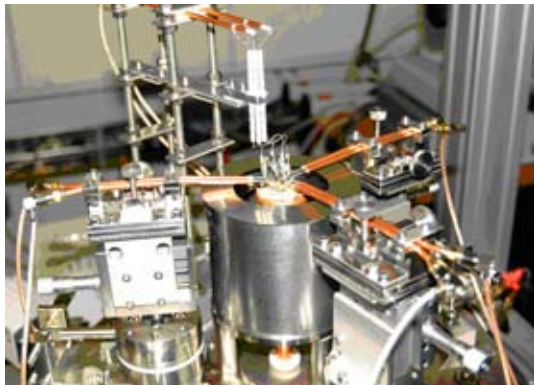


Abbildung 1.07: Messeinheit die aus der Heizplattform (in der Mitte, umgeben von Wärmestrahlungs-Schutzschildern) und Manipulatoren für die Probenkontaktierung besteht.

Neben der auf den Hochtemperaturmessungen basierenden Charakterisierung der Bauelemente ist die Verfügbarkeit von geeigneten, realitätsgetreuen physikalischen Modellen für die Simulation von Hochtemperatureigenschaften der Bauelemente nötig. Da insbesondere die Funktion von DMOS-Transistoren korrekt verifiziert werden soll, sind genaue, in einem weiten Temperaturbereich gültige Modelle für die Leistungsschalter-Transistoren erforderlich. Anhand numerischer Simulationen und erster Messergebnisse wurde bei Infineon ein typischer DMOS-Transistor einschließlich seines parasitären Bipolartransistors genauer charakterisiert und bis zu sehr hohen Temperaturen modelliert. Eine gute Übereinstimmung mit physikalisch basierten analytischen Ansätzen konnte festgestellt werden.

Parallel dazu wurden vorhandene Ansätze zur Modellierung, wie Standardmodelle oder aus verschiedenen Komponenten aufgebaute Ersatzschaltungen, untersucht. Dabei wurde darauf geachtet, ihre Vor- und Nachteile mit Hinblick auf ihre Eignung und das Verhalten moderner DMOS-Leistungstransistoren über einen weiten Temperaturbereich korrekt zu beschreiben. Darauf basierend gelang es, einen für die industrielle Praxis attraktiven Modellierungsansatz auszuwählen. Hierbei werden bereits vorhandene, wenngleich nur für einen eingeschränkten Temperaturbereich gültige Modelle, mit externen Komponenten erweitert, wodurch auch deutlich höhere Temperaturen berücksichtigt werden können.

Die formale Verifikation für analoge Schaltungen stellt mittel- bis langfristig eine wichtige Ergänzung zur simulationsgestützten Verifikation dar, wenn die dabei entstehenden enormen Herausforderungen (z. B. an Rechenleistung und Komplexität) und die absolute Neuartigkeit der Ansätze berücksichtigt werden.

Arbeitspaket 2: Formalisierte Verifikation

Um eine vollständige oder zumindest ausreichend große Verifikationsabdeckung zu erreichen, ist eine Formalisierung der Vorgehensweise bei der Verifikation unabdingbar. Eine solche Formalisierung der Verifikation im Chip-Design beschränkt sich bisher weitgehend auf den Digitalentwurf. Für analoge Schaltungen sind ähnliche Ansätze nicht im praktischen Einsatz. Als Verifikationswerkzeug wird hier nach wie vor ein Schaltungssimulator eingesetzt, meist in Verbindung mit Checklisten, Parameter-Sweeps u. ä. Die Analogverifikation erfordert deshalb viel Erfahrung und führt häufig zu einer eher undokumentierten Vorgehensweise. Im Arbeitspaket 2 von VeronA werden daher Verfahren zur formalisierten Verifikation für analoge Schaltungen erarbeitet, die sich zum großen Teil aus Methoden ableiten, die bei digitalen Schaltungen sehr erfolgreich sind und die daher vergleichbar hohe Effizienzsteigerungen für den analogen Bereich versprechen. Im Einzelnen handelt es sich um

- » Model-Checking – Eigenschaftsbeweis,
- » Equivalence-Checking – funktionaler Äquivalenzbeweis,
- » und um simulationsgestützte Verfahren.

Beim Model- bzw. Equivalence-Checking handelt es sich um echte formale Verifikationsverfahren, d. h. die Ergebnisse hängen nicht mehr von der mitunter willkürlichen oder unvollständigen Definition von Stimuli oder Testbenches durch den Designer ab. Das Model-Checking beantwortet die Fragestellung, ob ein Schaltungsmodell die Spezifikation in allen möglichen Schaltungszuständen für alle möglichen Eingangsbedingungen erfüllt. Demgegenüber wird beim Equivalence-Checking geklärt, ob eine Verhaltensbeschreibung das System in allen möglichen Schaltungszuständen innerhalb eines definierten Toleranzbereichs repräsentiert. Um eine Gesamtbewertung für den Nutzen dieser Ansätze zu erstellen, werden die Methoden innerhalb von VeronA an einzelnen Schaltungsbeispielen aus dem industriellen Umfeld getestet (z. B. aus dem Automobilbereich oder der Mobilkommunikation).

Bei der simulationsgestützten Verifikation geht es um eine verstärkte Formalisierung, um die Verifikationsabdeckung – und damit die Entwurfsqualität – zu erhöhen und den Schaltungsdesigner zu entlasten. Die in VeronA verfolgten Ansatzpunkte liegen in einer verbesserten Steuerung der Simulationsläufe, einer erleichterten Fehlersuche und in einer systematisierten Abdeckung des Entwurfsraums mit Simulationen, insbesondere auch im Hinblick auf Produktions- und Betriebstoleranzen.

Aufgabe 2.1 Verfahren zum Model-Checking

Die Einhaltung der Spezifikation wird bisher anhand einer simulationsbasierten Charakterisierung von analogen Schaltungen durchgeführt. Nachteil dieser Methode ist, dass mit den einzelnen Simulationen nur bestimmte Trajektorien im Zustandsraum untersucht

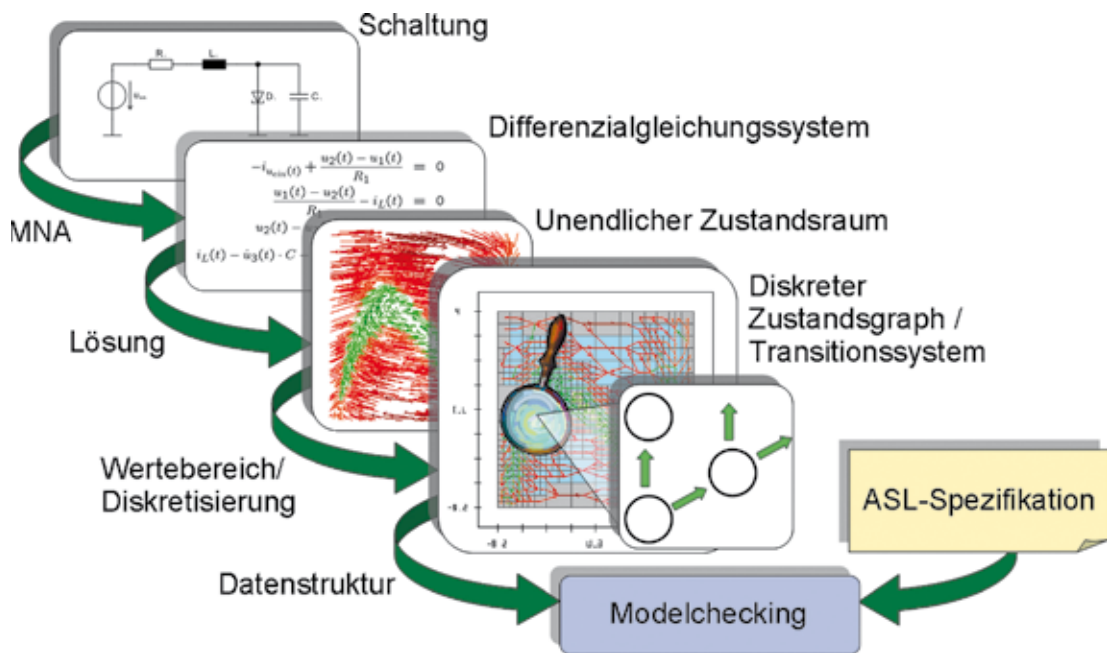


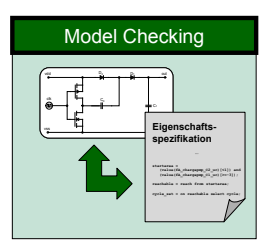
Abbildung 1.08: Generierung eines diskreten Modells für das Model-Checking analoger Schaltungen

werden und damit ein nur kleiner und oft nicht genau bestimmter Teil der möglichen Zustände einer Schaltung analysierbar ist. Ein klassisches Beispiel für oft nicht verifizierte Betriebsbereiche sind Ein- und Ausschaltvorgänge. Nur selten wird geprüft, ob das Verhalten einer Schaltung dabei auch korrekt ist (z. B. kein Versorgungsüberstrom und keine Oszillationen).

Eine im Digitalen gängige Methode, das Model-Checking (Eigenschaftsprüfung), schafft hier Abhilfe. Sie beweist, dass bestimmte, in einer maschinenlesbaren Spezifikation definierte, Eigenschaften für eine Schaltung immer gelten. Damit sind Unsicherheiten ausgeräumt, die durch nicht bedachte Eingangsbelegungen und innere Zustände des Systems hervorgerufen werden. Zum Model-Checking analoger Schaltungen wird zunächst der Zustandsraum des Systems aufgestellt. Anschließend werden die zu prüfenden spezifizierten Eigenschaften verifiziert. Hierbei muss allerdings die zeit- und wertekontinuierliche Natur analoger Schaltungen durch Diskretisierung bzw. durch Rechnen mit Wertebereichen berücksichtigt werden. Abbildung 1.08. zeigt diese Modellbildung beim Model-Checking.

Auf dem diskreten Zustandsgraphenmodell der Schaltung werten die Model-Checking-Algorithmen die Spezifikation aus. Für diese Spezifikation wurde an der Uni Frankfurt eine neue Eigenschaftsbeschreibungssprache, ASL (Analog Specification Language), entwickelt. Selbst für recht komplexe Parameter wie die Betriebsspannungs- oder Gleichtaktunterdrückung vereinfacht ASL die Anwendung formaler Methoden erheblich – auch für den „normalen“ Schaltungsentwickler [StJe06]. Hiermit ist ein vollständiger Model-Checking Flow vorhanden, der das Verifikationsergebnis in einem Verifikationsprotokoll dokumentiert.

Bisher erforschte Ansätze zum Model-Checking analoger Schaltungen sind bislang nur an einfachen, eher akademischen Beispielen angewendet worden (z. B. Tunneliodenoszillator) [HaHe02]. Im Rahmen von VeronA sind erstmals die Eigenschaften praxisrelevanter Schaltungen wie Transkonduktanzverstärker, von Cadence und der Uni Hannover komplexere Spannungsregler (LDO mit Strombegrenzung, s. Abbildung 1.09), sowie von Bosch und der Uni Frankfurt Schaltungen aus dem Automobilbereich z. B. Charge Pumps, mit den neuen Algorithmen überprüft worden [StHe08].



Das Model-Checking beantwortet die Fragestellung, ob ein Schaltungsmodell die Spezifikation in allen möglichen Schaltungszuständen für alle möglichen Eingangsbelegungen erfüllt.

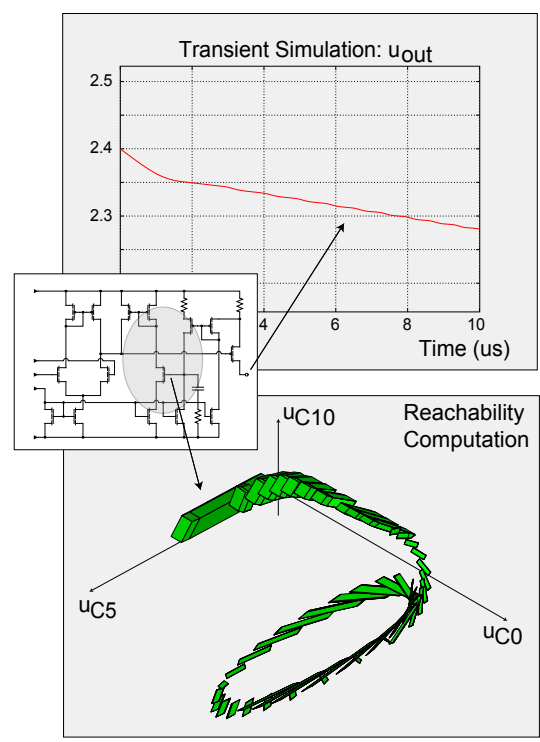
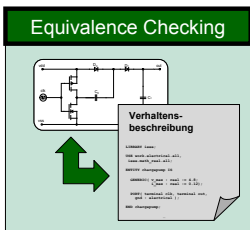


Abbildung 1.09: Formale Verifikation eines typischen CMOS Spannungsreglers

ASL (Analog Specification Language) ist eine neue Eigenschaftsbeschreibungssprache, welche die Anwendung formaler Methoden erheblich vereinfacht.



Beim Equivalence-Checking wird geklärt, ob eine Verhaltensbeschreibung das System in allen möglichen Schaltzuständen innerhalb eines definierten Toleranzbereichs repräsentiert.

Beispielschaltungen mit wechselnden dominanten Unterräumen sind: Logikgatter und Phasendetektor; Modelle für Charge-Pump-Schaltungen beschreiben das Verhalten meist sehr stark abstrahiert.

Aufgabe 2.2 Verfahren zum Equivalence-Checking

Ein Vergleich zwischen einem analogen Schaltungsentwurf und einem Verhaltensmodell ist derzeit aufwändig und nur über eine Vielzahl u. U. zeitintensiver Simulationen möglich. Zudem ist die größtenteils manuell erfolgende Auswertung fehlerträchtig. Andererseits ist aber gerade die korrekte Verhaltensmodellierung essentiell für die Verifikation komplexer moderner Chips bzw. ganzer Systeme. Eine formalisierte, automatische Überprüfung der funktionalen Äquivalenz einer analogen Schaltung gegenüber einem Verhaltensmodell – für alle möglichen Eingangsbelegungen bzw. alle inneren Zustände – wird die Entwurfssicherheit erhöhen und den Verifikationsaufwand verringern. Als konkretes Ergebnis einer solchen Untersuchung können formale Verifikationstools z. B. leicht dem Designer exakt die Stimuli liefern, die in einer anschließenden Simulation das System in den Bereich der größten Abweichung zwischen Netzliste und Verhaltensmodell bringen.

Das Ziel der Aufgabe 2.2 im VeronA-Projekt ist die Entwicklung von Verfahren zur Überprüfung der Äquivalenz analoger Schaltungen gegenüber Verhaltensmodellen (Equivalence-Checking). Durch neue Verfahren wie Erreichbarkeitsanalyse und die Identifikation wechselnder dominanter Unterräume des Zustandsraums konnte ein Verfahren für den Äquivalenzvergleich auf Basis des punktwisen Vergleichs des transformierten Zustandsraums wesentlich verbessert werden. Um die starke Abstraktion von Verhaltensmodellen zu berücksichtigen, wurde an der Uni Frankfurt im Auftrag von Bosch und in Kooperation mit Qimonda ein weiterer Ansatz entwickelt, der einen formalen Äquivalenzvergleich auch mit herkömmlichen Schaltungssimulatoren ermöglicht. Dabei wird ein so genannter Full-Coverage-Stimulus verwendet, welcher den Zustandsraum komplett sequentiell abdeckt und die Vergleichsparameter

in der Simulation garantiert in alle Systemzustände führt [StHe08-2]. Dieser Ansatz ist in Abbildung 1.10 skizziert.

Aufgabe 2.3 Simulationsgestützte Verfahren

Die analoge Schaltungsverifikation besteht zurzeit in der Regel aus verschiedenen manuell aufgesetzten Simulationen, deren Ergebnisse ebenfalls häufig nur manuell überprüft werden. Dies bietet zwar einen Überblick über das Schaltungsverhalten, aber keine verlässliche Überprüfung der vielen Randbedingungen, die während des Entwurfs vorausgesetzt wurden. Weiterhin fehlt eine klare Strategie zu notwendigen Untersuchungen und deren Reihenfolge unter Berücksichtigung statistischer Schwankungen der Schaltungsparameter.

Für die automatische Überprüfung von Schaltungsbedingungen werden im Digitalentwurf – überaus erfolg-



Abbildung 1.11: Prototypbibliothek von Assertions implementiert in Verilog-A und Verwendung in einem OP

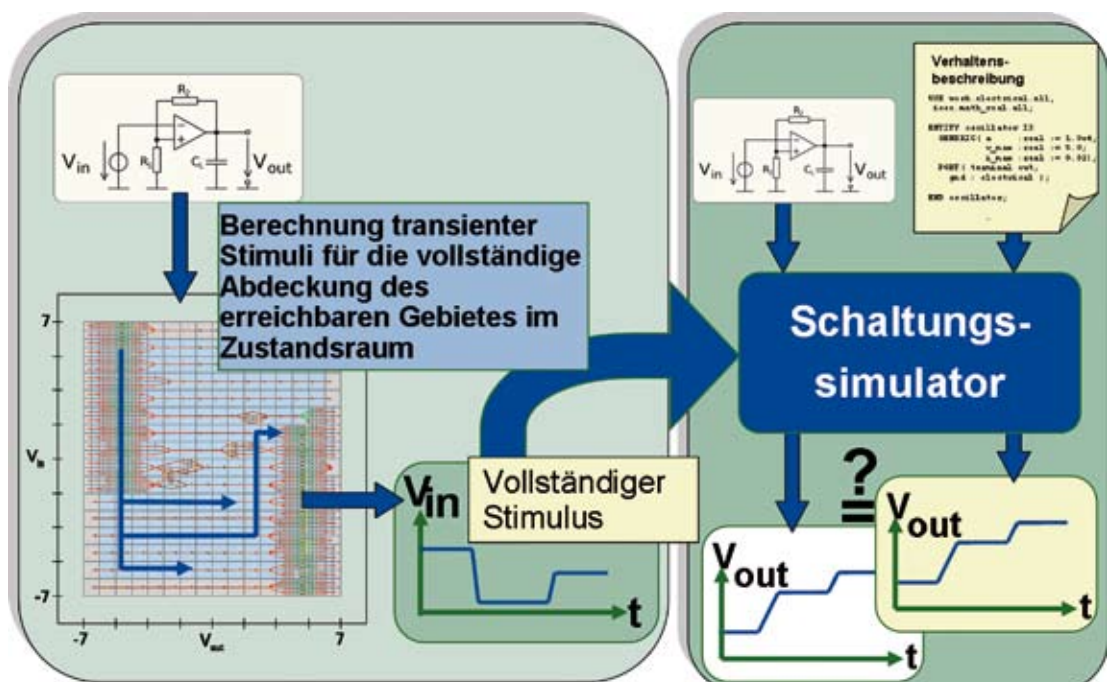


Abbildung 1.10: Equivalence-Checking-Ansatz mit vollständig den Zustandsraum abdeckenden Eingangsstimuli

reich – so genannte Assertions verwendet [FoKr03]. Dabei erfolgt die Kontrolle automatisch bereits während der Simulation, wobei die Assertions typischerweise bereits im Entwicklungsstadium der Schaltung erzeugt werden. Allein schon die Definition von Assertions führt meistens zu verbesserten Schnittstellendefinitionen und damit zu einer besseren Designqualität. Von Cadence wurden im Rahmen dieser Aufgabe sinnvolle Assertions für analoge Schaltungen ermittelt und eine Beispielbibliothek (s. Abbildung 1.11) für die Assertions-basierte Verifikation analoger Schaltungen erstellt [Webe08].

Besonders vorteilhaft sind Assertions bei der Toplevel- bzw. Mixed-Signal-Verifikation, wo sie der schnellen Fehlererkennung und -lokalisierung dienen. An Hand von realen Beispielen konnte von Bosch gezeigt werden, dass analoge Assertions grundsätzlich in VHDL-AMS beschrieben und wie beim Digitalentwurf genutzt werden können. Eine einfache und übersichtliche Beschreibung der Eigenschaften – ähnlich wie z. B. PSL im Digitalen – gibt es derzeit noch nicht. Ob ASL [StJe06] (s. o.) eine mögliche Lösung dafür ist, wird derzeit untersucht. Um eine effiziente Abwicklung auch komplexer Verifikationsszenarien, wie z. B. dem Hochlauf eines Mixed-Signal-Systems mit u. U. vielen Tausend Transistoren zu ermöglichen, wird bei Qimonda ein Nutzungskonzept für Assertions zur benutzerdefinierten Steuerung eines Simulators entwickelt und im unternehmenseigenen Simulator TITAN implementiert, so dass es vielen Anwendern zur Verfügung steht. Bei Qimonda werden Assertions für parallele Simulationen großer Schaltungen realisiert. Besonderes Augenmerk wurde darauf gelegt, Assertions auch in großen Schaltungen effektiv zu behandeln. TITAN erlaubt eine partitionierte, parallelisierte Simulation, bei denen die Assertion-Bedingungen aus Performancegründen verteilt berechnet werden müssen, obwohl nicht immer die komplette Information lokal auf dem jeweiligen Prozessor zur Verfügung steht. Dadurch und mittels Assertion-gesteuerter Simulatorgenauigkeit wurden bereits Geschwindigkeitssteigerungen vom Faktor 2 bis 10 erzielt.

Schaltungsentwurf und Eigenschaftsverifikation ließen sich erheblich verbessern, wenn der Einfluss von Produktionsschwankungen und Betriebstoleranzen bekannt wäre. In einem neuen Ansatz der Uni Hannover wird im Auftrag von Infineon versucht, Schaltungseigenschaften als affine Formen aus Kleinsignal- und transienten Simulationen mit Hilfe affiner Arithmetik zu extrahieren. Solche affinen Formen erlauben eine verbesserte Modellierung, die Parameterschwankungen berücksichtigt, da das tatsächliche Verhalten im Ergebnisintervall verlässlich eingeschlossen wird, ohne eine zu hohe Überabschätzung in Kauf nehmen zu müssen. Die Simulation als erster notwendiger Schritt des Verfahrens ist inzwischen realisiert worden [GrOI08].

In einem anderen Ansatz werden von MunEDA und der TU München die Trade-Offs zwischen konkurrierenden

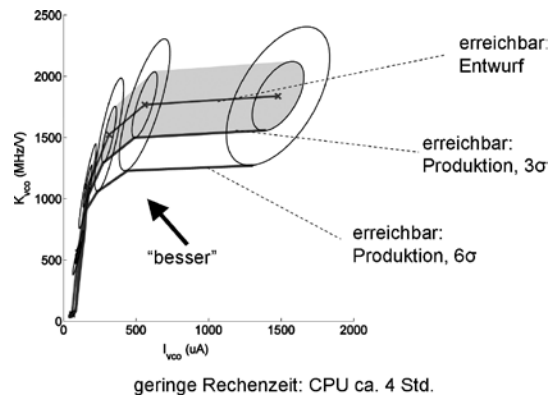


Abbildung 1.12: Performance-Spektrum für einen spannungskontrollierten CMOS-Ringoszillator unter Berücksichtigung von Parameterschwankungen

Eigenschaften unter realen Randbedingungen ermittelt. Performance-Spektren gemäß Abbildung 1.12 beschreiben diese Zusammenhänge und können mit den in VeronA entwickelten Verfahren [GrMü07] in viel kürzerer Zeit ermittelt werden als mit bisher veröffentlichten Ansätzen [SoCh05]. Mit den dann vorliegenden Performance-Spektren kann relativ einfach verifiziert werden, ob die gegebene Schaltung ihren Anforderungen – auch unter Parameterschwankungen – genügt, unter welchen Bedingungen potenzielle Probleme auftauchen und an welchen Stellen eine Schaltungsmodifikation hilfreich ist.

Arbeitspaket 3: Multi-Level-Verifikation

Die Existenz moderner Simulationswerkzeuge, Beschreibungssprachen und formalisierter Verifikationsverfahren allein reicht nicht, um die vielfältigen Aufgaben der Verifikation vollständiger A/MS-ICs durchzuführen. Dabei fehlen insbesondere die Methoden für eine effiziente Verifikation der Analogteile und ihrer Schnittstellen. In diesem Zusammenhang werden im Arbeitspaket 3 von VeronA Vorgehensweisen und Verfahren erforscht, die eine, an die Anwendungen angepasste, Multi-Level-Verifikation von analogen Komponenten ermöglichen und die an Beispielen aus dem Automobil- und Mobilkommunikationsbereich demonstriert werden.

Aufgabe 3.1 Anwendungsorientierte Verifikation vollständiger Automotive ICs

Die Erforschung von Methoden für die effiziente, anwendungsorientierte Verifikation vollständiger Automotive-ICs steht noch in der Anfangsphase, in der viele Lücken vor allem im A/MS-Bereich noch geschlossen werden müssen. Um die Verifikation von A/MS-ICs systematisch zu unterstützen, werden bei Atmel und Bosch anwendungsspezifische Verifikationsstrategien entwickelt.

Die zunehmende Komplexität bei den meisten Schaltkreisen für Automobilanwendungen verhindert die finale Gesamtchipsimulation auf Transistorebene oft selbst mit Fast-Spice-Simulatoren. Anhand eines Passiv-Entry/Go-IC-Designs wird im Folgenden präsen-

tiert, wie bei Atmel durch den Einsatz von geschickten anwendungsspezifischen Simulationsstrategien dennoch die Funktion einzelner Chip-Komponenten im Gesamtsystemkontext verifiziert werden kann. Die angewandte Verifikationstaktik besteht im Wesentlichen darin, das DUT (Device Under Test) innerhalb einer Gesamt-Chipverifikation transistorbasiert zu modellieren, während seine Peripherie durch HDL-Beschreibungen unterschiedlicher Abstraktionsgrade abgebildet wird.

Abbildung 1.13 veranschaulicht hierzu schematisch die Modellierungskonfiguration zur Verifikation der Chip-Komponente „Driver Stages“. Für die Funktionsprüfung der „Driver Stages“ wurde die unmittelbare Peripherie durch komplexe Verhaltensmodelle und die übrigen Chip-Komponenten mittels einfacher Verhaltensmodelle beschrieben (siehe Legende Abbildung 1.13).

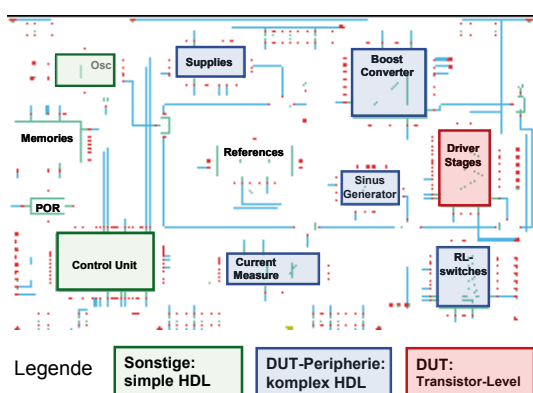


Abbildung 1.13: Schematische Darstellung der Modellierungskonfiguration zur Verifikation der Chip-Komponente „Driver Stages“

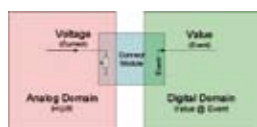


Abbildung 1.14: Connect-Module einer analogen und ereignisgesteuerten Kopplung (Electrical-Wreal-Kopplung)

Die Verifikation des Gesamtchips erfolgt auf diese Weise in mehreren Schritten durch Verifikation einzelner Chip-Komponenten im Gesamtkontext. Tabelle 1.02 zeigt die für das Passiv-Entry/Go-IC-Design resultierenden Modellierungskonfigurationen zur Verifikation der einzelnen DUT.

Tabelle 1.02: Modellierungskonfigurationen zur Verifikation verschiedener Chip-Komponenten im Gesamtchip-Verifikationsprozess

Chipkomponenten	Konfiguration zur Verifikation von:					
	DUT Current Measure	DUT Oscillator	DUT Boost Converter	DUT Driver Stages	DUT Sinus Generator	System-Funktion
Current Measure	Transistor	HDL simple	HDL simple	HDL komplex	HDL simple	HDL simple
Oscillator	HDL simple	Transistor	HDL simple	HDL simple	HDL simple	HDL simple
Boost Converter	HDL simple	HDL simple	Transistor	HDL komplex	HDL simple	HDL simple
Driver Stages	HDL komplex	HDL simple	HDL komplex	Transistor	HDL komplex	HDL simple
Sinus Generator	HDL simple	HDL simple	HDL simple	HDL komplex	Transistor	HDL simple
Supplies	HDL komplex	HDL komplex	HDL komplex	HDL komplex	HDL komplex	HDL simple
RL-switches	HDL komplex	HDL simple	HDL simple	HDL komplex	HDL simple	HDL simple
Control Unit	digital	digital	digital	digital	digital	digital
Simulationszeit	4,5 Std.	23 Std.	2 Std.	67 Std.	7,5 Std.	16 min.

Hervorzuheben ist, dass mit Hilfe dieser Verifikationsmethodik Designfehler, wie z. B. Logikdreher, Verdrahtungsfehler sowie Vorzeichenfehler in der Stromversorgung, frühzeitig aufgedeckt werden konnten.

Aufgabe 3.2 Systemlevel-Cosimulation mit analogen Komponenten

Die vielversprechende Anwendung von gekoppelten Simulatoren zur Beschleunigung der üblicherweise simulationsbasierten Verifikation für spezielle Anwendungen, wird vor allem hinsichtlich der Schnittstellen betrachtet. Hierzu werden bei Atmel Lösungen erforscht, die mit Hilfe der Cosimulation die Anbindung des Analogteils innerhalb der Systemsimulation erlauben und damit zu einem beschleunigten Verifikationsablauf beitragen.

Bei der Kopplung von unterschiedlichen Simulatoren zur Verifikation komplexer Systeme ist die dabei auftretende Schnittstellenproblematik an analogen Knoten derzeit nur ansatzweise gelöst. Diverse Toolhersteller setzen in der Regel ihren Fokus gezielt auf eine bestimmte Simulationsproblematik bzw. -methodik, die eine vollständige Systemverifikation jedoch ausgrenzt. Erste Ansätze der Cosimulation unter Nutzung geeigneter Schnittstellen wurden im Projekt DETAILS in Form der AMSD-Simulink-Kopplung [JoGr07] erprobt. Die Simulationsgeschwindigkeiten sind jedoch durch die kontinuierliche Übergabe äquidistant abgetasteter Signale für heute typische Schaltungskomplexitäten zu gering. Ein Lösungsansatz untersucht daher die Kopplung der analogen Domain mit einer ereignisgesteuerten Implementierung, wobei letztere den neuen Cadence-Datentyp „wreal“ nutzt. Abbildung 1.14 zeigt das Prinzip dieser Kopplung zwischen analoger und ereignisgesteuerter digitaler Domain. Hierbei steht die Methodik im Mittelpunkt, den dabei auftretenden Verlust von Informationen über die Kopplung zwischen Spannung und Strom bzw. die Anpassungseffekte ohne gesonderten Eingriff des Benutzers zu kompensieren.

Als Demonstrator wurde ein HF-Frontend bestehend aus LNA, Mischblock, I/Q-Teiler, Tiefpassfilter und Biasing-Block verwendet. Hier wurden unter Nutzung verschiedener Implementierungsvarianten mit jeweils hoher und geringer Komplexität vergleichende Simulationen für 200 ns Echtzeit durchgeführt. Abbildung 1.15 fasst die Ergebnisse graphisch zusammen.

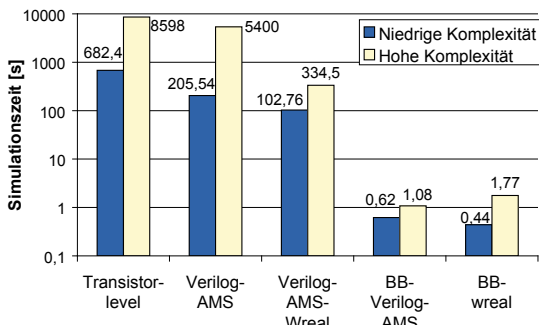


Abbildung 1.15: Simulationengeschwindigkeiten bei verschiedenen Implementierungsvarianten

In Abbildung 1.15 ist die grundlegende Problematik der Akzeptanz von Modellierungsmethodiken im HF-Bereich ersichtlich. Bei einfachen Strukturen bringt eine ereignisgesteuerte Implementierung der Modelle nur einen geringen Geschwindigkeitsvorteil verglichen mit einem analogen Modell (VerilogAMS / VerilogAMS-wreal = 205/102 = ca. Faktor 2), aber zusätzliche Schwierigkeiten bei der Modellierung mit sich (Schnittstellenimpedanzen, Verfügbarkeit der Modelle, unvollständige Sprachstandards). Bei steigender Zahl der Komponenten kommt der vorher unscheinbar wirkende Geschwindigkeitsvorteil jedoch aufgrund der unabhängig voneinander berechenbaren Modelle voll zum Tragen (5400/334,5 = ca. Faktor 16). Obwohl Basisbandmodelle hier einen noch größeren Geschwindigkeitsvorteil bringen, ist der erheblich größere Modellierungsaufwand, verbunden mit zusätzlichen Problemen hinsichtlich der Kompatibilität, nur bei speziellen Verifikationsaspekten zu rechtfertigen.

Bei komplexen, analogen Schaltungen, die extrem lange Simulationszeiten erfordern, reicht oft die Beschleunigung der Simulation mit Hilfe von Verhaltensmodellen wie den von Bosch in AP1 erzeugten MiMiC-Modellen noch nicht aus [Döll07]. Auf Grund der Komplexität der analogen Schaltungen haben sich bislang im Analogentwurf programmierbare Hardwarelösungen zur Simulationsbeschleunigung nicht durchgesetzt. Die Struktur der MiMiC-Modelle lässt jetzt eine Portierung auf programmierbare Hardware möglich erscheinen [MiGr08]. Verschiedene digitale, analoge und gemischte analog/digitale Ansätze zur Verlagerung von Algorithmen auf Hardware wurden zunächst gegenübergestellt und im Detail diskutiert. Die Favoriten waren Lösungen auf der Basis von FPGA's (Field Programmable Gate Arrays), FPOA's (Field Programmable Object Arrays) und GPU's (Graphics Processor Units). Auf Grund der erreichbaren Geschwindigkeit und Genauigkeit der implementierten

Modelle sowie der Erweiterbarkeit und der möglichen Parametrierung der MiMiC-Strukturen in die HW fiel die Entscheidung für die GPU's (Abbildung 1.16). Das Konzept der Kommunikation zwischen Simulatoren (Hostsystem) und externer HW (GPU) wird in der Abbildung 1.17 dargestellt. Es wird erwartet, dass die Simulation mindestens Faktor 20 schneller im Vergleich zu den MiMiC-Strukturen ist.

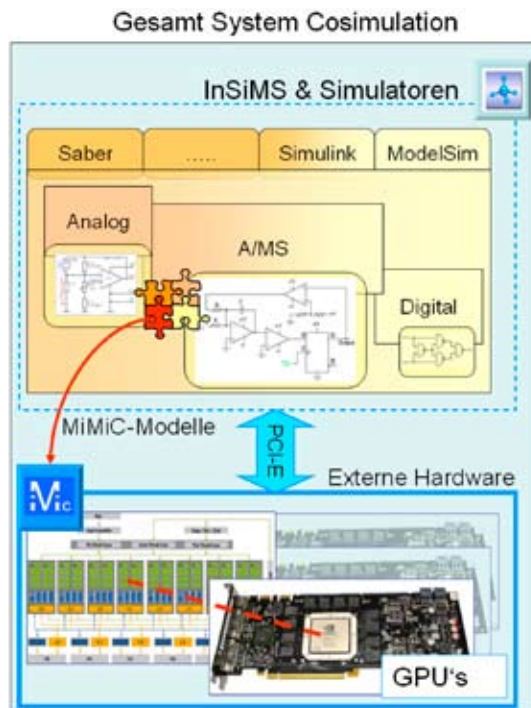


Abbildung 1.16: Beschleunigung der Simulation durch Modellverlagerung auf programmierbare Hardware für die Co-Verifikation mit A/MS-Simulatoren

Aufgabe 3.3 Modellanwendung über Abstraktionsebenen

Bei der Multi-Level-Verifikation werden Beschreibungen der Systemkomponenten auf unterschiedlichen Abstraktionsebenen eingesetzt. Als problematisch erweisen sich in diesem Zusammenhang einerseits das „Konnektivitätsproblem“ und andererseits die mangelnde Verfügbarkeit durchgehender Verfahren zur Berücksichtigung von Prozess- und Betriebstoleranzen.

Das noch immer nicht gelöste Konnektivitätsproblem, d. h. die Handhabung unterschiedlicher Portanzahlen oder Ein- und Ausgangsimpedanzen der Blöcke kann beim Wechsel zwischen zwei Abstraktionsebenen zu Konsistenzproblemen führen und somit eine vollständige und effiziente Verifikation von A/MS-Systemen verhindern. Aufbauend auf den zuvor gewonnenen Erkenntnissen hinsichtlich der Modellierungsstrategie werden bei Atmel Lösungen erarbeitet, die eine durchgängige funktionale Prüfung der Schaltung in allen Implementierungsarten und über alle Abstraktionsebenen hinweg ermöglichen. Dabei werden u. a. in Abhängigkeit der Modellierungsmethodik äquivalente Lasten erzeugt, in Basisbandmodellen auch Oberwelleneffekte berücksichtigt oder auch Schaltungsblöcke im Sinne eines optimierten Simulations-Setups zusammengefasst.

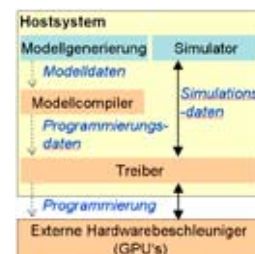


Abbildung 1.17: Kommunikationskonzept: Hostsystem mit externer HW (GPU)

Abbildung 1.18 zeigt eine solche zusammenfassende Modellierung exemplarisch an einer Kombination aus Anpassungsnetzwerk und LNA. Da an der Schnittstelle zwischen Anpassungsnetzwerk und schaltungstechnischem LNA-Eingang außer einer Konnektivitätsprüfung keine weitere Verifikation sinnvoll ist, beeinflusst eine Zusammenfassung von Anpassnetzwerk und LNA in einem gemeinsamen Modell (in diesem Fall als Wiener-Hammerstein-Modell) den beabsichtigten Umfang der Systemverifikation nicht.

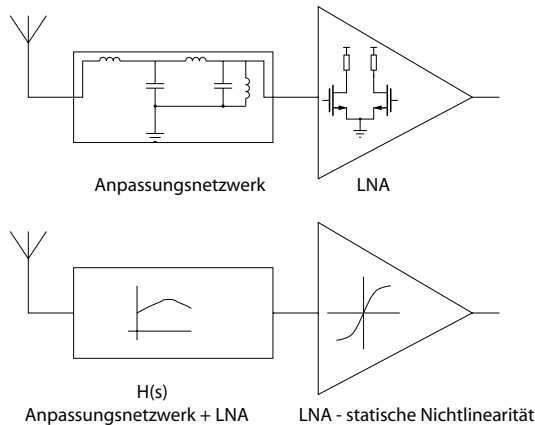


Abbildung 1.18: Blockschaltbild (oben) und Wiener-Hammerstein-Modell (unten) von Anpassungsnetzwerk und LNA

In dem verwendeten Systembeispiel wurde mit Hilfe von Frequenzbereichsanalysen und zugehörigen Approximationsmethoden die Dimension des notwendigen HF-Filters stark reduziert, wobei mit Hilfe der ereignisgesteuerten Modellierung eine Genauigkeit von

+/- 0.002 dB verglichen zu herkömmlichen analogen Modellen im Durchlassbereich erzielt werden konnte. Die Simulationszeit zur Verifikation der verketteten Nichtlinearität von LNA und Mischer konnte mit Hilfe dieser Methodik unter Berücksichtigung sämtlicher Filtereigenschaften um den Faktor 7000 für eine transiente Simulation bzw. um den Faktor 1940 für eine QPSS-Simulation reduziert werden. In einem weiteren Systembeispiel konnte die Simulationszeit einer PLL im Vergleich zu herkömmlichen Phasenbereichsmodellen [Kund03] durch Verwendung ereignisgesteuerter Modelle und transienter Rauschquellen um einen Faktor 54 reduziert werden.

Eine weitere Herausforderung stellt die Modellierung des Systemverhaltens unter Einfluss von Betriebsbedingungen und Prozessschwankungen auf den verschiedenen Abstraktionsebenen dar. Die Verhaltensbeschreibung erfolgt dabei mittels Hardware-Beschreibungssprachen wie VHDL-AMS oder Verilog-A. Die Überführung der einzelnen Schaltungsblöcke von Transistorebene auf die Verhaltensebene geschieht mittels numerischer Modelle. Zur Erstellung der Modelle werden an mehreren Punkten im Parameterraum Simulationen durchgeführt (Entwurfspunkte). Um die Qualität der Modelle und die Effizienz der Modellerstellung zu steigern, untersucht MunEDA in diesem Beitrag verschiedene Funktionen, wie z. B. Thin-Plate-Spline (s. Abbildung 1.20), mit denen Schaltungseigenschaften zwischen den Entwurfspunkten approximiert/interpoliert werden sowie verschiedene Verfahren zur Entwurfspunktauswahl. Durch die Fortschritte in den Arbeiten



Abbildung 1.19: Das Foto zeigt die zum Projekttagung im Dezember 2007 anwesenden Vertreter der Projektpartner und Unterauftragnehmer. v.l.n.r.: F. Schenkel, R. Popp, S. Joeres, R. Dölling, J. Weber, H.-W. Groh, S. Kern, P. Jores, C. Hammer, P. Rotter, M. Freisfeld, S. Steinhorst, S. Weber, H. Gräß, L. Hedrich .

konnte ein Verfahren entwickelt werden, mit dem ohne a-priori Wissen über das Schaltungsverhalten automatisch immer die Modellfunktion ausgewählt wird, die zum geringsten Fehler zwischen Simulation und Modell führt. Damit und mit Hilfe eines neu entwickelten auf der Latin-Hypercube-Sampling Methode basierenden adaptiven Verfahrens zur Entwurfspunktgenerierung (Abbildung 1.21) konnte der Simulationsaufwand – bei vergleichbarer oder höherer Modellgenauigkeit – signifikant verringert werden. Eine weitere Erprobung dieser Ergebnisse erfolgt derzeit in Zusammenarbeit mit Atmel an industriellen Beispielschaltungen.

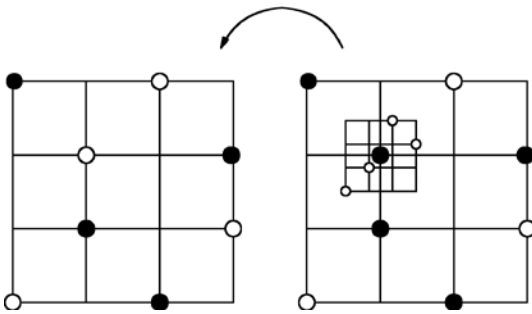


Abbildung 1.21: Entwurfspunktgenerierungsmethode „Adaptives Latin-Hypercube-Sampling“

Zusammenfassung

Das Projekt VeronA hat nach dem zweiten Drittel seiner Projektlaufzeit eine Reihe wesentlicher Ergebnisse erzielt, die eine gute Grundlage für die Automatisierung der Verifikation analoger Schaltungen und Systeme sind. Erfreulich ist dabei, dass die Partner nicht nur jeder für sich Erfolge vorweisen können, sondern auch mit anderen an gemeinsamen Zielen arbeiten. Beispielhaft dafür steht die Zusammenarbeit in Bezug auf die Einführung von analogen Assertions und bei der vergleichenden Gegenüberstellung von Modellierungsmethoden. Der Austausch über Firmengrenzen hinweg ermöglicht es, von einander zu lernen, schafft Gemeinsamkeit und Synergien und stärkt damit den Standort Deutschland.

Weiterhin ist bemerkenswert, dass die VeronA-Projektpartner Ihre Ansätze und Ergebnisse nicht nur in Publikationen an die Öffentlichkeit bringen, sondern auch in eigens dafür organisierten Vortragsveranstaltungen. So veranstaltete VeronA im zweiten Projektjahr zwei öffentliche Tutorials und eine Podiumsdiskussion auf der DATE. Die dadurch stimulierten Diskussionen und Gespräche waren für die weiteren Projektfortschritte sehr hilfreich.

Es kann schon jetzt festgehalten werden, dass das Projekt VeronA nicht nur fachliche Erfolge und betriebswirtschaftlichen Fortschritt bringt, sondern auch das allgemeine Bewusstsein für die enormen Herausforderungen der Verifikation „im Analogen“ schafft. Auf dieser Grundlage wird im verbleibenden Projektdrittel daran gearbeitet werden, die entwickelten Methoden

an praxisorientierten Beispielen zu erproben und zu bewerten, was letztlich zu einer weiteren Verbesserung führen wird.

Referenzen

[JoGr07] S. Joeres, H.-W. Groh, S. Heinen; „Event Driven Analog Modeling of RF Frontends“; *International Behavioral Modeling and Simulation Conference (BMAS)*, San José, California, 2007

[MiDö07] H. Mielenz, R. Doelling, W. Rosenstiel; „A Method for Semi-Automated Modeling of Analog-Mixed Signal Systems in Automotive Applications based on Transient Simulation Data“, *Nanotech 2007*, Santa Clara, CA, USA, <http://www.nsti.org/procs/Nanotech2007v3/2/T68.03>

[HaWi06] Halfmann, T., Wichmann, T.: *Symbolic Methods in Industrial Analog Circuit Design*, in *Scientific Computing in Electrical Engineering*, Edited by A. M. Anile, G. Ali, G. Mascali, Springer Verlag (2006), pp. 87.

[KnPI08] C. Knoth, D. Platte, T. Halfmann, J. Broz, P. Rotter; „Generierung effizienter Verhaltensmodelle mittels Modellkompilierung und Modellreduktion“, 10. GMM/ITG-Fachtagung Analog'08 : *Entwicklung von Anologschaltungen mit CAE-Methoden*, Siegen, Germany, Apr. 2008

[PoNä99] R. Popp, L. Nätke, C. Borchers; „Automatische Erzeugung symbolischer Verhaltensmodelle für nichtlineare Anologschaltungen im transienten Großsignalbetrieb“, 5. ITG/GMM-Diskussionssitzung Analog'99: *Entwicklung von Anologschaltungen mit CAE-Methoden*, München, Germany, Feb. 1999

[BoWa08] P. Borthen, G. Wachutka, „Ein Messplatz für die Untersuchung von Halbleiterbauelementen bei sehr hohen Umgebungstemperaturen“, 10. GMM/ITG-Fachtagung Analog'08 : *Entwicklung von Anologschaltungen mit CAE-Methoden*, Siegen, Germany, Apr. 2008

[StJe06] S. Steinhorst, A. Jesser, L. Hedrich, „Advanced Property Specification for Model Checking of Analog Systems“, *Analog'06 (9. ITG/GMM-Fachtagung)*, September 2006, pp. 63–68

[HaHe02] W. Hartong, L. Hedrich, E. Barke, „Model Checking Algorithms for Analog Verification“, *Design Automation Conference, DAC 2002*, Juli 2002

[StHe08] S. Steinhorst, L. Hedrich, „Model Checking of Analog Systems using an Analog Specification Language“, *Proc. of the Conference on Design, Automation and Test in Europe 2008 (DATE'08)*, pp.324–329, March 2008.

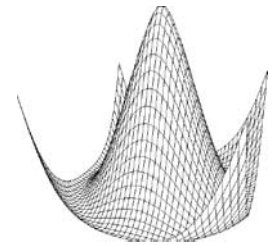


Abbildung 1.20: Thin-Plate-Spline

[StHe08-2] S. Steinhorst, L. Hedrich, „A Formal Approach to Complete State Space-Covering Input Stimuli Generation for Verification of Analog Systems“, *Analog'08 (10. ITG/GMM-Fachtagung)*, pp. 57–62, April 2008.

[FoKr03] H.D. Foster, A.C. Krolnik, D.J. Lacey; „*Assertions-Based Design*“; Kluwer Academic Publishers, 2003

[Webe08] S. Weber, „*Analog-Assertions mit Verilog-A – Beispielbibliothek und Erfahrungen in Design und Verifikation*“, *Analog'08 10. GMM/ITG-Fachtagung*

Kont@kt (VeronA):

Projektmanagement:
Ralf Popp, edacentrum
fon: (05 11) 7 62 – 1 96 97,
fax: (05 11) 7 62 – 1 96 95,
popp@edacentrum.de

Projektkoordination:
Peter Jores, Robert Bosch GmbH
fon: (0 71 21) 35 – 29 82,
fax: (07 11) 81 15 14 29 82,
Peter.Jores@de.bosch.com

[GrOI08] D. Grabowski, M. Olbrich, E. Barke; „*AC-Analyse analoger Schaltungen mit affiner Arithmetik*“; 10. GMM/ITG-Fachtagung Analog'08 : Entwicklung von Analogschaltungen mit CAE-Methoden, Siegen, Germany, Apr. 2008

[GrMü07] H. Gräb, D. Müller, U. Schlichtmann, „*Pareto Optimization of Analog Circuits considering Variability*“, *European Conference on Circuit Theory and Design (ECCTD)*, 2007.

[SoCh05] A. Somani, P. Chakrabarti, A. Patra, „*Mixing global and local competition in genetic optimization based design space exploration of analog circuits*“, *Design, Automation and Test in Europe (DATE) 2005*.

[Döll07] R. Dölling, „*Simulation rechenintensiver A/MS-Systeme in der Automobilindustrie*“, 37. MPC-Workshop, 2.2.2007, Pforzheim

[MiGr08] H. Mielenz, A. Graf, R. Dölling, G. Gerlach, W. Rosenstiel, „*Microcontroller Embedding of Support Vector Machines and its Application to Signal Processing for Smart Sensors*“, *edaWorkshop08, Hannover, Germany, May 2008*

[Kund03] K. Kundert, „*Predicting the Phase Noise and Jitter of PLL-based Frequency Synthesizers*“, „*In Phase-Locking in High Performance Systems*“, Behzad Razavi (Editor), IEEE Press, 2003.

Formale Verifikation analoger Schaltungen: Ein Weg, die Verifikationslücke zu schließen?!

[Einblick in formale Verifikationsverfahren für den Analogschaltungsentwurf und deren Anwendung](#)

Die Simulation als „Arbeitspferd“ zur Verifikation analoger Schaltungen ist für immer komplexer werdende Schaltungen nicht mehr hinreichend. Insbesondere, wenn sicherheitskritische Teile entworfen werden, sind weitergehende Verfahren wie die formale Verifikation notwendig. Dieser Artikel gibt einen kurzen Einblick in formale Verifikationsverfahren für den Analogschaltungsentwurf und deren Anwendung.

Einleitung

Eines der Hauptprobleme des IC-Entwurfs ist die Validierung des Entwurfs vor der Fertigung. Durch immer bessere Integrationsmöglichkeiten kann man heute hochkomplexe Mixed-Signal-Systeme auf einem Chip unterbringen. Vorausgesetzt man kann sie entwerfen, bleibt die Frage: Kann man sie auch verifizieren?

Die oben beschriebene Schere zwischen den steigenden Integrationsmöglichkeiten und der nicht im gleichen Maße steigenden Validierungsfähigkeit bezeichnet man als Verifikationslücke. Im digitalen wurde diese durch den Einsatz von formalen Verfahren teilweise geschlossen. Im analogen und Mixed-Signal-Bereich sind ähnliche Versuche nunmehr verstärkt im Fokus von Forschungseinrichtungen und der Industrie, was auch der vorhergehende Artikel über das Projekt VeronA (s. S. 5) belegt.

Beispiel

Der in Abbildung 1.22 dargestellte Ringoszillator [1] mit einer geraden Anzahl von Inverterstufen (4) der Stärke α und einer Kreuzkopplung mit Invertern der Stärke β soll für die Erzeugung von symmetrischen Taktschemata verwendet werden. Es war bekannt, dass die Oszillationseigenschaft von dem Stärkenverhältnis der Inverterstufen $k = \alpha/\beta$ abhängt. Wird der Oszillator am Rande dieser Verhältnisse betrieben, hängt es von Anfangsbedingungen ab, ob er oszilliert oder nicht. Nach Simulation und Fertigung hat der Oszillator bei Inbetriebnahme jedoch nicht oszilliert. Der Grund dafür wurde relativ schnell gefunden: Es waren nicht alle Anfangsbedingungen simuliert worden. Dies ist bei 4 Knoten, denen jeweils eine Anfangsbedingung zugeordnet werden muss, auch schwer möglich, da ein vierdimensionaler Raum von Anfangsbedingungen manuell untersucht werden müsste.