

URANOS: Analysemethoden für den Entwurf anwendungsrobuster nanoelektronischer Systeme

Im August 2005 erhielt das Projekt URANOS die Bewilligung zum Ekompass-Projekte und stellt sich in dieser Ausgabe zu Beginn der Projektlaufzeit vor.

Zusammensetzung
des Projektkonsortiums

Partner:

AMD Saxony DDC <<
Atmel Germany GmbH <<
FZI Karlsruhe <<
Infineon Techn. AG <<
sci-worx <<

Unterauftragnehmer:

Fraunhofer Institut IIS/EAS <<
TU Chemnitz <<
Universität Bremen <<
Universität Trier <<

Förderkennzeichen:
01 M 3075

Laufzeit des Vorhabens:
1.1.2005 – 31.12.2007

Projektumfang:

69 Personenjahre in drei Jahren

Das Projekt „Analysemethoden für den Entwurf anwendungsrobuster nanoelektronischer Systeme (URANOS)“ wurde am 1.7.2005 im Rahmen der BMBF-Förderinitiative Ekompass gestartet. Vorgesehen ist eine Laufzeit von drei Jahren.

Ziel

URANOS leistet wesentliche Beiträge zum Entwurf mikro- und nanoelektronischer Systeme, die sich gegenüber Unwägbarkeiten des späteren Einsatzes robust verhalten sollen. Dazu erforscht das Projekt analysebasierte Methoden, mit denen bereits in frühen EDA-Phasen anwendungsspezifische Einflussfaktoren erfasst werden können. Mit den gegenwärtig verfügbaren Entwurfsansätzen sind solche Einflussfaktoren oftmals erst im Feldtest des fertigen Chips unter konkreten Anwendungsbedingungen offensichtlich. Resultierende zeit- und kostenintensive Design-Iterationen sollen mit den neuen Ansätzen von URANOS deutlich reduziert werden, indem die Umgebung des Endprodukts besser als bisher beim Entwurf berücksichtigt werden kann.

Konsortium

Das Konsortium bündelt deutsche Kompetenzen zur Thematik des Projektes. Es setzt sich zusammen aus den Industriepartnern AMD Saxony, Infineon und sci-worx, aus dem Forschungspartner FZI sowie aus Unterauftragnehmern von Fraunhofer (IIS/EAS) und Hochschulen (TU Chemnitz, Uni Trier, Uni Bremen).

Aufgaben und Arbeitspakete

Gerade unter Ausnutzung des Potenzials innovativer Fertigungstechnologien der Nanoelektronik wird eine enorme Komplexität der Chips und damit ein beträchtlicher Funktionsumfang der auf dem Chip integrierten Systeme (SoC) erreicht. Die Beherrschung der damit verbundenen, gewaltigen Menge an Entwurfsdaten macht Informationslücken im Entwurfsprozess nahezu unvermeidlich. Außerdem sind die kleineren Strukturen empfindlicher, z.B. gegenüber wechselnden Anwendungsbedingungen. Andererseits sind Entwicklung und Fertigung solcher komplexen Chips derart kostenintensiv, dass deren Rentabilität nur gewährleistet werden kann, wenn eine größere Vielfalt in ihrer Anwendung besteht. Typische Anwendungen sind zudem hochkomplex und erfordern die Kommunikation von Komponenten unterschiedlicher Hersteller. All das lässt die Zahl von Fehlerquellen beim Entwurf und damit das Entwurfsrisiko dramatisch steigen. Bei bestimmten, anwendungsbedingten Konstellationen können so Fehl-

funktionen wie unnötiger Interrupt oder Abarbeitung unkorrekter Befehle bzw. falsche Modi auftreten. Ursachen dafür sind u.a. zufällige Ereignisse, Alterungerscheinungen, Schaltkreisspezifikationen, die nicht alle Einsatzfälle berücksichtigen, oder nicht standardkonforme Einsatzbedingungen.

Für den anwendungsrobusten Entwurf nanoelektronischer Systeme ist es darum essentiell, bereits in frühen Design-Phasen Informationen aus dem Application Engineering (und damit letztlich die Benutzeranforderungen) einfließen zu lassen. Auf dieser Grundlage können korrekte Designentscheidungen unter besonderer Berücksichtigung des späteren Anwendungskontextes getroffen werden. In drei eng verzahnten Arbeitspaketen werden dazu Analysemethoden und Abstraktionswege für Entwurfsparameter und Anwendungsbedingungen erforscht, entwickelt und angewandt.

Arbeitspakete:

AP1 wird ein umfassendes Anforderungsprofile erheben, das die Applikationsumgebung möglichst präzise spezifiziert. Hierzu werden bestehende Anwendungsumgebungen hinsichtlich ihrer System- und Zertifizierungsanforderungen untersucht und Methoden zur Transformation dieser Anforderungen in die Ebene des Systementwurfs entwickelt. Auf Basis der in AP1 transformierten Anforderungsprofile werden in zwei weiteren AP darauf adaptierte (neue) Analysemethoden erforscht und entwickelt.

Wesentlicher Inhalt von AP2 sind Analyseansätze für den Entwurf sicherheitskritischer Anwendungen, d.h. von Anwendungen, die sich auch nach längerer Betriebsdauer robust gegenüber dynamischen Fehlern verhalten. Hierbei sollen durch die Integration von Erkennungsmechanismen und Redundanzen im Entwurf dynamische Systemveränderungen und Blockierungen von Systemteilen vermieden werden. Ein weiterer Beitrag zielt auf die Verhinderung von Systemabstürzen aufgrund partieller Ausfälle regulärer Strukturen (z.B. RAM, SRAM).

Im Unterschied dazu erforscht AP3 Analysezugänge für unsichere, also unbekannt, unvollständig spezifizierte oder nicht spezifikationskonforme Anwendungsbedingungen. Das schließt den Ein- und Ausbau spezieller Auswertefunktionalität und Analyseumgebungen (z.B. Fehlerinjektionsstrategien, Aufbau einer virtuellen Applikationsumgebung), aber auch die Erweiterung

bestehender Verifikationsmethoden (z.B. neue Constraint-Solver) ein. Um den erfolgreichen Einsatz der neuen Konzepte zu gewährleisten, sind diese von einem angepassten und verbesserten Entwurfsmanagement (u.a. neue Entwurfsregeln) zu begleiten.

Kick-Off-Treffen

Der Eröffnungsworkshop des Projektes fand am 11.07.2005 bei AMD in Dresden statt. Die bereits in der Phase der Projektvorbereitung praktizierte intensive Kooperation der Partner erwies sich als gute Grundlage für den Erfolg des Workshops. Die Projektpartner diskutierten das weitere Vorgehen, präzisierten die Planung der Arbeiten für das erste Projekthalbjahr, stimmten Details der Zusammenarbeit ab und präsentierten Lösungsansätze für die kommenden Aufgaben. Daneben blieb auch Zeit für eine Firmenbesichtigung, bei der AMD-Mitarbeiter in sehr engagierter Weise

ihr modernes Arbeitsumfeld im DDC (Dresden Design Center) vorstellten und interessante Einblicke in Teile der „Nanoelektronikschmieden“ Fab30/Fab36 ermöglichen.

Am Abend wurde die Diskussion im gemütlichen Ambiente eines Biergartens am Elbestrom fortgesetzt. Hier konnten sich dann auch die von auswärts angereisten Projektpartner davon überzeugen, dass sich das deutsche „Silicon Valley“ neben seiner Spitzentechnologie im Bereich der Gigabyte und Nanometer auch durch die idyllische Lage seiner Hauptstadt mit der beeindruckenden - durch die Kuppel der Frauenkirche nun wieder vervollständigten - Stadtsilhouette auszeichnet.

Kont@kt:

Hans-Jürgen Brand
AMD Saxony LLC&Co.KG
Design Center
PF 110 110
01330 Dresden
fon: 0277 6016
hans-juergen.brand@amd.com

Steffen Rülke
Fraunhofer-Institut
für Integrierte Schaltungen
Außenstelle
Entwurfsautomatisierung
Zeunerstraße 38
01069 Dresden
fon: 0351 4640 720
steffen.ruelke@eas.iis.fraunhofer.de



Abbildung 1.6:
Erstes Treffen des Projekt-Konsortiums von URANOS nach der Bewilligung