

URANOS: Analysemethoden für den Entwurf anwendungsrobuster nanoelektronischer Systeme

Die neuen Möglichkeiten und Eigenschaften nanoelektronischer Systeme sind auch mit neuen Herausforderungen an deren Entwurf verbunden. „Robust-by-Design“ ist einer der Ansätze zur Bewältigung dieser Herausforderungen, wozu das Projekt URANOS wesentliche Beiträge liefert.

Fehler beim Entwurf nanoelektronischer Systeme sind mit den bisherigen EDA-Methoden oftmals erst unter realen Anwendungsbedingungen im Feldtest des gefertigten Designs und zum Teil auch erst nach längerer Betriebszeit (Soft Errors) offensichtlich. Das erfordert zeit- und kostenintensive Entwurfsiterationen, die mit den neuen Ansätzen von URANOS deutlich reduziert werden sollen. Ziel ist es, die Umgebung des Endprodukts besser als bisher beim Entwurf zu berücksichtigen und damit zum Entwurf nanoelektronischer Systemen beizutragen, die sich gegenüber Unwägbarkeiten des späteren Einsatzes robust verhalten. Dazu werden analysebasierte Methoden entwickelt, mit denen bereits in frühen EDA-Phasen anwendungsspezifische Einflussfaktoren (z.B. Anforderungsprofile, Benutzerkontexte) erfasst werden können. Dies erfordert auch die Untersuchung von Abstraktionswegen für Entwurfsparameter und Anwendungsbedingungen.

Überblick und Projektziele

Die kleineren Dimensionen und komplexeren Strukturen der Nanoelektronik ermöglichen umfassendere Funktionalität, geringere Stromaufnahme und höhere Verarbeitungsgeschwindigkeit des auf einem Chip integrierten Systems – SoC (System-on-Chip). Mit den neuen technologischen Möglichkeiten steigen jedoch Entwurfsaufwand und damit Entwurfskosten. So verschärfen sich nicht nur die bisherigen Entwurfsprobleme (u.a. Verifikation und Test), sondern es werden auch zunehmend methodische Grenzen herkömmlicher EDA-Ansätze erreicht. Einige Ursachen dafür sind nachfolgend angeführt:

- » Die Beherrschung der enormen Menge an Entwurfsdaten erfordert zunehmende Abstraktion bei der Spezifikation. Damit ist das Auftreten von Informationslücken nahezu unvermeidlich, was zwangsläufig zu unscharfen Kenngrößen und Modellen für EDA führt.
- » Innovative Applikationen unterliegen oft einer hohen Komplexität und Dynamik, so dass sich die Vielfalt der Umgebungsbedingungen nicht beliebig genau und vollständig in der Phase der Systemspezifikation berücksichtigen lässt. Vielfach sind auch nicht alle Details eines Standards in einer Anwendung erfüllt; trotzdem soll das Design möglichst robust bezüglich eines sicheren Zusammenspiels mit anderen Systemkomponenten sein. Um ungewolltes Verhalten des entworfenen Designs unter realen Anwendungsbedingungen zu vermeiden, muss auch berücksichtigt werden, dass Komponenten eines Systems (z.B. IPs) meist nur für eine Applikation entworfen und verifiziert wurden. Das daraus entwickelte Produkt soll aber in einer Klasse von Applikationen robust einsetzbar sein und auch unter

unterschiedlichen Einsatzbedingungen korrekt funktionieren.

- » Des Weiteren ist zu erwarten, dass sich die Einsatzbedingungen im Laufe der Produktlebenszeit in unbekannter Weise verändern können (durch unscharfe Parameter oder veränderliche Standards), wobei aber gerade die für kleinere Strukturen erforderlichen Signalpegel empfindlicher gegenüber äußeren Einflüssen reagieren können. In sicherheitskritischen Anwendungen wird zudem eine hohe Lebensdauer des Chips erwartet. Dazu ist neben einer exzellenten Kenntnis der Systeme sowie möglicher Störfaktoren bei der Anwendung auch deren Erfassung im Entwurf unerlässlich.

Konsequenz der genannten Unsicherheiten ist ein drastisch erhöhtes Fehlerpotential im Zusammenspiel von entworfenem Design und realer Umgebung, denn oft sind die Arbeitspunkte und Constraints einer Chip-Entwicklung erst im Feldtest oder beim Einsatz vollständig und exakt bestimmbar. Wird ein Fehler aber erst zu diesem Zeitpunkt erkannt, ist dessen Beseitigung durch den erforderlichen Silicon Spin zeitintensiv und verursacht zudem bei 45 und 32 nm-Technologien Kosten bis zu zweistelligen Millionenbeträgen. Wettbewerbsentscheidend wird also zunehmend ein funktionsfähiges erstes Silizium (first-time-right) unter den bei der Nanoelektronik zunehmend unsicheren Umgebungsbedingungen sein. Daraus ergibt sich die Notwendigkeit eines Paradigmenwechsels beim Entwurf: Das Ziel muss sein, nanoelektronische Systeme zu entwerfen, die sich gegenüber Unwägbarkeiten des späteren Einsatzes robust verhalten („Robust-by-Design“).

Das Projekt URANOS leistet hierfür einen Beitrag, indem Ansätze zum Entwurf robuster Systeme durch bessere und zeitigere Berücksichtigung der Einsatz-

Zusammensetzung des Projektkonsortiums:

Partner:

- » Concept Engineering GmbH
- » Infineon Technologies AG
- » Alcatel-Lucent
- » Melexis GmbH
- » OneSpin Solutions GmbH
- » Robert Bosch GmbH

Unterauftragnehmer:

- » IMMS Ilmenau
- » Technische Universität Chemnitz
- » Technische Universität Kaiserslautern
- » Universität Bremen
- » Universität Duisburg-Essen
- » Universität Karlsruhe

bedingungen des Endproduktes untersucht und entwickelt werden. Das betrifft insbesondere analysebasierte Methoden, mit denen bereits in frühen EDA-Phasen anwendungsspezifische Einflussfaktoren (z.B. Anforderungsprofile, Benutzerkontexte) erfasst werden können, und beinhaltet auch die Untersuchung von Abstraktionswegen für Entwurfsparameter und Anwendungsbedingungen.

Dazu ist eine Betrachtung des Entwurfsprozesses erforderlich, die das Application Engineering und damit anwendungsspezifisches Know-how einbeziehen muss. Bezüglich der bereitzustellenden Analysemethoden untersucht URANOS zwei wesentliche Schwerpunkte, die mit weiterem Fortschritt der Nanoelektronik als zunehmend problemträchtig angesehen werden: Ansätze für den zuverlässigkeitsgetriebenen Entwurf für sicherheitskritische Anwendungen (u.a. zur Reduktion von dynamischen Fehlern) und Ansätze für unsichere (u.a. unvollständig spezifizierbare) Anwendungsbedingungen. Entsprechend gilt es EDA-Methoden zu entwickeln, die sich durch folgende Eigenschaften auszeichnen:

- » Berücksichtigung unvollständig definierter funktionaler Anforderungen,
- » Stabile Reaktion auf Fehlverhalten applikationsspezifischer Komponenten im System,
- » Kompensation partieller Ausfälle auf funktionalem Niveau.

Darüber hinaus sind die einzelnen Analysen für unsicher spezifizierte Systeme im Zusammenspiel zu betrachten. Die möglichen Kombinationen und deren Effekte sind so zahlreich, dass die Integration von Analysemethoden strategiebasiert erfolgen muss. Begleitend zur Projektarbeit werden die in URANOS erarbeiteten Analysemethoden experimentell in Design-Flows integriert.

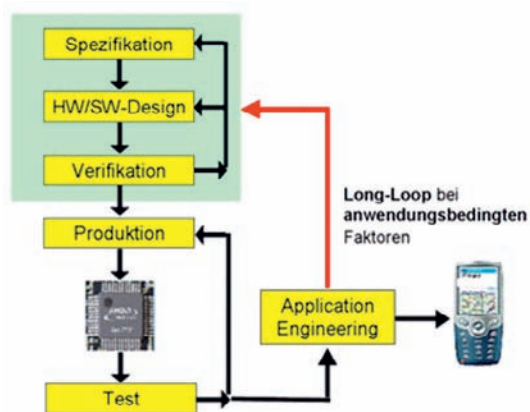


Abbildung 1.03: Rückwirkung des Feldtests auf den Entwurf

Projektstruktur

Der Arbeitsplan ist für eine Laufzeit von drei Jahren (1. Juli 2005 bis 30. Juni 2008) konzipiert. Er beinhaltet drei eng verzahnte Arbeitspakete.

Arbeitspaket 1 „Qualifizierung von Applikationsszenarien und Anforderungsprofilen/Management der Systemanforderungen“ erhebt ein umfassendes Anforderungsprofil, das die Applikationsumgebung möglichst präzise spezifiziert. Hierzu werden bestehende Anwendungsumgebungen hinsichtlich ihrer System- und Zertifizierungsanforderungen untersucht und Methoden zur Transformation dieser Anforderungen in die Ebene des Systementwurfs entwickelt. Auf Basis der in AP1 transformierten Anforderungsprofile werden in zwei weiteren AP darauf adaptierte Analysemethoden erforscht und entwickelt.

Wesentlicher Inhalt von AP2 „Zuverlässigkeitsgetriebene Analyse für den Entwurf sicherheitskritischer Anwendungen“ sind Analyseansätze für den Entwurf sicherheitskritischer Anwendungen. Darunter sind insbesondere Anwendungen zu verstehen, die sich auch nach längerer Betriebsdauer robust gegenüber dynamischen Fehlern verhalten müssen. Hierbei sollen durch die Integration von Erkennungsmechanismen und Redundanzen im Entwurf dynamische Systemveränderungen und Blockierungen von Systemteilen vermieden werden. Ein weiterer Beitrag zielt auf die Verhinderung von Systemabstürzen aufgrund partieller Ausfälle regulärer Strukturen (z.B. SRAM).

AP3 „Analysemethoden für unsichere Anwendungsbedingungen“ erforscht Analysezugänge für unsichere, also unbekannte, unvollständig spezifizierte oder nicht spezifikationskonforme Anwendungsbedingungen. Das schließt sowohl den Ein- und Ausbau spezieller Auswertefunktionalität und Analyseumgebungen (z.B. Fehlerinjektionsstrategien, Aufbau einer virtuellen Applikationsumgebung) als auch die Erweiterung bestehender Verifikationsmethoden (z.B. neue Constraint-Solver) ein. Um den erfolgreichen Einsatz der neuen Konzepte zu gewährleisten, sind diese von einem angepassten und verbesserten Entwurfsmanagement zu begleiten.

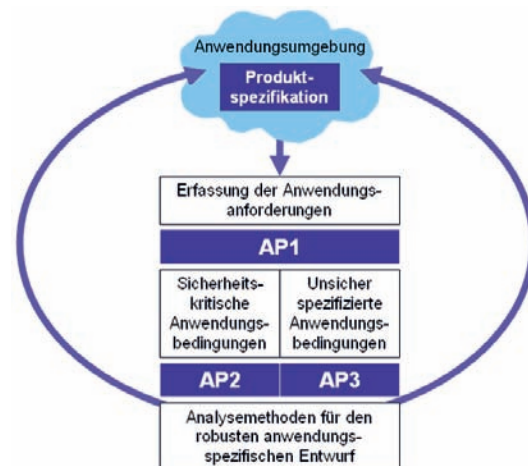


Abbildung 1.04: Arbeitspakete im Projekt URANOS

Die Leitung der Arbeitspakete erfolgt jeweils durch einen der am Projekt beteiligten Industriepartner

entsprechend der vorrangigen spezifischen Entwicklungskompetenzen bzw. Anwendungsdomänen ihrer Produkte (z.B. Multimedia-SoC-Entwicklung nach Kundenanforderungen bei Silicon Image GmbH (ehemals sci-worx), sicherheitskritische Systeme im Automotivbereich bei Infineon, Chipsätze für den Prozessorbereich bei AMD). Innerhalb der Arbeitspakete kooperieren die Forschungseinrichtungen FhG/IIS und FZI sowie die Universitäten Chemnitz, Trier und Bremen entsprechend ihrer Forschungskompetenzen mit den Industriepartnern als Unterauftragnehmer bzw. verfolgen eigenständige Projektziele zum Ausbau ihrer EDA-Kompetenz.

Arbeitspaket 1

Qualifizierung von Applikationsszenarien und Anforderungsprofilen; Management der Systemanforderungen; Leitung: A. Koldehoff (Silicon Image GmbH [ehemals sci-worx])

Konfigurierbare Erfassung von Design-Kontexten

In Zusammenarbeit von Universität Trier und Silicon Image GmbH (ehemals sci-worx) sind ein formales Modell und ein Erfassungswerkzeug für Kontexte von Design-Projekten entstanden. Der Designkontext eines Projekts basiert auf einer Menge von Kontextfaktoren, die einen wichtigen Einfluss auf den Design-Prozess des Projekts haben. Die Werte dieser Einflussfaktoren können sich im Lauf der Zeit verändern. Sie kommen sowohl aus dem Applikationskontext, der von Kunden und Endkunden bestimmt wird, als auch aus dem Entwurfskontext, in dem Designer und Tools arbeiten. Beispielsweise hat der angestrebte Temperaturbereich Einfluss auf die Testprozesse für Automotive-Chips. Multimedia-Chips hängen von der vom Kunden gewünschten Auflösung ab; ändert sich der Wert dieses Kontextfaktors, bleibt dies nicht ohne Folgen für den Entwurfsprozess. Je nach Anwendungstyp spielen unterschiedliche Faktoren eine Rolle, d.h. die Kontextmodelle müssen konfigurierbar sein. Um dennoch einen Austausch von Kontextmodellen zu ermöglichen, wurde ein ontologiebasiertes Modell gewählt, das mit einem wieder verwendbaren, erweiterbaren Pool von Faktoren arbeitet. Der Prototyp des Kontexterfassungs-Werkzeugs ist in Java implementiert und kann sowohl einen modellierten Pool an Faktoren als auch Kontextdaten von Projekten in owl-Dateien ex- und importieren.

Agile Workflow-Technologie zur Unterstützung des Anforderungsmanagements

Um Rückwirkungen von Anforderungsänderungen auf den Design-Flow eines Projekts erfassen zu können, müssen die Flow-Prozesse selbst anpassbar sein. „Agile Workflow-Technologie“ ist ein viel versprechender, neuer Forschungsansatz dafür. Im URANOS-Projekt wurden auf der Basis bestehender Workflow-Technologie eine Sprache und Templates zur Beschreibung von teamübergreifenden, agilen Workflows entwickelt. Bis zum Ende der Laufzeit von

URANOS soll ein lauffähiger Prototyp eines agilen Workflow-Managementsystems entstehen, mit dem ein flexibles Anforderungsmanagement unterstützt werden kann.

Modellierung der virtuellen Applikationsumgebung

Das Ziel der Arbeiten ist die pre-silicon Überprüfung von post-silicon Anforderungen. Dabei wird bei der Erfassung, Analyse und Transformation von Anforderungen begonnen. Aus den untersuchten Anforderungen werden notwendige Attribute und Parameter für die Modellierung einer virtuellen Applikationsumgebung, eines Systemmodells und der Einzelkomponentenmodelle abgeleitet. Die erfassten Parameter stellen die Schnittstelle zur analytischen Bewertung der Problemstellung dar.

Hierzu wurden notwendige Parameter zur Charakterisierung einer virtuellen Applikationsumgebung eines Systems-on-Chip identifiziert. Diese Parameter werden in der Bewertungsphase des Entwurfsprozesses berücksichtigt. Erforderliche Analysemethoden zur Überprüfung der transformierten Anforderungen werden in AP3 entwickelt.

In einer virtuellen Applikationsumgebung kommen Systemmodelle, aufgebaut aus Einzelkomponentenmodellen, zum Einsatz. Als virtuelle Applikationsumgebung wird die Sprache SystemC verwendet, da sie Aspekte von Hardware und Software in einem gemeinsamen Modell beschreiben lässt. Damit wird die Modellierung des Systems und dessen Umgebung ermöglicht, um die Interaktion des Systems mit der Umgebung und den Einfluss von potenziell beeinflussenden Faktoren der Umgebung auf die Robustheit des Systems zu beurteilen.

Arbeitspaket 2

Zuverlässigkeitsgetriebene Analyse für den Entwurf sicherheitskritischer Anwendungen; Leitung: K. Hufeld (Infineon)

Der Bereich der sicherheitskritischen Anwendungen stellt an den Entwurf von eingebetteten Systemen Anforderungen, die durch strenge Testverfahren und Verifikationsschritte abgesichert werden. Der Fokus der Verifikation ist dabei auf die Funktionalität sowie das Zeitverhalten des Systems gerichtet. Dynamische Systemveränderungen oder Blockierungen können durch diese Verfahren nicht oder nicht effizient abgedeckt werden. Die Arbeiten im AP2 nehmen sich dieses Nachteils unter Berücksichtigung der folgenden Schwerpunkte an.

Analyseverfahren für dynamische Systemveränderungen

In diesem Beitrag wurden zuerst Anforderungen an die Analyseverfahren unter Berücksichtigung der einzelnen Aspekte auf unteren und oberen Abstraktionsebenen definiert. Dazu wurden die Anforderungen an die Analyseverfahren anhand eines Design-Flows für System-on-Chip (SoC)-Entwicklungen, insbeson-

dere der ASIC-Synthese, und einer bei Silicon Image GmbH (ehemals sci-worx) eingesetzten Methodik zur Beschreibung von Datenpfaden bei SoC-Entwicklungen, dargelegt.

Darauf aufbauend wurde der System-Modell-Graph entwickelt, um Redundanzpotentiale auf verschiedenen Abstraktionsebenen zu analysieren. Auf diesem Graphen wurde ein Konzept zur Redundanzanalyse entwickelt. Das Verfahren berücksichtigt geplante und zufällige dynamische Systemveränderungen anhand von Konfigurationen.

Die ganzheitliche Betrachtung der dynamischen Systemveränderungen bezieht neben der Computing-Redundanz auch die Kommunikation ein. Hierzu wurden auf verschiedenen Abstraktionsebenen die Protokolltransformation und die Verwendung von blockierungsfreien Protokollen betrachtet. Diese Analyseansätze werden auch für die Vermeidung von transitiven Blockierungen genutzt.

Ein speziell zur Verifikation von geplanten dynamischen Systemveränderungen entwickelter VHDL-zu-SystemC-Konverter wird in diesem Teilprojekt evaluiert und an die Analysekonzepte angepasst.

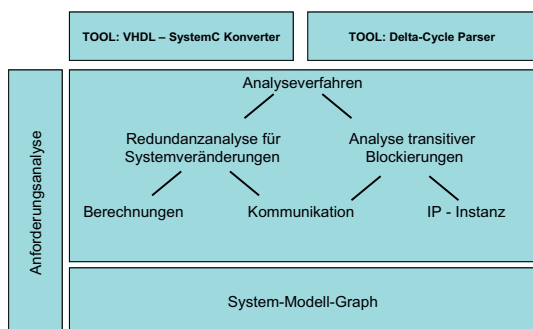


Abbildung 1.05: Analysekonzeption auf Basis des System-Modell Graphen

Analyseverfahren für transitive Blockierungen

Als Grundlage der Analysen wird ebenfalls der System-Modell-Graph verwendet, um sequentielle IP (Intellectual Property)-Ketten in allen Konfigurationen des Systems zu bestimmen und durch gezielte Einbindung von redundanten IPs zu eliminieren. Die Aufspaltung von Konfigurationen bei Mehrfachüberdeckung von IPs wird über ein Datenfluss-basiertes Analyseverfahren realisiert, da dies ein Risiko bezüglich transitiver Blockierung darstellt. Die Datenpfadanalyse wird auf verschiedenen Abstraktionsebenen durchgeführt. Für eine spezielle Delta-Cycle-Problematik bei Infineon wird in diesem Beitrag ein Analysewerkzeug für Datenpfade entwickelt.

Analyseverfahren für hochgradig reguläre Strukturen

In diesem Beitrag werden IR-Drop- und Elektromigrationsanalysen, sowie die automatisierte Verifikation für Mixed-Signal-Module untersucht.

Diese Analyse ist von großer Bedeutung für die Funktionalität (IR-Drop) sowie die Zuverlässigkeit (Elektromigration) eines Systems. Ausgangspunkt für die Analyse ist ein bestehendes Layout. Ziel ist das Auffinden von Schwachstellen in den Bereichen IR-Drop (Spannungsabfall) und Elektromigration bei den Versorgungs- aber auch Signalleitungen durch Simulation von Abläufen großer Systemaktivität auf Transistorebene. Für den produktiven Einsatz wird eine weitgehende Automatisierung des Verfahrens angestrebt. Dies ist insbesondere wichtig, um späte Layout-Änderungen konsistent zu implementieren.

Arbeitspaket 3

Analysemethoden für unsichere Anwendungsbedingungen; Leitung: F. Dresig (AMD)

Um komplexe Systeme für unsichere Anwendungsbedingungen robuster zu machen, müssen neue Strategien angewendet werden, die gewährleisten, dass typische und fehlerhafte Szenarien bereits in der Systemvalidationsphase und damit frühzeitig im Entwurfsprozess analytisch erfasst und getestet werden können.

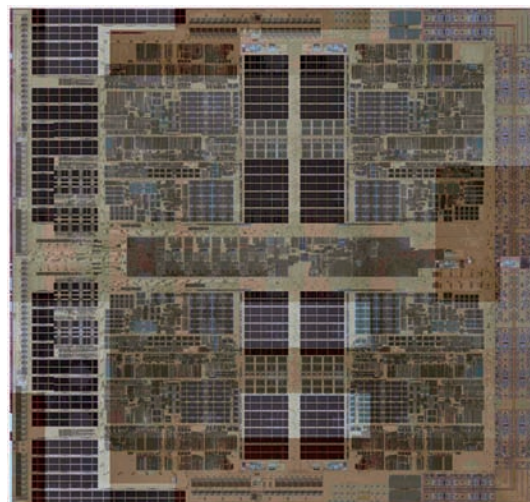


Abbildung 1.06: Die-Foto AMD-QuadCore

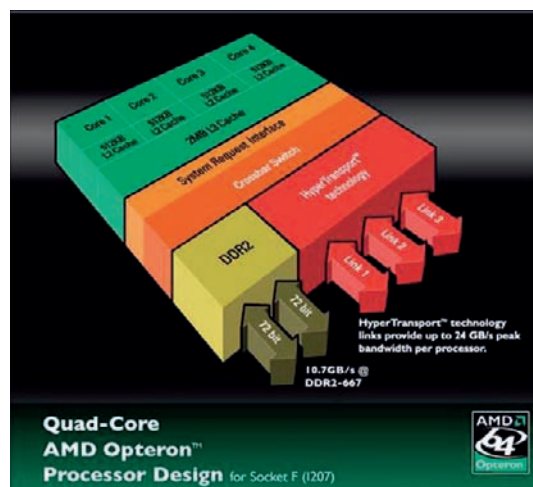


Abbildung 1.07: Architektur AMD-QuadCore

Die dafür vorzunehmende Abstraktion der Anwendungsbedingungen in mess- und validierbare Para-

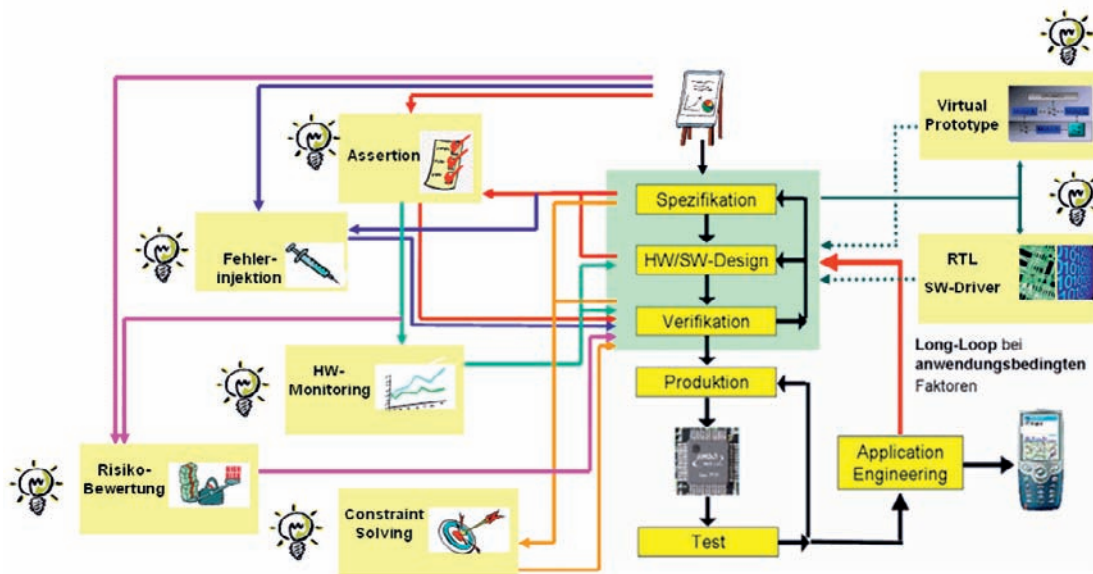


Abbildung 1.08: Analysemethoden für den Entwurf robuster Systeme

meter ist die Grundlage dafür, teure und langwierige Entwurfsiterationen über die Long-Loop des Application Engineerings zu vermeiden bzw. zu reduzieren.

Die AP3-Arbeiten konzentrieren sich dabei auf folgende Schwerpunkte:

Analyse unter Verwendung neuer Verifikationsansätze

Die Projektpartner entwickeln neue Arten der Fehlermodellierung, neuartige Verfahren und Komponenten zum On-Chip-Monitoring sowie neue Constraint-Solver kombiniert mit darauf angepassten Coverage-Techniken, mit denen bestehende Analyseansätze erweitert bzw. neue Analyseverfahren ermöglicht werden.

Methodischer Zugang ist u.a. die integrierte Instrumentierung von HDL-Code auf einem hohen Abstraktionsniveau mittels statischer Codeanalyse. Das ist ein geeigneter Ansatz, um potenzielle Schwachstellen bzw. kritische Komponenten in einem Design durch das gezielte, automatische Einbringen zusätzlicher, vordefinierter Zellen zu validieren. So können (z.T. synthetisierbare) Module für spezifische Validationsaufgaben (Monitoring, Fehlerinjektion, Debugging, Assertions, ...) generiert und die synthetisierte HW im Rahmen zugeschnittener Verifikationsansätze genutzt werden.

Konformitätsanalyse in der virtuellen Applikationsumgebung

Durch formale Analysemethoden werden die konfliktverursachenden Einzelkomponenten im Gesamtsystementwurf identifiziert. Eine Überprüfung auf Übereinstimmung mit den Zertifizierungsanforderungen des realen, aber noch nicht gefertigten Systems, wird dadurch möglich. Nicht erfüllte Zertifizierungsanforderungen können in der Entwurfsphase auf Einzelkomponenten zurückgeführt werden, was die Anpassung des Gesamtsystems ohne kostenintensive Iterationen erleichtert.

Zunächst werden Zugänge zur Erstellung eines ausführbaren Referenzmodells eines SoC entwickelt. Damit können Konflikte in HW- und SW-Komponenten (z.B. von Host-Controllern) in einer von der Realität auf die Abstraktionsebene des Systementwurfs transformierten Umgebung des SoC erkannt werden (sog. Verursacher-Identifizierung).

Analysebasiertes Entwurfs- und Qualitätsmanagement

Die neuen Analysemethoden können nur durch ein darauf abgestimmtes Entwurfs- und Qualitätsmanagement erfolgreich eingesetzt werden. Dies umfasst zum einen die Anpassung und Erweiterung bestehender Entwurfsregeln auf die Anforderungen von Submicron-Designs, sowie die Verbesserung des Toolflows und der Toolinteraktion.

Außerdem wird eine auf hochkomplexe Systementwürfe abgestimmte Methodik für Konsistenzprüfung von Design-Constraints im SoC-Tool-Flow entwickelt.

Bislang erzielte Ergebnisse/ Berichte von den Partnern

AMD (Universität Bremen, TU Chemnitz, Fraunhofer-Gesellschaft)

AMD und seine Unterauftragnehmer haben sich das Ziel gesetzt, mit den in URANOS erarbeiteten wissenschaftlichen und technischen Ansätzen die Robustheit der Designs zu verbessern und dabei insbesondere die Entwicklung Deadlock-freier Systeme zu unterstützen, sowie durch HW/SW-Inkompatibilitäten verursachte Re-Spins zu reduzieren. Weiterhin werden durch frühzeitige Analyse und Design-In der zukünftigen Anwendungsszenarien Modellierungsprobleme zwischen RTL- und Netzlisten-Simulation verringert und durch Einbeziehung der Validierung die Verifikation verbessert. Angestrebt werden damit Kosteneinsparungen durch ca. 30% weniger Silicon-

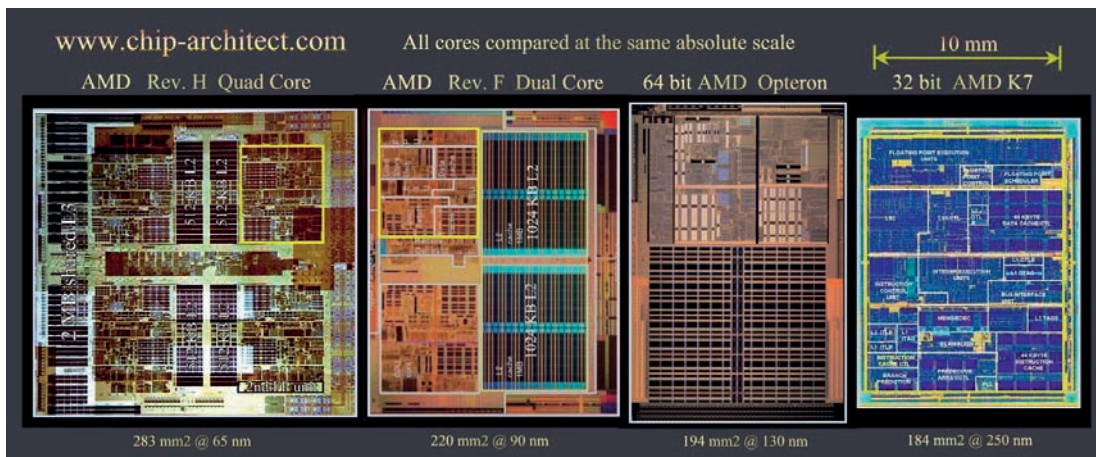


Abbildung 1.09: AMD-Prozessor-Familie

Spins sowie eine bis zu 40% frühere Verfügbarkeit von Produkten am Markt.

AMD und seine Unterauftragnehmer arbeiten schwerpunktmäßig in AP3 auf den Gebieten „Analyse unter Verwendung neuer Verifikationsansätze“, „Konformitätsanalyse in der virtuellen Applikationsumgebung“ und „Analyse-basiertes Entwurfs- und Qualitätsmanagement“ sowie mit einer kleineren Kapazität in AP1 am Thema „Generierung von Simulationsszenarien zur Erfassung des Anforderungsprofils“. Der Stand der Arbeiten und die bisher erreichten Ergebnisse lassen sich wie folgt zusammenfassen:

- AP1: Aus der Systemvalidierung generierte Simulationsszenarien können zur systematischen Erfassung des Anforderungsprofils herangezogen werden. Als Beitrag dafür wurden an Hand von Anwendungsszenarien On-Chip-Monitoring-Methoden untersucht und dazu Daten eines Logic-Analyzers zur Weiterverarbeitung in der SystemC Verifikationsumgebung aufbereitet.
- AP3: Am Beispiel von Synthese-/Simulationsmismatches bei X-Propagation wurde ein Konzept zum automatisierten Einbringen von Assertions in RTL-Code erarbeitet. Außerdem wurde die Ableitung von Assertions aus formalen Beschreibungen (UML/SysML-Modelle, SPIRIT-Beschreibungen) untersucht.

```

`ifdef CHECK_XPROPAGATION
  always @ (posedge sb_clk or negedge sb_reset_1)
  if (~sb_reset_1)
    presc_cnt <= 2'd0;
  else
    presc_cnt <= presc_cnt_next;
`else
  always @ (sb_clk or sb_reset_1 or presc_cnt_next)
  // evaluate synchronous trigger conditions
  begin : eval_trigger
  ...
  // map if-else statements to conditions/assignments
  begin : eval_if
  ...
  // evaluate condition tree
  if (condition[0] == 1'b0) begin
  ...
  // check fire conditions
  if (ifire) if (enable_errors) $display("%t ERROR RTL/gate mismatch (%w) ", $realtime);
  ...
  end
`endif
  
```

Abbildung 1.10: Beispielcode für das automatisierte Einbringen von Assertions in RTL-Code

Zum On-Chip Monitoring wurden ausgewählte Assertions klassifiziert und die Laufzeitparameter zur Generierung entsprechender HW-Modelle abgeleitet.

- » Für verschiedene Fehlerinjektionsverfahren wurden Implementierungsmöglichkeiten untersucht. Eine prototypische Implementierung von Saboteuren und Mutanten („Glitch Injection at RTL“) wurde realisiert.
- » Im Bereich des „Coverage Driven Constraint Solving“ wurden Verbesserungen für die Constraint-gesteuerte Zufallssimulation basierend auf der SystemC Verification (SCV) Library vorgenommen. Die Constraints wurden um Bit-Operatoren erweitert. Für das Constraint-Solving wurde die Gleichverteilung der Constraint-Lösungen beim Fixieren von Constraint-Variablen sichergestellt. Abbildung 1.11 veranschaulicht diesen Sachverhalt für ein Beispiel-Constraint. Während in der Original SCV Library keine Gleichverteilung vorlag (links), wurde durch die Verbesserung das korrekte Verhalten erreicht (rechts). Weiterhin wurde ein Verfahren konzipiert, welches automatisch die Randomisierung des Constraint-Solvers steuert, um Coverage-Lücken zu schließen. Für das Debugging von Constraints wurde eine Methode entwickelt, die dem Verifikationsingenieur die Wirkung von (Teil-)Constraints als Kennzahl präsentiert.
- » Die bisherigen Arbeiten an der TU Chemnitz zur Entwicklung einer virtuellen SoC-Applikationsumgebung beschäftigen sich mit der Analyse und Verbesserung des Registerspezifikationsflusses beim Industrie-Partner. Dort wurden Register bisher manuell mittels Textverarbeitungssystem in Form von Tabellen spezifiziert. Diese sind im Textdokument nur durch Layout-Informationen gekennzeichnet und für einen Computer somit kaum von anderen ähnlichen Tabellen im Dokument zu unterscheiden. Zu den dabei auftretenden Problemen zählen bspw. die fehlerträchtige manuelle Extraktion der Registerdaten zur Erstellung von Referenzmodellen und RTL Code, sowie die entstehende Inkonsistenz, wenn die entsprechenden Informationen durch Copy&Paste in andere Dokumente übertragen werden. Davon ausgehend, konnte ein Lösungsansatz erarbeitet

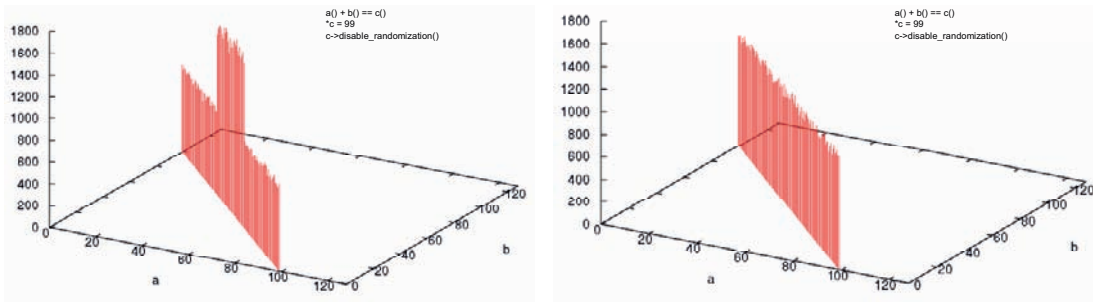


Abbildung 1.11: Verbesserte Gleichverteilung

werden, der die Registerdaten in einer auf IP-XACT des SPIRIT-Konsortiums basierenden Datenbank vorhält. Die Bearbeitung wird durch einem an das Textverarbeitungssystem angebotenen Editor SpiritEd ermöglicht. Die Vorteile umfassen die einfache und robuste Erstellung von Generierungsszenarien (beispielsweise RTL-, Verilog-, und SystemC-Verifikationscode), sowie die konsistente und strukturierte Integration der Registerdatenerfassung im bewährten Spezifikationsflow. Der Spezifikationsingenieur muss dabei nicht auf seine gewohnte Umgebung verzichten und kann doch die Vorteile einer strukturierten Registererfassung nutzen. Die bisher entwickelten Ansätze konnten in Form eines Demonstrators implementiert werden, der bereits beim Industriepartner getestet wird.

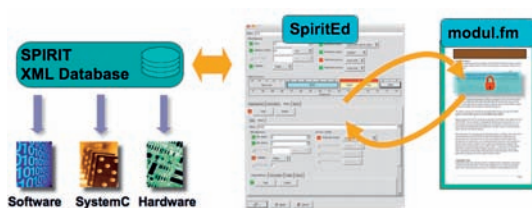


Abbildung 1.12: Registerdatenerfassung im Spezifikationsflow

- » Zum Constraints-Management wurde ein Werkzeug untersucht, das versucht, Timing-Exceptions anhand von RTL-Beschreibungen automatisch zu generieren. Diese waren im Anschluss mittels Assertion-based Verification zu validieren.
- » Als Beitrag zu „Submicron Design Rules“ wurde eine fehlerredundante Buskodierung vorgeschlagen, um Cross Talk in der Zielanwendung „GeodeLink“ zu vermeiden.

Infineon (TU Chemnitz)

Infineon und die Universität Chemnitz-TI führen in diesem Projekt ausschließlich Arbeiten im AP2 durch, mit Schwerpunkt auf IR-Drop, Elektromigrations- und Mixed-Signal-Probleme bei der Verifikation eines Analog/Digital Bausteins.

Teilaufgabe 1.1: Entwicklung und Bereitstellung von Verfahren für die Analyse mit nicht-hierarchischem Ansatz

Am Beispiel von Teilen eines komplexen Designs (Entwicklungsversion des Flash-Speicher-Moduls eines automotive μ Controller Produktes), bestehend aus ana-

logischen, digitalen und Flash-Speicher-Schaltungsteilen, wurde das Analyseverfahren mit nicht-hierarchischem Ansatz entwickelt, angewandt und die Ergebnisse auf Plausibilität überprüft.

Teilaufgabe 1.2: Entwicklung und Bereitstellung von Verfahren für die Analyse mit hierarchischem Ansatz

Die Methodik für den hierarchischen Ansatz zur Analyse von großen analogen Blöcken mit mehr als 5 Millionen Devices wurde entwickelt und am Beispiel eines komplexen integrierten Flash-Moduls erprobt. Der gleiche IP-Block (Flash-Modul) wurde mit beiden Ansätzen analysiert (sowohl hierarchischer als auch nicht-hierarchischer Ansatz). Dies ermöglicht eine gute Vergleichbarkeit der unterschiedlichen Herangehensweise. Das Ziel, die IR-Drop- und Elektromigrations-Analyse von Power-Netzen eines kompletten Flash-Speicher-Moduls, wurde erreicht. Die Analyse von Signalelektromigration ist im hierarchischen Ansatz nicht möglich. Zunächst wurde eine digitale Verifikationsumgebung aufgebaut, um ein Mixed-Signal-Modul zu verifizieren. Das Modul enthält einen digitalen Teil und einen analogen Teil, der das Flash Modul darstellt.

Die Verifikationsumgebung soll mittels Specman eine vollständige, automatische Überprüfung des Mixed Signal Moduls bieten. In diesem Rahmen soll untersucht werden, ob mittels Specman und einem Anlogsimulator sowie einer speziellen Bibliothek auch analoge Eigenschaften des Flash verifiziert werden können. Die Bibliothek soll die Umsetzung von analogen Eigenschaften des Flash zur digitalen Welt vereinfachen. Sollte sich dieses Konzept als zielführend erweisen, könnte dies auch auf der Ebene der System-On-Chip-Verifikation verwendet werden, denn hier konnten bisher nur Modelle des Flash, z.B. ein C-Modell, verwendet werden. Der Grund ist, dass herkömmliche analoge Simulationen sehr lange dauern. Dies wird durch die Modellbildung verkürzt. Jedoch besteht die Gefahr der Inkonsistenz zwischen Modellen und der realen Spice-Netzliste. Könnte die Analog-Specman-Kombination verwendet und die Simulationszeit in einem begrenzten Rahmen gehalten werden, würde dies die Möglichkeit bieten, ausgewählte Teile des Modells durch eine Spice-Netzliste zu ersetzen und das reale Verhalten zu überprüfen.

Im Rahmen dieses Projekts wurde bis jetzt nur der digitale Bereich bearbeitet. Die Betrachtung der analogen Welt befindet sich bis jetzt in der Vorbereitungs- und Planungsphase.

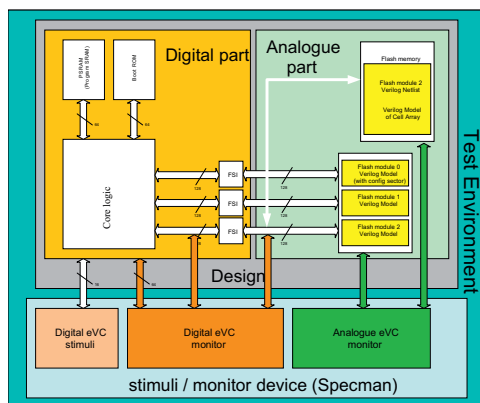


Abbildung 1.13: Schematische Übersicht der Verifikationstestumgebung

Silicon Image GmbH (ehemals sci-worx) (Universität Trier)

Die wachsende Komplexität von SoCs bringt eine zunehmende Unschärfe der Kenngrößen und Einsatzbedingungen mit sich. Damit verstärken sich bereits bestehende Entwurfsprobleme (z.B. in der Verifikation). Um unter diesen Rahmenbedingungen den Entwicklungsprozess sicher zu beherrschen und damit kostentreibende Iterationsschleifen zu vermeiden, ist es erforderlich, das Verfahren der Transformation von Kunden-Anforderungen in Leistungsparameter des Endproduktes an die geänderten Bedingungen anzupassen. Damit rückt das Thema Erfassung und Modellierung von Anforderungen in den Fokus.

Silicon Image GmbH und die Uni Trier als Unterauftragnehmer arbeiten hierbei hauptsächlich im AP1 auf den Gebieten „Formale Grundlagen zur Beschreibung von Entwurfs- und Applikationskontext“, „Einbeziehung der Endnutzerinteraktion in den Design-Prozess“, „Anforderungsmanagement mit Rückwirkung auf Design-Flows“ und „Kopplung zwischen Verifikation, Validation und Applikation“. Darüber hinaus wurde im AP2 an „Analysekriterien auf unteren und oberen Abstraktionsebenen“ gearbeitet.

Der Stand der bereits erreichten Ergebnisse lässt sich wie folgt zusammenfassen:

AP1:

- » Ein ontologiebasiertes, konfigurierbares Modell für Design-Kontexte wurde entwickelt und in Form eines Erfassungswerkzeugs in Java implementiert.
- » Neue Konzepte im Bereich der agilen Workflow-Technologie wurden ausgearbeitet, so dass diese Technologie ein flexibles Anforderungsmanagement unterstützen kann, das Rückwirkungen auf Design-Flows erfasst.

- » Es wurde ein Konzept zur Erfassung von Endnutzerinteraktionen innerhalb von komplexen Systemen erarbeitet.
- » Es wurden Methoden zur flexiblen Kopplung von Design-Phasen innerhalb eines Design-Flows unter besonderer Berücksichtigung der Systemanforderungen erarbeitet. Im Zuge der Untersuchungen wurde bei Silicon Image GmbH (ehemals sci-worx) ein Ansatz für eine Skriptsprache IDL (Interface Description Language) entwickelt, deren syntaktischer sowie semantischer Umfang die erforderlichen Systemschnittstellen vollständig beschreiben kann und aufgrund seiner simplen Struktur sehr gut für den Einsatz im Entwicklungsprozess geeignet erscheint.

AP2:

- » Es wurden Ansätze für Analysekriterien unter Berücksichtigung verschiedener Aspekte (z.B. kritischer Systembereiche, dynamischer Systemveränderung, Blockierungen und Ausfälle hochgradig regulärer Strukturen) definiert.

FZI

Um Systementwürfe in einem für die industrielle Anwendung geeigneten Zeitraum und Kostenrahmen bewerten zu können und gleichzeitig die Komplexität besser in den Griff zu bekommen, erforscht das FZI analysebasierte Methoden, mit deren Hilfe anwendungsspezifische Einflussfaktoren bereits in frühen Entwurfsphasen in die Systemplanung einbezogen werden können. Hierfür fassen die Forscher die Anforderungsdetails zusammen.

Dabei stellen die Erfassung von Anforderungen und deren Transformation auf verschiedene Entwurfsebenen einer virtuellen Applikationsumgebung Schnittstellen zur Bewertung der Problemstellungen dar. Zur Modellierung der virtuellen Applikationsumgebung wird die Sprache SystemC eingesetzt, da damit Aspekte von Hardware und Software beschrieben werden können.

Es wurden Analysemethoden zur Bewertung nicht-funktionaler Kenngrößen wie Performanz, Leistungsverbrauch und Temperatur entwickelt. Zur Bestimmung der Parameter wurden Abhängigkeiten zwischen Systemgrößen identifiziert, welche in dem im Projekt entwickelten Entwurfs- und Analyseablauf genutzt werden. Der Schlüssel zur Handhabung der Komplexität liegt in der Abstraktion konkreter Systemmodelle und in der Bewertung auf hoher Ebene durch die Propagierung von Implementierungsdetails.

Auf diese Weise werden Anforderungen auf eine höhere Optimierungsebene gebracht, die vertretbar schnelle Bewertungen erlaubt. Bei der Arbeit am verbesserten Entwurf lassen sich die Anforderungsdetails dann stufenweise weiter verfeinern und jederzeit

erneut bewerten. So können auf den verschiedenen Entwicklungsstufen Aussagen über die zu erwartenden Kenngrößen des Systems, das gerade erst entworfen wird, getroffen werden.

Die entwickelte Vorgehensweise erlaubt eine Integration von Analysewerkzeugen auf verschiedenen Abstraktionsebenen und die Ermittlung qualitativer Charakteristika zwischen unterer und oberer Grenze von System- oder Komponenten Kenngrößen. Die Methoden erlauben weiterhin eine Quantifizierung der ermittelten qualitativen Kenngrößen. Unter Verwendung gegebener Anforderungen an Kenngrößen, welche zwischen unterer und oberer Grenze des ermittelten post-silicon Verhaltens liegen, kann eine Abschätzung der Risikowahrscheinlichkeit eines Verstoßes gegen die Qualifizierungsanforderung durchgeführt werden. Diese Risikobewertung ist in Abbildung 1.14 dargestellt.

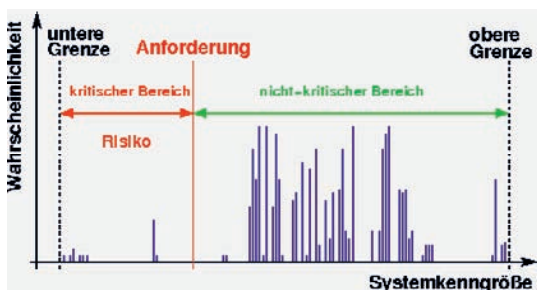


Abbildung 1.14: Risikobewertung von Systemkenngrößen

Interne/Externe Kooperation

Die Zusammenarbeit zwischen den Projektpartnern ist eng und erfolgt z.B. im Rahmen von bi- und multilateralen Treffen, Statusseminaren und Workshops sowie Telefonkonferenzen. Unterschiedliche Gruppen von Projektpartnern arbeiten nicht nur in den Arbeitspaketen, sondern auch in vier Arbeitspaketübergreifenden Kooperationsthemen („XML für Generierungsszenarien“, „SystemC-Plattform im Systementwurf“, „Modellierung von Anforderungsprofilen“ und „Analysezugänge“) zusammen. Zum Projektträger und edacentrum besteht enger Kontakt, wobei sich URANOS auch an Veranstaltungen wie den Ekompas-Workshops, dem edaWorkshop und den Kooperationsworkshops des edacentrum mit Vorträgen und Postern beteiligt. Im Rahmen der Ekompas-Initiative

kooperiert URANOS mit den Projekten PRODUKTIV+ und VISION. Weitere Kooperationskontakte bestehen zu den Projekten SpecVer (Bayrische Forschungsstiftung) und SAUBER (Sächsische Aufbaubank). Als Basis für den projektinternen Informationsaustausch und für die Präsentation des Projektes nach außen wurden die URANOS-Internet-Seiten (www.uranos-projekt.de) aufgebaut.

Ausblick und Perspektiven

Die Beiträge des Projektes zur Produktqualität und -zuverlässigkeit sind nicht nur am Forschungsbedarf der beteiligten Industrieunternehmen ausgerichtet, sondern betreffen generelle Kernprobleme des SoC-Entwurfs in der Nano-Ära. Auch für absehbare Zeit sind hier innovative Beiträge gefragt, um sich den bestehenden Herausforderungen stellen zu können. In der verbleibenden Projektlaufzeit stehen in Arbeitspaket 1 die Entwicklung von Methoden zur Systemmodellierung und -validierung, in Arbeitspaket 2 die Erarbeitung von Analyseverfahren für transitive Blockierungen und für hochgradig reguläre Strukturen, sowie in Arbeitspaket 3 die Implementierung der konzipierten Analysemethoden für unsichere Anwendungsbedingungen im Mittelpunkt. Begleitend zur Projektarbeit werden die in URANOS erarbeiteten Analysemethoden experimentell in Design-Flows integriert, um eine realistische, praxisnahe Bewertung der Projektergebnisse für beispielhafte Applikationen zu ermöglichen. Später, nach Projektende, beginnt dann die kommerzielle Verwertung der Projektergebnisse. Das schließt Technologietransfer und Qualifizierungsmaßnahmen ein und lässt eine innovationsfördernde, nachhaltige Wirkung erwarten.

Bisher entstanden aus URANOS mehr als 20 Publikationen auf nationalen und internationalen wissenschaftlichen Tagungen und Konferenzen. Ein erster eigener, für externe Teilnehmer offener Workshop des Projektes zum Thema „Anwendungsrobuster Entwurf nanoelektronischer Systeme“ fand am 26. Oktober 2006 in Hannover in Zusammenarbeit mit dem edacentrum und Silicon Image GmbH statt. Zum Projektabschluss wird URANOS erneut einen offenen Workshop organisieren. Darüber und über weitere Publikationen wird das Projekt auch anderen Unternehmen Zugang zu seinen F&E-Ergebnissen ermöglichen.

Kont@kt (URANOS):

Projektkoordination:
AMD Saxony LLC & Co. KG –
Dresden Design Center
Dr. Hans-Jürgen Brand
fon: (03 51) 2 77 - 60 16

Projektmanagement:
Fraunhofer-Institut für
Integrierte Schaltungen, Außen-
stelle Entwurfsautomatisierung
Dr. Steffen Rülke
fon: (03 51) 46 40 - 7 20

Weitere Informationen sind unter
<http://www.uranos-projekt.de>
zu finden.