



# Sigma65: Technologiebasierte Modellierung und Analyseverfahren unter Berücksichtigung von Streuungen im 65nm-Knoten

Ein Projekt als Reaktion auf die schnell wachsende Relevanz fertigungsbedingter Parameterschwankungen und wachsender Empfindlichkeiten

**Die Halbleitertechnologien dringen in Regionen vor, die an die Grenze des technischen Machbaren und des physikalisch Möglichen stoßen. Mit der Ära der Nanostrukturen, die in den Größenordnungen weit unter 100 nm (zurzeit bei 40 nm) liegen, wachsen sowohl die relativen fertigungsbedingten Schwankungen als auch die Empfindlichkeit der Schaltungen gegenüber solchen Schwankungen in unvoreilhaftester Weise. Um die verbesserten Eigenschaften der neuen Technologieknoten tatsächlich auszunutzen zu können, sind daher zunehmend genauere Modellierungsstrategien und Entwurfsverfahren erforderlich. Die Projektpartner von Sigma65 haben das Ziel, mit Hilfe einer angemessenen statistischen Modellierung des Variationsverhaltens eine realistische Abschätzung der Einflüsse unkontrollierbarer Fertigungsschwankungen zu ermöglichen und so die bestmögliche Technologienutzung zu sichern.**

## Projektziele

Von der Technik wird eine immer steigende Funktionalität bei gleichzeitig höherer Zuverlässigkeit gefordert. Alle gesellschaftlichen Kräfte verlangen nach immer neuen Lösungen, um das Leben zu erleichtern, sicheres zu gestalten und mit einem nicht zu vergessenden Spaßfaktor auszufüllen. Ein „normales“ Mobiltelefon, das nur zum Telefonieren taugt, genügt in keiner Weise mehr den wachsenden Ansprüchen, es stellt inzwischen vielmehr als universelles mobiles Multimediagerät mit Navigation, Internet, Fernsehen usw. extreme Herausforderungen an Ingenieure, Informatiker und Naturwissenschaftler. Aber auch die Medizintechnik verlangt nach kleinen implantierbaren Geräten zur Unterstützung oder zum Ersatz ausgefallener Körperfunktionen (z. B. Prothesen, künstliche Niere). Im Automobil werden neue elektronische Komponenten benötigt, um die Sicherheit im Straßenverkehr zu erhöhen, den Stau zu umfahren und eine lange Autofahrt zu verschönern. Aber auch die Spielindustrie stellt ihre Forderungen, um Kindern und Erwachsenen mehr Leistungsfähigkeit bei bewegten Bildern zu sichern und interessantere Spiele zu bieten. Diese Liste ließe sich für andere Gebiete beliebig erweitern. Die technische Herausforderung ist, dass trotz all dieser Steigerung der Leistungsfähigkeit weder der Energieverbrauch noch der Preis steigen dürfen, eine hohe Zuverlässigkeit und Verfügbarkeit sichergestellt sein muss, und darüber hinaus natürlich das Gerät, das all diese Eigenschaften vereint, nicht mehrere Kilogramm wiegen darf.

Das Erreichen all dieser Ziele ist nur durch eine konsequente Fortsetzung der Miniaturisierung entsprechend dem Mooreschen Gesetz möglich. Diese Miniaturisierung hat aber ihren Preis. Jeder kennt das Problem der „Montagsproduktion“: Das Gerät meines Nachbarn funktioniert wunderbar, nur das gleiche bei mir zu Hause muss alle paar Wochen zur Reparatur. Die

Ursache liegt in der unausweichlichen Variabilität der Produktionsbedingungen und Grundmaterialien sowie in kleinen Abweichungen bei der Bedienung. Niemand kann gleichbleibende Verhältnisse garantieren; es gibt immer zufällige Einflussgrößen, die sich nicht systematisch erfassen lassen. In der Mikroelektronik mit ihren Abmessungen im Nanobereich sind auch kleinste Abweichungen von großer Bedeutung. Ein bildliches Beispiel: Beim Fahrrad kann man relativ gut einen schlechten Zahn am vorderen Zahnkranz verkräften, dagegen am kleinen Ritzel am Hinterrad merkt man sehr deutlich das Durchdrehen der Kette. Der Unterschied vom Fahrrad zur Nanoelektronik beträgt aber bis zu neun Größenordnungen. Außerdem kommt verschärfend hinzu, dass ein nichtlinearer Zusammenhang zwischen dem Einfluss der Strukturgröße und der Skalierung besteht. Die Empfindlichkeit gegenüber kleinsten Änderungen nimmt stärker als linear zu. Die einfachste Problemlösung ist der Einbau von Sicherheitsmargen in Entwurf und Produktion. Um Zuverlässigkeit und Ausbeute zu sichern, geht man nicht an die Grenzen des Machbaren und nutzt so nicht alle vorhandenen Möglichkeiten. Letztlich heißt das aber gerade, dass man Taktfrequenzen reduziert, Fläche verschenkt, die Energieaufnahme nicht weiter reduziert etc. Der Extremfall wäre, dass man sich gezwungen sieht, die Anforderungen so weit herunterzuschrauben, dass man auch die vorherige Technologie hätte nutzen können.

Um diesen Teufelskreis zu pessimistischer Designmethoden verlassen zu können, werden neue Ansätze benötigt, die eine ausreichend genaue Schätzung und Beurteilung der Schaltungsentwürfe gestatten. Es gilt, Verfahren und Methoden zu erforschen, die zuverlässig schon während der Entwicklung der Schaltungen sicherstellen, dass die Funktionalität des Chipsystems auch unter den gegebenen Fertigungsschwankungen innerhalb der vorgegebenen Toleranzen gewährleistet

Zusammensetzung des Projektkonsortiums:

### Partner:

Fraunhofer-IIS/EAS  
Infineon Technologies AG  
MunEDA GmbH

### Unterauftragnehmer:

Universität Hannover  
TU München

### Laufzeit:

01.10.2006–30.09.2009

### Förderkennzeichen:

01 M 3080

### Homepage:

<http://sigma65.eas.iis.fraunhofer.de>

Das diesem Bericht zugrunde liegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter den Förderkennzeichen 01M3080A bis C gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt bei den Autoren.

### Autoren:

Manfred Dietrich, Fraunhofer,  
Michael Pronath, MunEDA,  
Harald Kinzelbach, Infineon,  
Joachim Haase, Fraunhofer

ist, und der Schaltkreis mit ausreichender Ausbeute gefertigt werden kann („Design for Manufacturability/Design for Yield“). Zentraler Punkt einer künftigen Methodik ist der Übergang von einer konservativen, pessimistischen Worst-/Best-Case-Betrachtung hin zu einer statistischen Beschreibung des Systemverhaltens. Die Halbleiterindustrie steht mit dieser Problematik vor einer ihrer größten Herausforderungen. Während im traditionellen Schaltungsentwurf die Schaltungsentwickler davon ausgehen können, ein vorgegebenes Schaltungsverhalten durch Einstellen der Designparameter gezielt und vorhersagbar realisieren zu können, wird es in Zukunft notwendig, die aufgrund der Fertigungsschwankungen entstehenden Variationen als neue Designparameter ernst zu nehmen. Die unvermeidbaren Fertigungsschwankungen führen dazu, dass auch das erreichbare Schaltungsverhalten variiert. Die neuartige und hochkomplexe Designaufgabe besteht darin, die Designparameter so zu wählen, dass der Schwankungsbereich des Schaltungsverhaltens mit ausreichender Ausbeute innerhalb der akzeptierten Spezifikationen liegt.

Sigma65 leistet einen Beitrag im Rahmen dieser Gesamtproblemstellung. Die Aufgaben konzentrieren sich dabei auf die Analyse und Modellierung von den – für den Digitalentwurf wesentlichen – Eigenschaften „Timing“ und „Leistungsaufnahme“.

Das Projekt erarbeitet wesentliche Aspekte der notwendigen mathematischen und physikalischen Grundlagen zur statistischen Analyse von Schaltungseigenschaften. Die entwickelten allgemeinen Analyse- und Modellierungsverfahren orientieren sich an den Bedürfnissen des Gatter- und Blockdesigns und schaffen die Grundlagen für die besprochene erforderliche Erweiterung der Designmethodik. Sie tragen dazu bei, am Standort Deutschland die Fähigkeit zu einem schnellen und hochwertigen Entwurf integrierter Schaltkreise sicherzustellen und die technisch und wirtschaftlich optimale Nutzung der Vorteile der neuen Technologien abzusichern.

Mit den erwähnten gesellschaftlichen Zielen unterstützen die Projektpartner wichtige Ziele der Bundesregierung, die in der Hightech-Strategie definiert sind. Die Mikroelektronik mit ihren Produkten ist für 80–90 % aller Innovationen unerlässlich. Dabei werden ständig höhere Anforderungen an die Funktionen, die Funktionssicherheit, niedrigen Energieverbrauch und höhere Performanz gestellt. In der Medizintechnik z. B. werden dabei unterschiedliche Ziele verfolgt, die aber alle in dem Anspruch münden, jedem eine vollständige, sich stetig verbessernde Versorgung bei gleichbleibenden Kosten zu erreichen. Minimalinvasive Operationen mit stark reduziertem Aufwand und kurzer Genesungszeit oder intelligente Prothesen, die eine Wiedereingliederung von Schwerverletzten in den Arbeitsprozess gestatten, sind nur einige Beispiele. Die elektronische Gesundheitskarte, ein anderes Zukunftsprojekt, wird

die Verwaltungskosten minimieren und teure Doppeluntersuchungen vermeiden. Die Gesundheitskarte ist aber nicht nur ein großer elektronischer Speicher, sondern sie muss auch eine sinnvolle Auswertung und Verschlüsselung der Daten sowie eine hohe Sicherheit gegen fremden Zugriff gestatten. Dies bedeutet, auf kleinsten Raum muss eine hohe Speicherdichte und technische Prozessorintelligenz untergebracht werden. Ohne Technologien im tiefen Sub-100nm-Bereich sind die Lösungen zu groß und ermöglichen keine geeignete sparsame Energieversorgung. Aber nicht nur diese spezielle Energieversorgung ist eine Herausforderung, sondern die Reduzierung des Schadstoffausstoßes insgesamt ist eine große Herausforderung. Energiearme Geräte, intelligente Stromzähler im Haus bzw. in der Wohnung, oder erneuerbare Energiesysteme verbunden mit intelligenten, für die dezentrale Energieeinspeisung ausgewiesene Energienetze benötigen hochkomplexe Elektronik, um alle Möglichkeiten auszunutzen. Diese Reihe ließe sich beliebig für weitere Bereiche, wie Verkehrstechnik, Luft- und Raumfahrt sowie die Sicherheitstechnologie fortsetzen.

Für viele Bürger ist die Mikroelektronik im Besonderen ein Synonym für die Informations- und Kommunikationstechnik. Ohne den rasanten Fortschritt in der Eroberung der Nanowelt, würde man einen kleinen Handwagen benötigen, um alle Funktionen eines modernen Mobiltelefons realisieren zu können und, noch viel wichtiger, die Batterie für die Stromversorgung transportieren zu können. Die Kommunikations- und Informationstechnik ist aber auch Vorreiter für alle anderen Techniken bei der Einführung neuer Technologien in der Elektronik. Dies kommt einerseits von den hohen Anforderungen an die Funktionsvielfalt bei gleichzeitigem minimalem Energieverbrauch. Andererseits verlangen Mobiltelefone keine so hohen Sicherheitsstandards, wie z. B. Anwendungen in der Luftfahrt. Diese besondere Vorreiterrolle wird vom Bundesministerium für Bildung und Forschung in der IKT2020 dokumentiert. In drei der vier Leitinnovationen, Sichere Mobilität, Initiative Automobilelektronik sowie IKT für Gesundheit, bildet die Informations- und Kommunikationstechnik eine tragende Säule. Bei der Automobilelektronik stehen dabei die Sicherheit im Straßenverkehr und die Reduzierung des CO<sub>2</sub>-Ausstoßes im Mittelpunkt der Forschungsarbeiten. Eng verbunden mit der Mikroelektronik ist auch der Technologieverbund Umgebungsintelligenz für autonome vernetzte Systeme. Um die ehrgeizigen Ziele der Bundesregierung und des BMBF zu erreichen, stehen Basistechnologien wie die Mikro- bzw. Nanoelektronik im Fokus der Aktivitäten. Einer der Schwerpunkte der Mikroelektronik ist der Chipentwurf, der als Enabling Technologie ausgewiesen ist. Der Chipentwurf bildet die Brücke zwischen den innovativen Ideen in der Applikation und der Herstellung der erforderlichen integrierten Schaltungen.

Die Projektpartner leisten einen wesentlichen Beitrag, um den zukünftigen Entwurf von nanostrukturierten

Schaltungen zu sichern und keine Lücke zwischen den kommenden Applikationen und den Angeboten der Nanotechnologien aufreißen zu lassen.

Neben diesen unmittelbar wirtschaftlich und technologisch vorgegebenen Zielen führt das Projekt zu einem wesentlichen Kompetenzaufbau des EDA- und Designstandorts Deutschland. Durch die Verzahnung von universitärer, industrieller und industrieller Forschung mit der industriellen Kenntnis konkreter, technologisch vorgegebener Designbedürfnisse entsteht eine verbesserte Fähigkeit, zeitnah Design- und Analysefunktionalität bereitstellen zu können, die den konkreten Erfordernissen aktuellster Technologien entspricht. Dies stellt einen erheblichen Wettbewerbsvorteil dar und stärkt darüber hinaus auch Deutschlands Rolle als innovativer Forschungsstandort.

Die Projektpartner wollen eine langfristige Sicherung der Designfähigkeit von nanoelektronischen Produkten in Deutschland im Bereich der sub-100nm-Technologien bis hinunter zum 45nm-Knoten erreichen. Das Projekt orientiert sich am ASIC- bzw. Kundenschaltschaltungsentwurf, also einem flexiblen Entwurfsfluss mit mittleren Produktionsmengen und hat seinen Fokus auf den so genannten unteren, technologienahen Entwurfsebenen. Betrachtet werden Bauelemente und Schaltungen bis hin zum Makroblock. Hierbei richtet das Projekt sein Hauptaugenmerk auf die so genannten Timing-Constraints und die Leistungsaufnahme der Schaltungen. Das Projekt Sigma65 wird die physikalischen und mathematischen Grundlagen für die Berücksichtigung von Fertigungsschwankungen im Entwurfsprozess erarbeiten. Den Ausgangspunkt bilden dabei die technologische Beschreibung und vorhandene Transistormodelle. Das Projekt schafft Grundlagen für einen solchen methodischen Paradigmenwechsel, der gekennzeichnet ist durch den Übergang von der bisherigen deterministischen Entwurfsweise für mikroelektronische Schaltungen hin zu einem notwendigerweise wahrscheinlichkeits-orientierten Entwurfskonzept für nanoelektronische Schaltungen – eine neue Qualität gegenüber bisherigen Designphilosophien.

Für Sigma65 werden im Bereich der statistischen Timing- und Poweranalyse folgende Aufgabenstellungen herausgestellt:

- » Bibliotheks- und Leitungsmodellierung mit Parametern, die durch Verteilungsfunktionen bzw. Momente von Verteilungen (Mittelwert, Streuung, ...) charakterisiert sind.
- » Neue analytische Ansätze (schnelle Monte-Carlo-Methode, angepasste Response-Surface Modellierung, diskretisierte Optimierungsverfahren) zur notwendigen Parameterabstraktion.
- » Statistische Analyse von Zeitverhalten und Leistungsverbrauch auf dem abstrahierten Level der Gesamtschaltung.

Die neuen statistischen Algorithmen und Modellierungsansätze werden anhand von Messungen an konkreten Beispielen verifiziert und validiert. Dazu gibt es eine sehr enge Zusammenarbeit zwischen den Technologieentwicklern und dem EDA-Team. Die Technologie-Abteilungen liefern die notwendigen Daten für die Überprüfung der Ansätze. Damit ist ein Vergleich zwischen dem theoretischen Modell und der physikalischen Praxis durchführbar und entsprechende Korrekturen sind möglich.

Mit der angestrebten Gesamtmethodik werden für die Sub100nm-Technologien folgende wettbewerbsentscheidende Ziele angestrebt:

- » Reduktion von teuren Re-Designs,
- » Erhöhung der Entwicklungs- und Produktionssicherheit,
- » Verbesserung der Lieferfähigkeit und damit Zuverlässigkeit,
- » Erhöhung der Produktqualität und damit Wettbewerbsvorteile,
- » Vorsprung bei der Anwendung der Technologien und
- » Verbesserung der Time-to-Market und damit der weltweiten Wettbewerbsfähigkeit.

#### **Projektstruktur und Arbeitsgebiete**

Im Vordergrund der geplanten Forschungen stehen die in den nächsten Jahren zur Einführung und vollen Entfaltung kommenden Technologieknoten (65 nm- und 45 nm). Im Projekt werden die eng mit der Technologie verbundenen Entwurfsebenen betrachtet. Das Projekt erarbeitet ausgehend von den unteren (Transistor-) Entwurfsebenen abstrahierte Modelle mit statistischen Verteilungen der Parameter der höheren Entwurfsebenen (Gatter- und Blockniveau). Die neuen Modelle sollen technologienah die Effekte und Verhaltensweisen aufgrund von Schwankungen der Bauelementeigenschaften beschreiben und die Fertigungstoleranzen mit ihren Auswirkungen so genau wie nötig darstellen. Zwingend notwendig ist daher eine möglichst wirklichkeitsnahe Analyse der tatsächlichen Schwankungen und eine Einschränkung der Optimierung auf die Bereiche im Parameterraum, die aufgrund dieser Schwankungsanalyse als tatsächlich realistisch auftretend identifiziert sind.

Die einzelnen Arbeitspakete dienen dazu, den mehrstufigen Abbildungsvorgang von den Streuungen der Fertigungsparameter über die damit korrelierenden Variationen der Bauelemente und Zellen (Bibliotheken) zu den daraus resultierenden Streuungen von großen digitalen Schaltungsblöcken zu erarbeiten und zu verifizieren. Dabei werden im Gegensatz zu bisherigen Verfahren keine Eckwerte oder Toleranzbereiche betrachtet, sondern explizit Wahrscheinlichkeitsfunktionen ermittelt, wodurch eine auch quantitativ zuverlässige Vorhersage des Einflusses von Fertigungsschwankungen auf die relevanten Schaltungsei-

genschaften möglich wird. Das Projekt gliedert sich in drei Arbeitspakete.

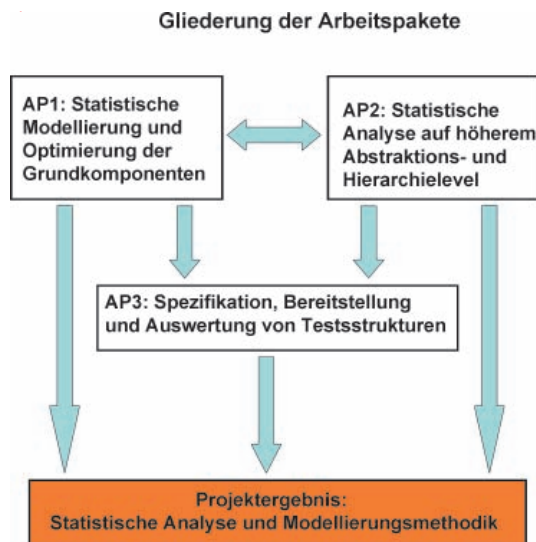


Abbildung 1.02: Kooperation zwischen den Arbeitspaketen

Partner (AP1): MunEDA, Infineon (Universität Hannover), Fraunhofer-IIS/EAS

Arbeitspaket 1: Statistische Modellierung und Optimierung der Grundkomponenten

Ausgehend von den bereits vorhandenen statistischen Betrachtungsweisen auf Bauelemente- und Transistorebene werden für die relevanten größeren funktionalen Einheiten (Grundkomponenten) Modellierungsmethoden entwickelt. Es gilt hier insbesondere, den methodischen Rückstand, den die statistische Modellierung größerer Einheiten gegenüber der Standardzellmodellierung hat, aufzuholen. Gerade bei komplexen Chips, die viele solcher optimierter Makros verwenden, ist das besonders schmerzhaft oder macht ein Design-Vorhaben sogar unmöglich.

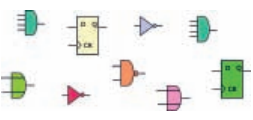


Abbildung 1.03: Einzelbetrachtung der Bibliothekszellen

Durch die Einbeziehung von statistischen Schwankungen und Korrelationen der Parameter werden Verhaltens- bzw. Referenzmodelle erstellt, die auf höheren Beschreibungsebenen die Simulation und Verifikation der Zelleneigenschaften und ihrer Verteilungen (Schwankungsbreiten) ermöglichen und so eine Gesamtmodellierung der Elemente erlauben. Eine bedeutende Verbesserung der Modellierungsgenauigkeit wird mittels innovativer Ansätze, wie die Erstellung und Verwendung vordefinierter Worst-Case-Modelle bzw. die Nutzung von Empfindlichkeiten höherer Ordnung erzielt.

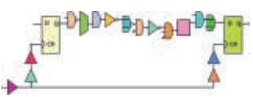


Abbildung 1.04: Betrachtung von Schaltungsblöcken und -modulen

Schließlich müssen schon auf der Ebene der Grundkomponenten, Blöcke und Makros erreicht werden, die von vornherein möglichst wenig anfällig gegenüber Fertigungsschwankungen sind.

Partner (AP2): Infineon (TU München), MunEDA, Fraunhofer-IIS/EAS

Arbeitspaket 2: Statistische Analyse auf höherem Abstraktions- und Hierarchielevel

Eine erfolgreiche statistische Charakterisierung der Einzelzellen (wie sie in AP1 diskutiert wird) kann nur dann zur (notwendigen) Analyse des Schwankungsverhaltens komplexer Gesamtschaltungen eingesetzt werden, wenn Methoden bereitstehen, die es

erlauben, aus diesen Informationen das statistische Schaltungsverhalten auf diesem höheren Hierarchielevel abzuleiten. Dies stellt, unabhängig von der Einzelzellcharakterisierung, eine weitere komplexe mathematische Herausforderung dar. Es sind auf diesem Abstraktions- und Hierarchielevel bisher nur ansatzweise Verfahren und Methoden zur statistischen Betrachtung des Verhaltens elektronischer Schaltungen und Schaltkreise vorhanden. Das Arbeitspaket betritt hier an vielen Stellen Neuland im Rahmen mathematischer Verfahren und physikalischer Methoden. Im Bereich der Timing-Analyse finden sich dazu in Literatur und EDA-Industrie erste Ansätze, die Forschung im Bereich der statistischen Power-Analyse ist bislang noch in einem sehr frühen Stadium. Das Projekt erforscht sowohl allgemeine statistische Verfahren zu dieser Fragestellung als auch spezielle Verfahren für die statistische Timing- und Poweranalyse. Darüber hinaus werden neue Verfahren zur Ausbeuteschätzung entwickelt sowie Einsatzmöglichkeiten und quantitativer Nutzen der betrachteten statistischen Verfahren im realen Designprozess untersucht.

Arbeitspaket 3: Spezifikation, Bereitstellung und Auswertung von Teststrukturen

Als Ergänzung der bis hier diskutierten algorithmenorientierten Entwicklung ist es notwendig, die so entstehenden Modellierungsmethoden auch anhand realer Messungen an in Silizium gefertigten Strukturen zu verifizieren und kalibrieren. Die so erzielte Kalibrierung ist eine notwendige Voraussetzung, die in den anderen Arbeitspaketen verwendeten Modellierungsgrundlagen kritisch überprüfen und optimieren zu können.

In Arbeitspaket 3 wurden zu diesem Zweck Konzepte für variationssensitive Testchips entwickelt und Siliziumergebnisse, die außerhalb des Projektrahmens bereitgestellt werden, in Hinblick auf diese Fragestellung ausgewertet. Innerhalb des Projektes dienen die Schlussfolgerungen aus dem Vergleich von Messung und Simulation zur Validierung der neu entwickelten Modelle und Verfahren. Die Grundaufgabe dieses Arbeitspaketes ist inzwischen abgeschlossen, die Ergebnisse stehen den Projektpartnern zur Verfügung. In der Restlaufzeit des Projektes wird das Hauptaugenmerk auf einer kontinuierlichen Bereitstellung und Auswertung von Siliziumdaten und angepassten Basismodellen liegen. Diese verbleibenden Arbeiten sind als Teilbeitrag in AP2 eingegliedert.

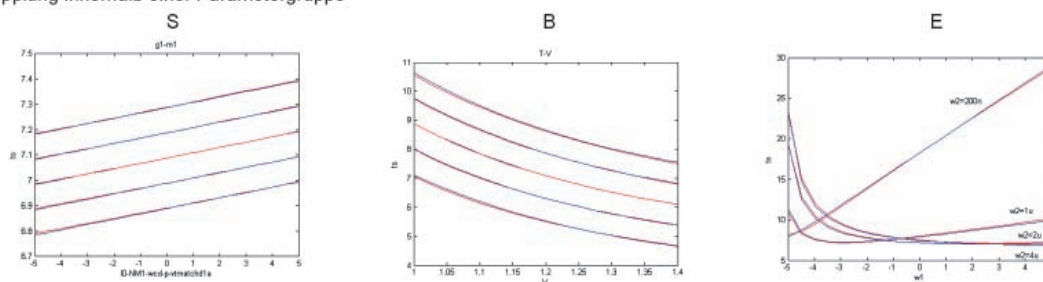
### Projektergebnisse

Arbeitspaket 1: Statistische Modellierung und Optimierung der Grundkomponenten

Arbeitspaket 1 ist in drei Teilaufgaben gegliedert: die Modellierung des Zeitverhaltens digitaler Einheiten, die Modellierung der Leitungen und die Optimierung von funktionalen Einheiten.

Die im Projekt untersuchte Variationsmodellierung digitaler Grundeinheiten zielt einerseits auf industriell

## Verkopplung innerhalb einer Parametergruppe



## Verkopplung zwischen verschiedenen Parametergruppen

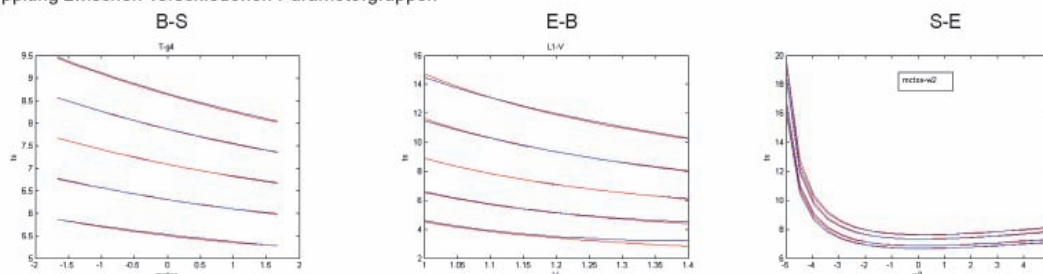


Abbildung 1.05: Response Surface-Modelle für Setup-Zeit eines Flip-Flops

anwendbare Modellierungsmethoden für das Timing-Verhalten digitaler Full-Custom-Makros. In der Anwendung in diesem Zusammenhang besonders wichtige Full-Custom-Strukturen sind hier beispielsweise Speicherarrays, die für viele digitale Systeme geschwindigkeitslimitierend sind. Aufgrund angespannter Designregeln und flächenoptimierter Zellen spielen Prozessvariationen in Speichern eine besonders große Rolle. Die Optimierung des Zeitverhaltens muss unter Berücksichtigung von Randbedingungen bezüglich Stabilität und Verlustleistung erfolgen. Im Rahmen des Projektbeitrags ist eine statistisch motivierte worst-case Analysemethodik entwickelt worden, die es ermöglicht, mit einer minimalen Zahl von Simulationen Robustheitseigenschaften von Schaltungsvarianten auszuloten. Dies unterstützt das Design und die Auswahl optimaler Speicherzellen und das gezielte Steuern der Technologieentwicklung bzw. die Auswahl geeigneter Optionen in Standardtechnologien.

Die zweite Modellierungszielrichtung konzentriert sich auf die Entwicklung und Anwendung geeigneter Response-Surface-Modelle (RSM) und anderer Ansätze, die es erlauben, in möglichst effektiver Weise digitale Eigenschaftsfunktionen kompakt zu modellieren. Untersucht wurden hier zunächst exemplarisch Response-Surface-Modelle für die Setup- und Hold-Zeiten von speichernden Elementen (Flip-Flops). Die so erzielten exemplarischen Ergebnisse lassen auf ein einfaches Gesamtmodell für Statistik, Betriebszustand und Geometrien hoffen. Daneben werden auch erweiterte Modellierungsansätze untersucht, die auf verschiedenen Realisierungen von Spice-Current Source Modellen (CSM) basieren.

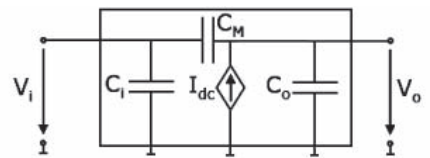
Umfangreiche Untersuchungen hinsichtlich Genauigkeit, Simulations-, Charakterisierungs- und Modellie-

rungsaufwand zeigten, dass gegenüber dem Stand der Technik für einstufige Zellen mittels solcher Modelle eine deutliche Reduzierung der Simulationszeit bei sehr guter Genauigkeit bei zugleich geringem Charakterisierungs- und Modellierungsaufwand erreichbar ist. Für mehrstufige Zellen zeigte sich hingegen, dass Genauigkeit und Performanz trotz hohem Charakterisierungs- und Modellierungsaufwand kaum ausreichend sind. Besonders hervorzuheben ist, dass es durch die durch das Projekt motivierten Simulatorerweiterungen erstmalig möglich ist, solche Untersuchungen in großem Umfang an repräsentativen industriellen Standardzell-Bibliotheken durchzuführen und so zu allgemein gültigen Aussagen zu gelangen.

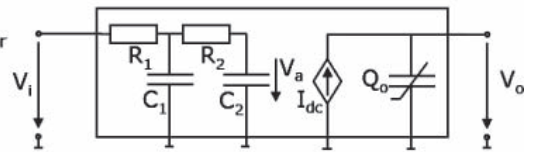
Eine weiterer Beitrag des Arbeitspaketes versucht, einen Mittelweg zwischen den beiden etablierten Ansätzen zur Modellierung der statistischen Prozesstoleranzen (slow/fast worst-case Parametersätze und Monte-Carlo-Modelle mit Zufallsvariablen) einen Mittelweg zu finden, der einerseits die Geschwindigkeitsvorteile einer einfachen worst-case Modellierung nicht aufgibt, aber eine höhere Genauigkeit in der Analyse zulässt. Durch geeignete Wahl spezieller Zielfunktionen und angepasster Nebenbedingungen werden so auch neue Wege zur Optimierung des Zeitverhaltens möglich.

Die Abhängigkeit zwischen technologischen Parametern und Zielgrößen beim Schaltkreisentwurf kann in aktuellen Technologien und vielen Fällen nicht mehr durch lineare Zusammenhänge ausreichend gut approximiert werden. Approximationen höherer Ordnung versprechen hier Abhilfe, scheitern aber oft an dem dafür notwendigen Simulationsaufwand. Während für die benötigten Sensitivitätskoeffizienten erster Ordnung im Rahmen der Spice-Simulation Standard-

- $I_{dc} = f(V_i, V_o), C_i, C_o, C_M = \text{const.}$ 
  - +: - very simple, constant caps
  - Miller cap for voltage overshoot
  - : - time shift is necessary for multi-stage cells
  - determination of capacitances not straight forward (not suited for automation)



- $I_{dc} = f(V_a, V_o), Q_o = f(V_a, V_o)$   
the authors pretend:
  - applicability for single and multistage cells and even for circuits/networks
  - modeling of arbitrary cell delay
  - : - parameter determination is very complex
  - accuracy is insufficient
  - performance of "SPICE" timing simulation not acceptable



- $I_{dc,i} = f(V_{p1}, V_{p2}, \dots, V_{pn}), Q_{pi} = f(V_{p1}, V_{p2}, \dots, V_{pn})$   
MCSM as generalization of CSM taking into account MIS
  - +: - one model for all timing arcs
  - accounts for MIS
  - : - efficiency is questionable since for n ports and m voltage sample points  $m^n$  dc and  $m^n$  transient simulations are needed
  - characterisation of model parameters is very complex

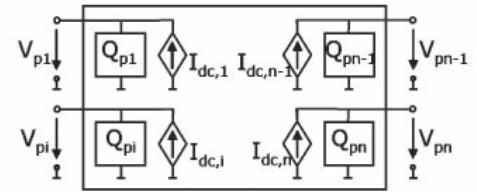


Abbildung 1.06: Verschiedene Current-Source-Modelle

Verfahren bekannt sind, sind Möglichkeiten zur Ermittlung höherer Koeffizienten kaum untersucht. Um diese Lücke zu schließen, wurde im Rahmen des Projektes eine erste Version eines Algorithmus zur Ermittlung der Empfindlichkeiten höherer Ordnung in der Spice-Simulation konzipiert und im freien, quelloffenen Simulator Ngspice implementiert. Erste exemplarische Analysen statischer Leckströme konnten mit Referenzergebnissen, die mit einem Inhouse-Simulator, der bei Projektpartner Infineon eingesetzt wird, erfolgreich verifiziert werden.

SPEF-Beschreibung zur Charakterisierung des Schaltkreislayouts werden Parameter-Empfindlichkeiten für typische Leitungsanordnungen unter Verwendung von Standardtools ermittelt. Darauf aufbauend erfolgt die Generierung von Varianten parameterabhängiger Leitungsmodelle, die in der Digitalsimulation verwendet werden können.

Neben der Analyse sollen die im Vorhaben entwickelten Ansätze auch der Optimierung funktionaler Einheiten dienen und Ansätze zum Entwurf variations-toleranterer Digitalschaltungen bereitstellen.

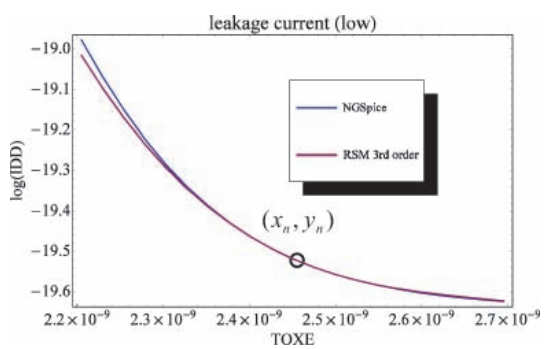


Abbildung 1.07: Verbessertes Ansatz mit Empfindlichkeiten höherer Ordnung (EAS)

Beim Übergang zu kleineren Strukturabmessungen ist auch der Einfluss der statistischen Fertigungsschwankungen auf die Eigenschaften von Leitungen zu berücksichtigen. Auf der Ebene von Netzwerkmodellen existieren eine Reihe von Lösungsansätzen, diese Einflüsse zu analysieren. Im Rahmen von Sigma65 werden neue Ansätze zur Einbindung von crosstalk-berücksichtigenden Leitungsmodellen in die Digitalsimulation entwickelt und erprobt. Ausgehend von den statistischen Schwankungen der Leitungsparameter in einer

Ein neu erstelltes Fan-Out-4 (FO4) basiertes Mikroprozessormodell ermöglicht die Identifikation von variations-sensitiven Bereichen in getakteten Digital-schaltungen und die Bewertung von technologischen und schaltungstechnischen Gegenmaßnahmen in Hinblick auf Robustheits- und Geschwindigkeitsverbesserung. Hauptnutzen ist die Design-Space-Exploration für Technologien  $\leq 65$  nm in Kombination mit neuen Mikroprozessor-Cores (z. B. ARM Cortex MIPS24k/74k). Zwei Ansätze zum Einsatz gepulster Flip-Flops/Latches zur Robustheitserhöhung wurden untersucht und bewertet. Daneben entsteht in dem Vorhaben auch eine neue Bewertungsmethodik für Full-Custom-Zellen. Sie hat zur Entwicklung eines robusten hochauflösenden Time-to-Digital-Converter (TDC) inklusive optimierter TDC-Architekturen geführt, der in einem eingeladenen Artikel im Journal of Solid State Circuits gewürdigt wurde.

Arbeitspaket 2: Statistische Analyse auf höherem Abstraktions- und Hierarchielevel

Zur allgemeinen Frage der statistischen Abbildung von Transistorparameter-Schwankungen auf abstraktere Größen höherer Beschreibungsebene wurde einerseits

ein analytisches Verfahren untersucht, das es erlaubt, im Falle normalverteilter, unabhängiger Ausgangsgrößen und im Falle nichtlinearer polynomialer Zusammenhänge (bis 2. Ordnung) Restwahrscheinlichkeiten von Zielgrößen (z. B. Leckstrom) analytisch anhand einer Sattelpunktnäherung zu bestimmen. Komplementär dazu wurden für den Fall allgemeiner nichtlinearer Zusammenhänge zwischen Ausgangs- und Zielgrößen Methoden aus der Stichprobenanalyse (Extremwertstatistik, PCA) für die Anwendung in diesem Kontext erschlossen.

Die Modellierung von Schwankungen bei der Timing-Analyse ist inzwischen im akademischen Umfeld eine wohl etablierte Fragestellung. Mit steigender Relevanz der Schwankungen werden die aus der Standard-Timing-Analyse abgeleiteten Ergebnisse immer fragwürdiger, da diese von idealisierten, fest vorgegebenen Timing-Verhältnissen auf dem Level der Standardzellen ausgeht. Die statistische Erweiterung dieses Analyse-Ansatzes war und ist bei vielen wichtigen EDA-Konferenzen ein Schwerpunktthema und stellt nach wie vor ein Bereich intensiver Entwicklungs- und Forschungsaktivitäten dar.

Die großen EDA-Anbieter haben inzwischen alle Teillösungen für eine statistische Erweiterung der statischen Timinganalyse (SSTA) angekündigt oder bereits eingeführt. Aufgrund der großen Komplexität des Problems beruhen diese Lösungen allerdings auf mehr oder minder groben, stark vereinfachenden und kaum kontrollierbaren Näherungsannahmen, deren allgemeine Gültigkeit nur schwer einschätzbar ist. Praktisch einsetzbare Referenzmethoden, die es erlauben, die so erhältlichen Lösungen zumindest auf Designs mittlerer Größe genau zu qualifizieren, fehlen bislang aber weitestgehend.

Im Rahmen von Sigma65 ist es inzwischen gelungen, eine solche Referenzmethode zur statistischen Timing-Analyse zumindest prototypisch bereitzustellen. Sie basiert auf einem pfadbasierten SSTA-Ansatz, der es mittels einer neuartigen waveform-basierten Analyse und der iterativen Kombination von Analogsimulation und Sensitivitätsanalysen erlaubt, Schwankungen der Laufzeitverzögerung von Pfaden um ein vielfaches schneller als die üblichen Monte-Carlo-Verfahren zu berechnen. Die Verfeinerung und kritische Validierung dieser Lösung und die Analyse komplexerer industrieller Designs ist Inhalt des letzten Projektabschnitts.

Neben dem Timing-Verhalten wird durch Fertigungsschwankungen insbesondere auch die Leistungsaufnahme der Schaltungen beeinflusst. Diese Schwankungen verändern einerseits die durch Schaltungsvorgänge verursachte (dynamische) Stromaufnahme, andererseits aber auch die Energiedissipation aufgrund von statischen Leckströmen.

Im Rahmen von Sigma65 entsteht eine Modellierungs- und Charakterisierungsumgebung, die es erlaubt, solche statistischen Variationen des Leckstroms für komplette industrielle digitale semi-custom Schaltungen zu berechnen. Die Sigma65 Software-Umgebung „LEKTOR“ („Leakage-Tool Reference“) ist inzwischen für den nominalen Fall einer Leckstromanalyse auf Chip-Level, die als Ausgangspunkt dienen muss, voll funktionsfähig. Die Implementierung der noch fehlenden statistischen Erweiterungen ist in vollem Gange. Wie die genaue Analyse kompletter vorhandener Standardzell-Bibliotheken zeigt, ist die in der Literatur weitestgehend ausschließlich verwendete lineare Behandlung der logarithmierten Leckstromverlustleistung in vielen Temperatur- und Spannungsbe-

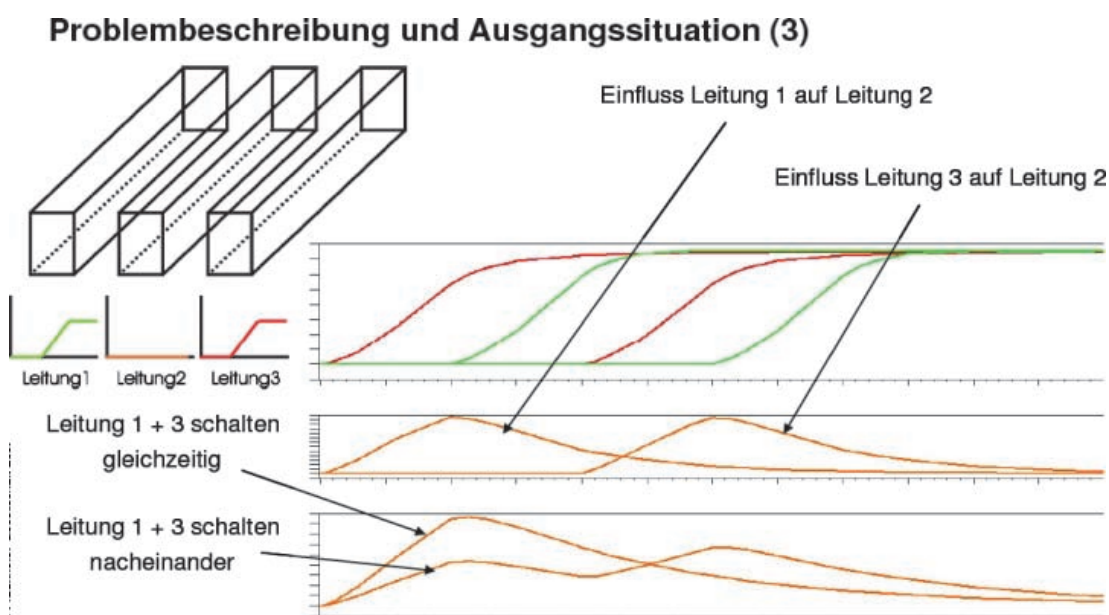


Abbildung 1.08: Crosstalk Delay und Noise

reichen nicht ausreichend, und selbst die naheliegende Berücksichtigung der nächsten Korrektur-Ordnung bringt nicht die erwünschten Ergebnisse. Sigma65 entwickelt hier kompliziertere Response-Surface-Modelle, die eine quantitativ befriedigende Modellierung in allen Betriebsmodi erlaubt. Prototypen für solche Erweiterungen liegen inzwischen vor, die Verallgemeinerung auf Verfahren, die eine Modellierung kompletter Standardzell-Bibliotheken mit vertretbarem Rechenaufwand erlaubt, ist Ziel des letzten Projektabschnitts.

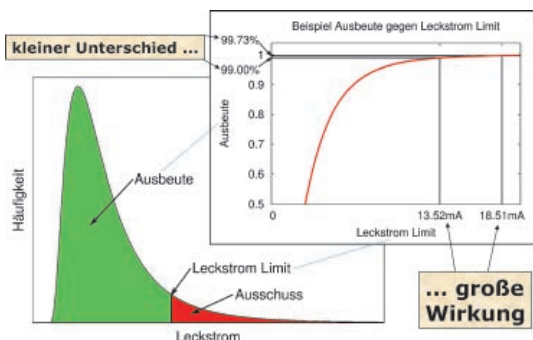


Abbildung 1.09: Einfluss des Leckstromes (IFX)

Der Einfluss von Fertigungsschwankungen auf die aktive Energiedissipation aufgrund von Schaltvorgängen ist noch mehr Neuland: Variationen der Transistor-Parameter verändern das Timing einer Schaltung, und damit insbesondere die Zahlen der transient erzeugten unvollständigen oder vorübergehenden Schaltvorgänge, die zur Energiedissipation beitragen. Für die Analyse solcher Schwankungen der aktiven Verlustleistung stehen bislang zumindest für größere Schaltungen kaum Werkzeuge zur Verfügung. In Sigma65 wird ein neuartiger Simulations-Setup für die statistische Digitalsimulation entwickelt, bei dem es im Rahmen einer VHDL-Simulationsumgebung möglich wird, sowohl globale als auch lokale Parameterschwankungen zu berücksichtigen und ihren Einfluss auf die dynamische und statische Stromaufnahme im Rahmen einer Digitalsimulation zu ermitteln. Dieser Zugang ist inzwischen prototypisch implementiert, Potential und Grenzen werden zurzeit durch Vergleich mit einer Referenzschaltung bewertet, deren Komplexität so gewählt ist, dass es gerade noch möglich ist, analoge (Spice-) Monte-Carlo-Simulationen durchzuführen, deren

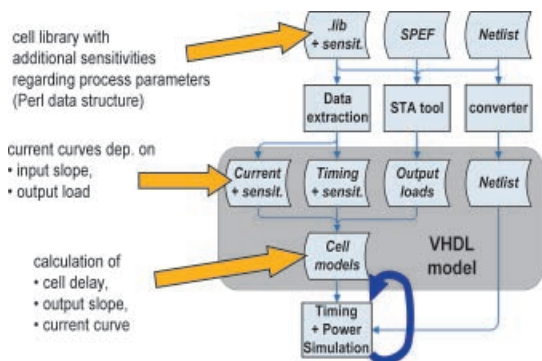


Abbildung 1.10: Designflow für die statistische digitale Poweranalyse (EAS)

Ergebnisse es ermöglichen, die erarbeiteten Lösung zu bewerten.

Komplementär zu diesen Verfahren wird an Möglichkeiten gearbeitet, einerseits die Aussagekraft von ‚worst-case‘ Analysen zu erhöhen und andererseits die Grenzen der Monte-Carlo-Simulation durch besser optimierte Stichprobenverfahren zu erweitern. Auch hier liegen erste Ergebnisse vor, die das Potential der gewählten Ansätze demonstrieren.

Neben der Entwicklung der grundsätzlichen Modellierungstechniken beschäftigt sich Sigma65 auch mit der unmittelbaren Verwertbarkeit statistischer Verfahren im Designsystem. Anhand repräsentativer Testschaltungen aus realen Designprojekten werden unterschiedliche Anwendungsmodelle und Ansätze vergleichend untersucht und ihr jeweiliger möglicher Nutzen im realen Produktumfeld ermittelt. Hauptfokus ist dabei derzeit die Statistische Timing-Analyse (SSTA). Erste Analysen dazu sind inzwischen abgeschlossen, die entsprechend charakterisierten (z. T. sehr großen) Standardzell-Bibliotheken und unterschiedliche Versuchsläufe liegen vor. Sie demonstrieren, dass traditionelle eckwertbasierte Methoden durchaus bis zu 10 % zu pessimistisch im Bereich der Geschwindigkeitsvorhersagen sein können. Im verbleibenden Projektabschnitt werden diese Untersuchungen erweitert und insbesondere die Kombinierbarkeit der neuen Verfahren mit eher traditionellen Ansätzen untersucht werden.

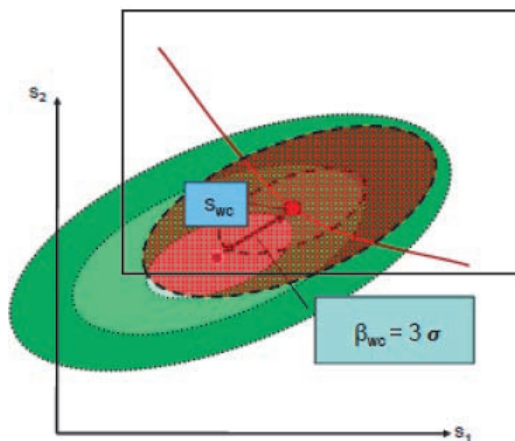


Abbildung 1.11: Verbesserter Ansatz für Importance Samplings (MunEDA)

Arbeitspaket 3: Spezifikation, Bereitstellung und Auswertung von Teststrukturen

Die Auswertung spezifischer Ring-Oszillatorbasierter Test-Chip Strukturen ist inzwischen abgeschlossen. Die Daten erlauben eine quantitative Aufteilung der Variationseffekte in lokale und globale Schwankungen und in weitere Spannungs- und Gradienteneffekte.

Angepasste statistische Transistorparameter, die zuverlässig die tatsächlichen Fertigungsschwankungen der im Digitaldesign verwendeten Transistoren widerspiegeln, werden allen Projektpartnern als Grundlage der jeweiligen Modellierungsaufgaben zur Verfügung

stehen. Die Untersuchungen haben auch ergeben, dass im Rahmen der Sigma65-Zielsetzungen die nun verfügbaren Teststrukturen die notwendigen Daten liefern können. Dieser Aspekt der Aufgabe ist damit abgeschlossen. Das kontinuierlichen Bereitstellen und Auswertung von Siliziumdaten und angepasster Basismodelle wird aber auch in der Restlaufzeit des Projektes eine wichtige Aufgabe bleiben, die als neuer Beitrag in Arbeitspaket 2 eingegliedert wurde.

### Interne/externe Kooperationen

Innerhalb des Projektes findet ein reger Informationsaustausch statt. Infineon und Fraunhofer-IIS/EAS arbeiten bei der Entwicklung eines statistischen Simulators zur Gate-Level-Simulation, die die Auswirkung fertigungsbedingter Schwankungen auf die aktive Leistungsaufnahme von Schaltungen ermittelt, eng zusammen. Während Infineon die Parameterdaten aus der Technologie aufbereitet und die erforderlichen neuen Modellstrukturen aufbaut, kümmert sich Fraunhofer um die Bereitstellung der Algorithmen und der Entwurfsumgebung. Dazu und zur Weiterentwicklung von statistischen Verfahren stellt Infineon darüber hinaus auch den Infineon/Qimonda-internen Simulator Titan zur Verfügung. Außerdem wirken Infineon und Fraunhofer als Alpha-Nutzer für MunEDA. MunEDA und Fraunhofer kooperieren bei der Verbesserung der Beschreibung von Wahrscheinlichkeitsdichtefunktionen in den Randbereichen. Infineon und Fraunhofer arbeiten bei der Erfassung der Leitungen im Entwurfsflow zusammen. Infineon stellt außerdem den anderen Partnern industriell relevante Beispiele zum Verifizieren der neuen Verfahren zur Verfügung. Die Projektpartner treffen sich alle sechs Monate zu einem großen Projekttreffen, auf denen die neuesten Ergebnisse vorgestellt werden. Außerdem finden in jedem halben Jahr zwei Arbeitstreffen statt, auf denen bestimmte Themen vertiefend behandelt werden.

Zurzeit wird mit dem seit einiger Zeit laufenden Projekt Honey eine engere Kooperation aufgebaut.

### Ausblick und Perspektiven

Im Projekt werden wichtige Voraussetzungen für einen statistischen Designflow geschaffen. Allerdings beschränken sich die Projektpartner auf die Modellierung bis zur Makroebene sowie auf Verfahren zur Analyse von digitalen Schaltungsentwürfen. Bereits aus der Aufgabenstellung erkennt man, welche zukünftigen Forschungsarbeiten erforderlich sind. Dazu gehört u. a. die Erweiterung auf komplexe Mixed-Signal-Schaltungen sowie die Betrachtung des Gesamtschaltkreises. Andere zukünftige globale Aufgaben betreffen den gesamten Synthesevorgang, d. h. ausgehend vom System die Anforderungen auf den Schaltkreis herunterzurechnen und diese dann bei der Synthese zu berücksichtigen. Dies betrifft sowohl die Gatter- als auch die Layoutsynthese. Hinsichtlich der Beschreibungsmöglichkeiten von statistischen Größen sind erste Standardisierungen bereits vorgenommen bzw. in Vorbereitung.

### Veröffentlichungen

- [1] S. Henzler, S. Köppe, D. Lorenz, W. Kamp, R. Künemund, D. Schmitt-Landsiedel, „A Local Passive Time Interpolation Concept for Variation-Tolerant High-Resolution Time-to-Digital Conversion“, *IEEE Journal of Solid-State Circuits*, Vol. 43, No. 7, July 2008
- [2] M. Schmidt, H. Kinzelbach, U. Schlichtmann, „Genauere Laufzeitanalyse digitaler Schaltungen durch Berücksichtigung statistischer Schwankungen der Signalformen“, *Paper und Vortrag auf dem edaworkshop 2008, Hannover, Mai 2008*
- [3] H. Kinzelbach „Timing- and Leakage-Variability: Analysis and Modelling-Activities @ IFX“, *Vortrag auf dem Workshop über Simulation und Analyse statistischer Größen in Digitalschaltungen und SRAM, TU München, April 2008*
- [4] U. Eichler, J. Haase, R. Häußler, H. Kinzelbach, „Gate-level digital power simulation with varying technology parameters“, *Vortrag auf der ‚Semiconductor Conference Dresden‘ (SCD), April 2008*
- [5] C. Sohrmann, L. Muche, J. Haase, „Fast and Accurate Approximation of Marginal Probabilities“, *Poster Workshop „Impact of Process Variability on Design and Test“; DATE 2008, München, März 2008*
- [6] M. Schmidt, H. Kinzelbach, U. Schlichtmann, „Variational Waveform Propagation for Accurate Statistical Timing Analysis“, *Paper und Vortrag International Workshop on ‚Timing Issues in the Specification and Synthesis of Digital Systems‘ (TAU2008), Monterey, Kalifornien, Februar 2008*
- [7] S. Henzler, S. Köppe, D. Lorenz, W. Kamp, R. Künemund, D. Schmitt-Landsiedel, „Variation Tolerant High-Resolution and Low Latency Time-to-Digital Converter“, *Paper und Vortrag ESSCIRC 2007, München September 2007*
- [8] T. Baumann, J. Berthold, T. Niedermeier, T. Schönauer, J. Dienstuhl, D. Schmitt-Landsiedel, C. Pacha, „Performance Improvement of Embedded Low-Power Microprocessor Cores by Selective Flip Flop Replacement“, *Paper und Vortrag ESSCIRC 2007, München, September 2007*
- [9] R. Häußler, H. Kinzelbach, „Prozess-Variationen und deren Auswirkungen auf die Stromaufnahme von Digital-Schaltungen“, *Vortrag auf dem Fach- und Kooperationsworkshop „Technologie und deren Auswirkung 2007“ des edacentrums, Dresden, Mai 2007*
- [10] H. Kinzelbach, „Prozess-Variationen und statistische Timing-Analyse auf Gatterebene“, *Vortrag auf dem Fach- und Kooperationsworkshop „Technologie und deren Auswirkung 2007“ des edacentrums, Dresden, Mai 2007*
- [11] M. Sylvester, „Design for Yield mit Wicked: Schaltungsanalyse und Optimierung unter Yield-Berücksichtigung“, *Vortrag auf dem Workshop „Entwurf von integrierten Analog/Mixed-Signal/HF-Schaltungen“, Silcon Saxony e. V., Dresden, Mai 2007*
- [11] R. Sommer, Michael Pronath, Andreas Ripp, „Tutorial DFM-DFY – Gemeinsames Tutorial von MunEDA und der TU Ilmenau auf der GMM/GI/ITG-Fachtagung „Zuverlässigkeit und Entwurf 2007“, München, März 2007

#### Projektkoordination:

Fraunhofer-Institut für Integrierte Schaltungen/Institutsteil Entwurfsautomatisierung  
Dr. Manfred Dietrich  
fon: (03 51) 46 40 – 7 15  
Manfred.dietrich@eas.iis.fraunhofer.de

Weitere Informationen unter:  
[www.sigma65.eas.iis.fraunhofer.de](http://www.sigma65.eas.iis.fraunhofer.de)