

SIDRA: Safe IC Design for Robust Applications

Von Petra Rose



Das Projekt SIDRA wurde im Rahmen der BMBF-Förderinitiative Ekompass vom August 2004 bis zum Dezember 2006 gefördert. Technisches Ziel von SIDRA war es, Simulationen zu entwickeln, die es ermöglichen, präventiv Schwachstellen im Design festzustellen, um integrierte Schaltkreise (ICs) gegen die elektrostatische Zerstörung durch schnelle transiente Pulse nach dem Charge-Device-Modell (CDM: Pulse bis zu 10 A bei $t < 2$ ns) zu schützen. Dies ist notwendig, um für immer sensitivere Technologien die Anforderung an die Robustheit gegen elektrostatische Entladungen und gleichzeitig hohe Qualitätsanforderungen zu erfüllen.

Wesentliche Ergebnisse der Arbeiten sind die Verbesserung der ESD-Schutzstrukturen sowie die Entwicklung der Simulations- und Messmethodik. Die steigende Qualität der ESD-Elemente hilft die Redesign-Wahrscheinlichkeit zu reduzieren und resultiert somit in einer Zeit- und damit Kostenersparnis. Dadurch wird die Funktion zukünftiger, teils sicherheitskritischer Designs im Feld abgesichert.

Hauptergebnisse des SIDRA-Projektes umfassen u. a.:

- » die Entwicklung einer CDM-Simulationsmethodik zur präventiven Detektion von Schwachstellen im Design;
- » neu entwickelte Messmethoden, die in der Zukunft bei der Entwicklung und Charakterisierung von ESD-Schutzkonzepten und Produkten eingesetzt werden;
- » die Entwicklung eines Satzes freigaberelevanter Teststrukturen. Durch die Auswahl der Teststrukturen, basierend auf den Erkenntnissen in SIDRA, konnte die Testchipfläche deutlich reduziert werden;
- » Richtlinien für ein robustes und effizientes ESD-Layout.

Die erreichte Fachkompetenz ermöglicht eine bessere Konkurrenzfähigkeit hinsichtlich der Beratung externer

Foundry-Kunden. Zudem steigern die erzielten Fachkenntnisse in ESD-Fragen das Ansehen und die Konkurrenzfähigkeit der eigenen Produkte.

Neben der internen wurde auch die externe Verwertbarkeit vorbereitet. Dabei zielt die externe Verwertbarkeit in erster Linie auf die direkte Einflussnahme von ESD-Standardisierungsverfahren ab. Einige SIDRA-Partner sind Mitglieder in den Standardisierungsgremien der ESD Association (ANSI), JEDEC und IEC. Die wichtigsten aus SIDRA Themengebieten unterstützten Standardisierungsaktivitäten sind:

- » CDM-Charakterisierung (ESDA)
- » Transmission Line Pulsing (ESDA)
- » Transient Latch-up (ESDA)
- » ESD auf Systemebene (ESDA und IEC)

Nachfolgend die Darstellung der Ergebnisschwerpunkte der deutschen SIDRA-Partner.

Atmel Germany GmbH

Das SIDRA-Projekt gliederte sich für Atmel in zwei große Hauptschwerpunkte. Zum einen sollten im Teilbereich „Charakterisierung“ neue und bereits vorliegende ESD-Schutzstrukturen untersucht und weiterentwickelt werden. Zum anderen konzentrierte sich

Zusammensetzung des Projektkonsortiums:

Partner:

- » Atmel Germany GmbH
- » Infineon Technologies AG
- » Robert Bosch GmbH
- » X-Fab Semiconductor Foundries AG

Unterauftragnehmer:

- » Fraunhofer IZM München
- » FH Osnabrück
- » IMMS gGmbH
- » Melexis GmbH

Europäische Projektpartner:

- » ST Microelectronics (I)
- » Philips (NL)
- » TU Wien (A)
- » ETH Zürich (CH)

Europäische Unterauftragnehmer:

- » Synopsys (CH)
- » Universität Padua (I)

Förderkennzeichen:

01 M 3159

Laufzeit des Vorhabens:

01.08.2004–31.12.2006

der Teilbereich „Simulation“ auf die Einführung eines ESD-Bauelemente-Simulators, der für zukünftige Entwicklungsaufgaben auf Basis des hauseigenen 0.35 µm SmartPower SOI-Prozesses als wichtiges Werkzeug dienen wird.

Die im SIDRA-Projekt vermessenen Grundstrukturen, wie Dioden und Transistoren, zeigten schon von Beginn an eine hohe ESD-Festigkeit. Die bis dahin schon befriedigende bis gute Weitenskalierung der Elemente unter CDM-Stress konnte durch Maßnahmen wie z. B. Layoutanpassungen noch weiter verbessert werden. Mit Hilfe der gemeinschaftlich entwickelten Teststrukturen war es zudem möglich, weitere kritische Parameter wie die Anschlusswiderstände, das Gateoxid-Verhalten bei vf-TLP-Stress und den Aufbau eines Primär-Sekundär-Schutzes näher zu untersuchen und die Forschungsergebnisse in Entwicklungsrichtlinien einfließen zu lassen. Durch begleitende TIM-Messungen (Transient Interferometric Mapping) der TU Wien konnte zudem eine Schwachstelle im Metallanschluss der Basis-Diode festgestellt werden, was durch eine nachträgliche Bauelemente-Simulation bestätigt wurde. Aus diesen Erkenntnissen wurden Dioden mit wesentlich verbesserten Eigenschaften abgeleitet.

Der während des Projektes noch mit relativ einfachen Basisstrukturen kalibrierte Bauelemente-Simulator lieferte auch bei weit komplexeren Strukturen gute bis sehr gute Übereinstimmungen mit der Messtechnik. Es konnte sowohl eine Parallelschaltung zweier Dioden, als auch eine komplexere Mehrfinger-Struktur eines ggNMOS-Transistors (grounded-gate NMOS) vollständig nachsimuliert werden. Untermuert wurden die Ergebnisse mittels der TIM-Messungen der TU Wien, so dass diese zu einem tieferen Verständnis der physikalischen Hintergründe des Schaltverhaltens und der Leistungsverteilung im Bauelement führten.

Zum Projektende lässt sich abschließend feststellen, dass das Potential von SOI auch im vieldiskutierten ESD-Bereich sehr hoch ist und mit den vorherrschenden Bulk-Technologien konkurrieren kann. Alle vermessenen Bauelemente zeigten überdurchschnittliche ESD-Festigkeiten. Mit dem im Projekt eingeführten ESD-Simulator steht nun auch ein wertvolles Tool zur Bauelemente-Entwicklung zur Verfügung, dessen Einsatz im Vorfeld einen großen Teil an Entwicklungsarbeit einsparen kann. Die aus dem Projekt abgeleiteten Erkenntnisse fließen als Komponente der zukünftigen Designmanuals direkt in hauseigene Richtlinien für ein robusteres ESD-Layout ein und dienen als Basis für interne Schulungen in der Schaltungsentwicklung.

Auf der Grundlage der erzielten Ergebnisse wird eine deutlich reduzierte Fehlerhäufigkeit in neuen Designs erwartet. Dieses wird zu Einsparungen von Redesigns bei internen Entwicklungsprojekten, sowie auch bei Kundendesigns im Foundry-Bereich führen.

Robert BOSCH GmbH

Die Arbeit in AP 1 fokussierte sich auf die Evaluierung der neuen Charakterisierungsmethoden im CDM-Zeitbereich, die von Fraunhofer-IZM im Rahmen von SIDRA entwickelt wurden. Dies beinhaltet die Erprobung der ultra-fast TLP-Messtechnik (Pulse < 2 ns), der repetierenden Messmethode zur Analyse des transienten Verhaltens von ESD-Schutzstrukturen sowie Transient Latch-up Untersuchungen der SIDRA-Teststrukturen. Die Ergebnisse der Messungen waren die Grundlage sowohl für die Modifizierung und Kalibrierung der Bauelementmodelle als auch für die Definition der Ausfallkriterien bei zu hoher CDM-Belastung für die Schaltkreissimulation.

Der Fokus der Bosch-Aktivitäten im Arbeitspaket 2 war die Mixed-Mode-Device-Simulation von ESD-Eingangsschutzschaltungen. Im Vergleich zu Einzelstrukturen ist die CDM-Device-Simulation von Schaltungen ein großer Schritt nach vorn auf dem Gebiet der ESD-Device-Simulation. Damit werden nicht nur Informationen über das CDM-Entladeverhalten einzelner Bauelemente gewonnen, sondern auch wichtige Hinweise über das Zusammenspiel der einzelnen Bauelemente innerhalb einer Schaltung. Die erste positive Erfahrung im Rahmen des SIDRA-Projektes demonstriert eindrucksvoll das Potential der Mixed-Mode-Device-Simulation zur Optimierung von CDM-Robustheit der ESD-Schutzschaltung.

Der Nutzen für die Absicherung von IC-Designs von Bosch gegenüber CDM mittels Schaltungssimulation, bearbeitet in AP3, besteht in der

- » Darstellbarkeit von Kompetenz im ESD-Schutz gegenüber Kunden,
- » Vermeidung von Redesigns,
- » Absicherung der Funktion im Feld, auch für zukünftige Halbleitertechnologien.

Damit ist die Wirksamkeit bei der Akquisition neuer IC-Entwicklungsprojekte, der Durchführung dieser Projekte und der späteren Nutzung beim Endverbraucher gegeben.

Direkt verwertbar sind die CDM-Entwurfshinweise, die für alle zukünftigen IC-Entwürfe genutzt werden. Es ist geplant, diese auch im Rahmen der intern verfügbaren „Design-Kits“ den IC-Entwicklern kurzfristig zur Verfügung zu stellen.

Die CDM-Schaltungssimulation ist ebenfalls unmittelbar verwertbar. Sie wird seit Beginn 2007 für erste IC-Produkte genutzt. Es ist geplant, diese in die Standardumgebung der Schaltungsentwicklung bei Bosch zu implementieren.

Infineon Technologies AG

Infineon erzielte in allen drei Arbeitspaketen ausgezeichnete Fortschritte durch die Designsicherheit der Produkte und die Effizienz im Entwicklungsflow

Eine ausführliche Aufgabenbeschreibung des SIDRA-Projektes finden Sie im newsletter edacentrum 04/2006.

deutlich verbessert werden konnten. Dies soll an Hand von zwei ausgewählten Beispielen aus Arbeitspaket 1 und Arbeitspaket 3 verdeutlicht werden.

Eine wichtige Fragestellung bei der Entwicklung von Schutzkonzepten gegen schnelle transiente Pulse ist die experimentelle Charakterisierung des Einschaltverhaltens der Schutzelemente. Aus detaillierten Simulationsstudien (Arbeitspaket 2 und Projekt ASDESE) wurde vorhergesagt, dass Schutzelemente bei Belastung mit sehr schnellen Pulsen die Spannung zu Beginn des Pulses nicht ausreichend klemmen können. Obwohl der erhöhte Spannungsabfall über dem Schutzelement nur wenige hundert Pikosekunden andauert bevor das Schutzelement vollständig einschaltet, kann durch diese Spannungsbelastung die zu schützende Schaltung bereits geschädigt werden.

Bei der Entwicklung von experimentellen Charakterisierungsmethoden arbeitete Infineon eng mit dem FhG IZM-M zusammen. Das FhG IZM-M ist gemeinsamer Unterauftragnehmer von Atmel, Bosch, XFAB und Infineon und hat daher eine zentrale Rolle in Arbeitspaket 1. Am FhG IZM-M wurde ein Verfahren entwickelt, mit dem die zeitliche Auflösung des Einschaltverhaltens im Vergleich zu den bisher eingesetzten Charakterisierungsmethoden um mehr als eine Größenordnung verbessert werden konnte. Das neu entwickelte Verfahren beruht auf einer Belastung des Schutzelements mit repetierenden Pulsen, die über ein Sampling-Oszilloskop mit hoher zeitlicher Auflösung analysiert werden können. Mit diesem Verfahren lassen sich zeitliche Auflösungen von bis 25 ps erzielen. Die experimentelle Ausführung für Scheibennmessungen ist in Abbildung 1.11 gezeigt.

Die Anwendung des neuen Verfahrens auf Schutzstrukturen in 90-nm-CMOS- und 65-nm-CMOS-Technologien brachte zwei wesentliche Ergebnisse: Zum einen konnten damit die Vorhersagen aus der TCAD-Bauelementesimulation eindrucksvoll verifiziert werden. Zum anderen konnte das Einschaltverhalten von neuartigen komplexen Schutzelementen, die in diesen Technologien zum ersten Mal eingesetzt wurden, verifiziert werden. Es wurde nachgewiesen, dass diese Schutzstrukturen für einen sicheren Betrieb sehr gut geeignet sind. Im Vergleich zu konventionellen Schutzstrukturen verbessert der Einsatz dieser neuen Schutzstrukturen die Betriebssicherheit und spart zudem deutlich Chipfläche.

Das zentrale Ziel von Infineon in SIDRA war die Entwicklung eines ESD-Gesamtchip-Simulators. Mit diesem Simulationswerkzeug sollte die ESD-Festigkeit eines größeren Schaltungsblocks vorhergesagt und optimiert werden können. Dazu wurde ein völlig neues Simulationskonzept entwickelt, da die herkömmlichen Simulationsansätze aufgrund der Komplexität typischer Produkte von Infineon (> 200 Signalpins,

10–20 Versorgungsspannungen) nicht angewendet werden können.



Abbildung 1.11: Aufbau zur experimentellen Charakterisierung des Einschaltverhaltens von Schutzelementen gegen schnelle Transienten auf Scheibenebene.

Das neue Verfahren basiert auf drei Säulen:

- » Es wurden neue Kompaktmodelle mit drastisch reduzierter Komplexität entwickelt. Der negative differentielle Widerstand im Einschaltbereich von Schutzelementen und Schaltungstransistoren, der typisch für sogenannte „Snap-Back“-Schutzelemente und auch Treiberstrukturen ist und häufig zu Konvergenz- und Rechenzeitproblemen führt, wurde durch ein einfaches „An/Aus“-Modell ersetzt.
- » Für alle Bauelemente im Entladepfad werden die „An“- und „Aus“-Zustände permutiert. Damit ist eine vergleichsweise einfache DC-Simulation möglich. Die physikalisch unmöglichen Lösungen der Simulation (beispielsweise wenn der Strom durch ein Bauelement im „Aus“-Zustand größer als der Einschaltstrom ist) werden durch den Simulator eliminiert.
- » Ein neuer Simulationsflow wurde definiert und letztlich programmtechnisch umgesetzt.

Der neu entwickelte HBM-Gesamtchip-Simulator wurde auf zahlreiche Beispiele mit großem Erfolg angewandt. Beispielsweise konnte in einem Produkt mit mehr als 300 Pins und zehn verschiedenen Versorgungsspannungen eine Schwäche im ESD-Versorgungsschutzkonzept erkannt werden. Der „virtuelle“ ESD-Test wurde auch schon erfolgreich auf ein „System-On-Chip“ und ein „System-In-Package“ angewandt.

Der große Vorteil des ESD-Gesamtchip-Simulators ist offensichtlich: Der ESD-Gesamtchip-Simulator löst den extrem zeitaufwändigen und fehleranfälligen manuellen

Check ab. Der „virtuelle ESD-Test“ erlaubt nahezu eine 100%ige Vermeidung von ESD-Designschwächen. Allein die Vermeidung eines „tödlichen“ ESD-Fehlers führt leicht zu einer Einsparung von 500 k€ für Maskenkosten, die bei einem Re-Design anfallen würden. Damit kann der Nutzen des Gesamtchipsimulators gar nicht hoch genug eingeschätzt werden.

XFAB Semiconductor Foundries

Neue Methoden der ESD-Charakterisierung von ESD-Strukturen konnten innerhalb des Projektes SIDRA erfolgreich entwickelt und getestet werden. Mit den entwickelten Testmethoden konnten neue Erkenntnisse bezüglich des ESD-Verhaltens von ESD-Schutzstrukturen gewonnen werden. Die neuen Methoden der ESD-Charakterisierung von Bauelementen und Schaltungen mit kurzen ESD-Pulsen sowie das im SIDRA-Projekt entwickelte Teststrukturkonzept werden in der Entwicklung von Standard I/O-Bibliotheken und speziellen ESD-Schutzschaltungen, z. B. in 0,35 µm und 0,18 µm Technologien, eingesetzt. Dabei dienen ergänzend zur Ermittlung der ESD-Festigkeit mit konventionellen 100 ns weiten Pulsen, kurze „very fast“ TLP-Pulse zur Charakterisierung des Triggerverhaltens der ESD-Strukturen sowie der zu schützenden Schaltung.

Ein wesentliches Ziel der Arbeiten von XFAB innerhalb des Projektes SIDRA war die Entwicklung einer Methodik des simulationsgestützten Entwurfs sowie der Optimierung von ESD-Schutzstrukturen. In verschiedenen XFAB-Technologien konnten erfolgreich ESD-Bauelementesimulationen durchgeführt werden. Physikalische Bauelementesimulationen dienen zur Vorhersage des ESD-Verhaltens von Bauelementen bzw. kompletter ESD-Schutzschaltungen. Durch die Vorhersage von Bauelementparametern wie Durchbruchspannung, Triggerspannung oder Haltespannung können Teststrukturen im Entwurf von ESD-Schutzschaltungen

zielgerichtet entwickelt werden. Dadurch kann die Anzahl der Teststrukturen und damit der Aufwand für deren Erstellung und Charakterisierung reduziert werden. So konnten in 0,6 µm HV-CMOS-Technologie mit Hilfe von physikalischen Bauelementesimulationen verschiedene verbesserte ESD-Schutzstrukturen, speziell für Mixed-signal und High-voltage Anwendungen, mit vergleichsweise geringem Aufwand implementiert werden. Bei diesen konnten die Ergebnisse der Bauelementesimulation durch die ESD-Charakterisierung bestätigt werden. ESD-Schutzstrukturen, die in 0,6 µm HV-CMOS-Technologie implementiert wurden, konnten erfolgreich auf andere XFAB-Technologien transferiert werden, z. B. 0,6 µm SOI-CMOS oder 0,35 µm HV-CMOS-Technologie. Neben ESD-Simulationen von einzelnen Bauelementen wurden dabei auch komplexe Mixed-mode Simulationen von ESD-Schutzschaltungen, bei denen physikalische Bauelementemodelle und Spice-Modelle kombiniert werden, durchgeführt.

Die innerhalb des SIDRA-Projektes gesammelten Ergebnisse bezüglich des ESD-Verhaltens von Bauelementen und Schaltungen fließen in der Erstellung von ESD-Design-Guidelines ein. Neue Konzepte für ESD-Schutzstrukturen, speziell für High-Voltage-Anwendungen, konnten erfolgreich in verschiedenen XFAB-Technologien implementiert werden. Diese ermöglichen es, die gestiegenen Anforderungen an die ESD-Festigkeit von integrierten Schaltkreisen zu erfüllen. Weiterführende Arbeiten umfassen die Erstellung eines schaltungsbasierten ESD-Design-Checkers. Mit diesem ESD-Design-Checker sollen bereits in einem frühen Entwurfsstadium auf Schaltungsebene und innerhalb der Cadence-Design-Umgebung IC-Designs auf mögliche ESD-Schwachstellen hin geprüft werden. Als Grundlage dient dafür eine Datenbasis mit Ergebnissen der ESD-Charakterisierung aller in einer Technologie zur Verfügung stehenden Bauelemente.

Kont@kt (SIDRA):

Dr. Petra Rose
Projektkoordination
Robert Bosch GmbH,
Tübinger-Strasse 123
72762 Reutlingen
fon: (0 71 21) 35 65 60
fax: (07 11) 8 11 - 5 14 65 60
petra.rose@de.bosch.com