

RapidMPSoC: Rapid System Prototyping und Plattform-basierter Entwurf für Mixed-Signal Mehrprozessor SoCs

Ein Projekt zur Entwurfsbeschleunigung von Mixed-Signal-Mehrprozessor SoCs stellt sich nach über zweijähriger Projektlaufzeit vor

RapidMPSoC ist das Akronym für das IKT 2020 Projekt „Rapid System Prototyping und Plattform-basierter Entwurf für Mixed-Signal Mehrprozessor SoC“. Die Methoden und Verfahren, die in RapidMPSoC entwickelt werden, beschleunigen den Analog/Mixed-Signal (AMS)-Entwurf auf den hohen Abstraktionsebenen. Dafür arbeiten die Projektpartner an vier Themenkomplexen.

Der Themenkomplex „Technologieunabhängiger Entwurf von Analog-IP auf Verhaltensebene“ erforscht Verfahren für A/D-Wandler. Sie reduzieren bei der Implementierung sowie beim Übergang zu einer neuen Technologie den Entwurfsaufwand um ca. 20 %.

In „Analoge Architekturen und Schnittstellen zu Mehrprozessorsystemen“ befassen sich die Partner mit der Aufwands- und Kostenabschätzung der Implementierung auf der Algorithmenebene, um schon bei der Definition und Standardisierung von Algorithmen, Protokollen und Übertragungsverfahren eine effiziente Realisierbarkeit sicherzustellen. Durch diese Arbeiten wird die Entwurfszeit für die Spezifikation um bis zu 30 % verkürzt.

Im Komplex „Systementwurf“ liegt der Fokus auf den AMS-Teilsystemen eines SoC mit Betrachtung der Schnittstellen zum Gesamtsystem. Die in RapidMPSoC erforschten Methoden ermöglichen eine Gesamtsystemsimulation mit einer um mindestens den Faktor 10 gesteigerten Simulationsgeschwindigkeit bei vergleichbarer Genauigkeit.

Der Bereich „Systemverifikation“ fokussiert auf die AMS-Teilsysteme mit Betrachtung der Schnittstellen zum Gesamtsystem. Es werden Assertion-basierte Simulationsverfahren für eine leistungsstarke Gesamtsystemverifikation entwickelt. Dadurch werden die Entwurfssicherheit erhöht, die Vielzahl der zu unterstützenden Standards im Entwurfsprozess beherrschbar und der Verifikationsaufwand mindestens halbiert.

In der edaMatrix deckt RapidMPSoC in vertikaler Richtung die Gebiete Spezifikation bis Verifikation ab. In horizontaler Richtung werden alle Abstraktionsebenen von der Systemebene bis zur Technologieebene adressiert. Der Fokus liegt dabei auf den höheren Abstraktionsebenen, wobei dafür, beispielsweise beim Themenkomplex „Technologieunabhängiger Entwurf von Analog-IP“, die Technologieebene einbezogen

werden muss. Die Bereiche der einzelnen Themenkomplexe sind in Abbildung 1.02 entsprechend markiert.

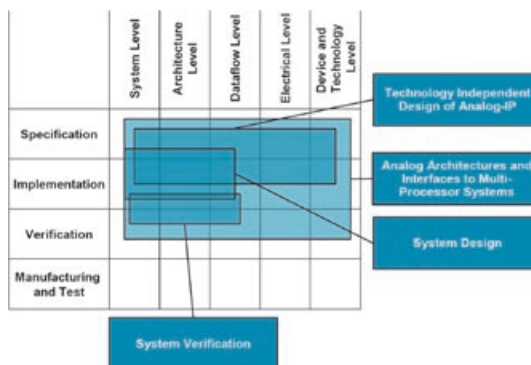


Abbildung 1.02: RapidMPSoC in der edaMatrix

Im Folgenden informieren die Projektpartner über die Ergebnisse, die in den ersten beiden Projektjahren erzielt wurden.

Technologieunabhängiger Entwurf von Analog-IP

Zum technologieunabhängigen Entwurf hat RapidMPSoC wesentliche Forschungsbeiträge geliefert. Prototypische Implementierungen konnten bereits erfolgreich in den Entwurfsabläufen der Industriepartner MELEXIS und X-FAB anhand einer gemeinsamen PLL-Entwicklung zusammen mit IMMS und Fraunhofer-IIS/EAS getestet werden. Die wichtigsten Ergebnisse in diesem Themenkomplex werden im Folgenden beschrieben.

Strategien zur Initialdimensionierung von analogen Schaltungen

Beim analogen Schaltungsentwurf werden zur Dimensionierung der Bauelemente Optimierungstools eingesetzt, um eine optimale Performance und maximale Robustheit zu erreichen. Beginnend mit einer Anfangslösung berechnen diese Tools iterativ bessere Lösungen. Dabei kann eine gute Anfangslösung die Rechenzeit stark verkürzen und den Optimierungserfolg verbessern. Untersuchungen haben gezeigt, dass die Optimierung wesentlich leichter zu beherrschen ist, wenn an den Bauelementen bestimmte DC-Bedingungen (Constraints) erfüllt sind. Durch RapidMPSoC wurde gezeigt, wie mit geringem Rechenaufwand die Dimensionierung der Bauelemente so bestimmt wird, dass die Constraints nach einer Simulation erfüllt sind und damit eine gute Startlösung für Optimierungstools vorliegt [1, 21].

Zusammensetzung des Projektkonsortiums:

Projektpartner

Infineon Technologies AG
Institut für Mikroelektronik- und Mechatronik – Systeme gGmbH
Melexis GmbH
Robert Bosch GmbH
X-FAB Semiconductor Foundries AG

Unterauftragnehmer

Fraunhofer Institut für Integrierte Schaltungen (IIS/EAS)
OFFIS e.V. – Institut für Informatik Technische Universität München (IIS)

Förderkennzeichen

01 M 3085

Laufzeit des Vorhabens:

01.10.2007 – 30.09.2010

Homepage:

www.edacentrum.de/rapidmpsoc/

Projektstruktur:

4 Arbeitspakete mit 12 Firmenbeiträgen und 47 Meilensteinen

Kont@kt RapidMPSoC:

A. Vörg, N. Bannow, V. Boos, K. Einwich, A. Foglar, T. Kirchner, A. Lankes, S. Sonntag

Die Grundlage für dieses Verfahren ist ein neuer Ansatz, den F. Leyn [19] als „Operating-Point Driven“ beschreibt. Dieser besagt, dass für ein gewünschtes elektrisches Verhalten bestimmte Bedingungen (Constraints) für Spannungen und Ströme an den Anschlüssen des Bauelements eingehalten werden müssen. Nun kann das Problem als Graph modelliert und mittels der Graphentheorie eine Lösung gefunden werden (Abbildung 1.03).

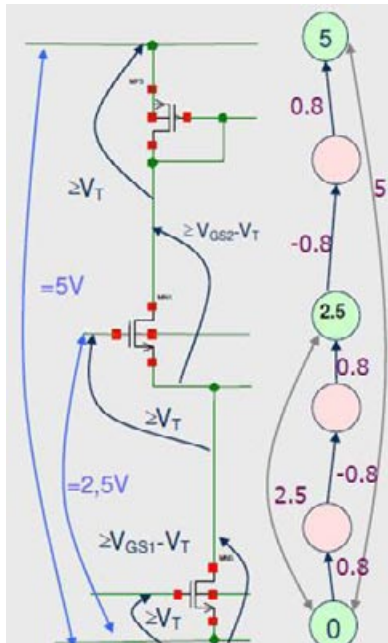


Abbildung 1.03: Spannungsbeziehungen an einer Eingangsstufe und Graph mit $V_T = 0,8V$

Der verwendete Ansatz löst das Problem der Initialdimensionierung in drei Schritten:

- » Ermittlung der Intervalle für die Knotenspannungen, in denen die Constraints erfüllt sind.
- » Festlegen der Knotenspannungen, so dass die Constraints mit maximaler Reserve erfüllt werden.
- » Berechnung der Dimensionierung aus Knotenspannungen und den gewünschten Zweigströmen.

Die Ermittlung der Spannungsintervalle erfolgt mit einem auf Graphen basierenden modifizierten Algorithmus aus der Terminplanung zur Berechnung des kritischen Weges. Früheste Termine entsprechen der minimalen, späteste Termine der maximalen möglichen Spannung. Die Mindestdauer für eine Aktion in der Terminplanung entspricht einer durch Constraints vorgegebene Spannungsdifferenz. Der Algorithmus für die Berechnung des kritischen Weges wurde von Liao und Wong [20] erweitert, so dass auch maximale und damit fest vorgegebene Differenzen als Bedingungen berücksichtigt werden können.

Dieses Verfahren wurde als Prototyp implementiert und an Schaltungen mit bis zu etwa 20 Transistoren unter Verwendung der X-FAB Technologie XH035 getestet. Der Aufbau des Graphen und die Berech-

nung der optimalen Spannungen dauerte weniger als 1 Sekunde. Als Zwischenergebnis wurde ein Skript zur Berechnung der Längen und Weiten von Transistoren aus den Arbeitspunkten generiert. Die Abarbeitung des Skriptes dauerte nur wenige Minuten, wobei die meiste Zeit zum Starten und Initialisieren des Simulators benötigt wurde. Die berechneten Weiten und Längen wurden in eine Textdatei geschrieben und dann manuell in der Simulationsumgebung eingegeben. Die Simulation zeigte das gewünschte Verhalten. Anschließend wurde die Schaltung ausgehend von der berechneten Initiallösung mit WiCkeD [22] optimiert. Die Nominaloptimierung (ohne Prozesstoleranzen) wurde in drei Schritten durchgeführt:

- » Berechnung der „Feasible Solution“, bei der alle Constraints erfüllt sind,
- » Optimierung mit der „Least Square“ Methode, die abbricht, sobald die Spezifikation erfüllt ist, und
- » Optimierung mit der „Parameter Distance“ Methode, mit der die Spezifikation mit den bestmöglichen Werten erfüllt wird.

Als Startlösung wurde einmal die mit dem in RapidMP-SoC entwickelten Verfahren berechnete Initiallösung und zweimal die Minimaldimensionierung für jeden Transistor verwendet.

Entwurfsinfrastruktur für technologieunabhängiges Analog-IP

Diese Entwicklung ermöglicht eine nahtlose Integration der symbolischen Schaltungsanalyse in den Cadence AMS-Entwurfsablauf. Das Ziel der symbolischen Analyse sind interpretierbare analytische Formeln zur Beschreibung einzelner Schaltungseigenschaften. Diese analytischen Ausdrücke können zur Suche nach Schaltungsfehlern, z. B. unerwünschtes Oszillieren (Instabilität), verwendet werden. Darüberhinaus kann die symbolische Methode zur Schaltungsoptimierung verwendet werden. Z. B. können Entwurfsalternativen untersucht werden, die auf Effekten basieren, die bereits in der integrierten Schaltung enthalten sind und lediglich verstärkt werden müssen, um die gewünschte Performanz zu erreichen. Eine Anwendung ist der Entwurf hochperformanter Verstärker durch die Bestimmung neuer Kompensationsstrategien, die auf der Pol- und Nullstellenanalyse sowie ihrer Abhängigkeit von Schaltungsparametern und automatisierten, topologischen Änderungen der Schaltung basieren. Zur Durchführung einer symbolischen Analyse werden Schaltungsdaten, wie Netzlisten, Modell- und Kleinsignalparameter, Arbeitspunktinformationen und Simulationsdaten zur symbolischen Analyse an Analog Insydes übergeben, was eine nahtlose Integration in das Cadence DFII erfordert. Der Datenfluss ist in (Abbildung 1.04) dargestellt.

Am IMMS wurden Werkzeuge zur grafischen Steuerung der symbolischen Analyse, Datenextraktion aus der Cadence Datenbank (CDB) sowie zur Formatkon-

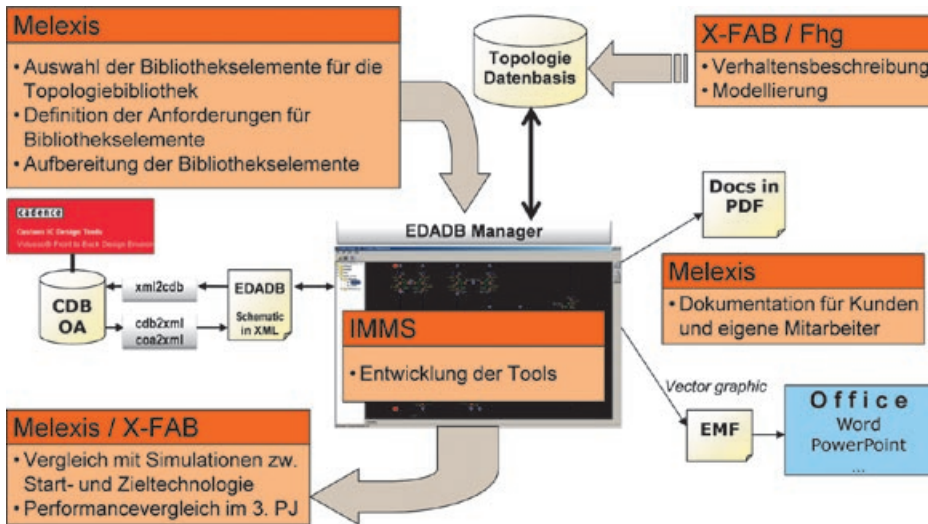


Abbildung 1.04: Integration der symbolischen Schaltungsanalyse in den Entwurfsablauf mit CDB Datenbankbearbeitungswerkzeug für Schematic und Zellen-Information

vertierung und grafischen Darstellung in diversen Graphical User Interfaces (GUI) entwickelt. Dadurch wird die Verwendung bzw. Bearbeitung der Schematics und Simulationsergebnisse in verschiedensten Formaten, z. B. Word, Powerpoint und PDF, zur Dokumentation ermöglicht (Abbildung 1.04). Diese RapidMPSoC-Entwicklungen wurden auf der CDNLive! EMEA 2009 Konferenz in München anhand eines Demonstrators vorgestellt und fand großes Interesse [12]. Künftig wird dadurch eine bidirektionale Schnittstelle zur Unterstützung für die Schaltungsmodellierung mit Backannotation in den Cadence Entwurfsablauf möglich.

Analoge Architekturen und Schnittstellen zu Mehrprozessorsystemen

An speziellen Analog/Mixed-Signal-Architekturen werden Untersuchungen durchgeführt, inwieweit bereits auf hoher, abstrakter Algorithmenebene der Aufwand und die Kosten für die spätere Implementierung abgeschätzt werden können. Ziel ist es, mit Hilfe der entwickelten Architekturen schon bei der Definition und Standardisierung der Algorithmen, Protokolle und Übertragungsverfahren die effiziente Realisierbarkeit der analogen Systemteile sicherzustellen. Dies bringt einen klaren Marktvorteil und kann die Entwurfszeit für die Spezifikation um bis zu 30 % verkürzen. Dazu wurden u. a. Network-on-Chip (NoC) Kommunikationsinfrastrukturen und Methoden zur Flächen- und Energieverbrauchsabschätzungen untersucht.

In diesem Themenkomplex ist unter anderem ein bisher einzigartiges Schnittstellenkonzept entwickelt worden, das die Mechanismen von SystemC TLM 2.0 und AUTOSAR kombiniert. Dadurch werden Hard- und Software-Entwicklung komplexer AMS-Systeme sowohl durch eine klare Schnittstellendefinition voneinander entkoppelt, was einerseits eine unabhängige Entwicklung von der Soft- als auch der Hardware, andererseits aber auch die frühzeitige Ausführung der Software auf einer zunächst virtuellen Hardware

ermöglicht, die im Verlauf der Entwicklung verfeinert wird, bis echte Hardware zur Verfügung steht.

Als weiteres großes Thema wurden NoC-Kommunikationsinfrastrukturen erforscht, da bereits heute in Mehrprozessorsystemen mit einer hohen Anzahl an Kernen, z. B. Tileras Tile64 und für bestimmte Anwendungen, z. B. für Kommunikationsanwendungen, herkömmliche On-Chip-Infrastrukturen für AMS-MPSoC nicht mehr einsetzbar sind.

NoC-Topologieuntersuchung als On-Chip Kommunikationsinfrastruktur

In RapidMPSoC wurden NoC-Topologien als Kommunikationsinfrastruktur zur Verbindung vieler AMS-IP auf einem SoC an realen Anwendungsbeispielen untersucht [18]. Zur Erforschung der Topologie wurde ein eigenes Simulationsmodell entwickelt. Die Eingabewerte für das Modell und die Netzwerktopologieevaluierung basieren auf synthetisierten Router-Architekturen, die es ermöglichen haben, den Kompromiss zwischen Flächenbedarf und maximaler Taktfrequenz zu untersuchen. Dabei wurde die Deadlock-Problematik, die durch Routing-Zyklen und Message-Abhängigkeiten auftreten kann, berücksichtigt, die von vielen anderen Veröffentlichungen zu Topologieuntersuchungen vernachlässigt wird. Durch RapidMPSoC konnte in der Simulation gezeigt werden, dass eine verbesserte, unidirektionale Ringtopologie im Vergleich zu den weiteren untersuchten Topologien (einfacher unidirektionaler Ring und „Concentrated Mesh“), die beste Performanz hinsichtlich Latenz und Chipfläche hat. Dabei konnte die Deadlock-Freiheit des Gesamtsystems garantiert werden. Die Untersuchung hat weiter gezeigt, dass eine höhere Router-Taktfrequenz aufgrund einer einfacheren Router-Architektur nicht die höhere Konnektivität einer Topologie mit komplexeren Routern kompensieren kann. Dennoch kann nicht als allgemeingültig abgeleitet werden, dass ein Netzwerk mit vielen Verbindungen immer die bessere

Wahl ist. Es muss im Einzelfall eine fundierte Entscheidung für eine Netzwerktopologie, insbesondere hinsichtlich der erforderlichen Chipfläche für die Kommunikationsinfrastruktur, getroffen werden.

Systementwurf: Flächen- und Energieverbrauchsabschätzungen auf Systemebene

Immer wichtiger für einen schnellen Entwurfserfolg wird die Möglichkeit, den Flächenbedarf sowie den Energieverbrauch eines Chips bereits in den frühen Entwurfsphasen möglichst genau abzuschätzen. Diese Möglichkeit wurde in RapidMPSoC erfolgreich weiterentwickelt [9]. Hierfür wurde das bestehende Evaluierungs-Framework „SystemQ 2.0“, in RapidMPSoC erfolgreich um die Flächen- und Energieverbrauchsabschätzungen auf Systemebene erweitert. Vor RapidMPSoC konnten bereits Performanzmetriken, wie Durchsatz-, Latenz- und Ressourcenauslastung, berechnet werden. Grundlage für die Flächen- und Energieverbrauchsabschätzungen sind eine große Anzahl an synthetisierten und physikalisch implementierten Schaltungen. Aus diesen Daten wurden Formeln abgeleitet und in SystemQ integriert. In einer Fallstudie wurde die Flächen- und Energieverbrauchsabschätzung an der komplexen XB07 System-on-Chip (SoC)-Crossbar-Kommunikationsstruktur erforscht [23].

Jede Crossbar Sub-Komponente wird mit 10 bis 25 HDL-Generics mit unterschiedlichem Einfluss auf den Flächenbedarf parametrisiert. Die Größe eines Crossbar variiert erheblich in Abhängigkeit von der verwendeten Standardzellenbibliothek und der Betriebsfrequenz. Daher wurde jede Crossbar-Komponente untersucht und jeweils Pgeneric, Pbibliothek und Pfrequenz berechnet. Der Gesamtflächenbedarf des Crossbar wird dann als Summe der Flächen aller Sub-Komponenten berechnet. Für eine Komponente ist der Einfluss der Bibliothek auf die Fläche ähnlich für unterschiedliche HDL-Generic-Einstellungen. Jedoch ist der Frequenzeinfluss auf die Fläche bei unterschiedlichen HDL-Generic-Einstellungen erheblich.

Die Energieverbrauchsabschätzung wird von den gleichen Faktoren, wie die Flächenabschätzung, wie HDL-Generics, Bibliotheken und Frequenz, beeinflusst. Aber im Gegensatz zur Flächenabschätzung ist der Energieverbrauch ein dynamischer Effekt, der von der Schaltungsaktivität abhängt. Auf Systemebene kann die Aktivität einer Crossbar-Infrastruktur in unterschiedlichen Transaktionstypen, wie Lesekommando, Schreibkommando, Daten lesen und Daten schreiben klassifiziert werden. Sogar unter gleichen Einstellungen unterscheidet sich der Energieverbrauch zwischen den unterschiedlichen Transaktionstypen erheblich. Daher wurde neben den Wirkungen von HDL-Generics, Bibliotheken und Frequenz auch die Auswirkung der unterschiedlichen Transaktionstypen auf den Energieverbrauch jeder Crossbar-Komponente untersucht.

Bei einem Vergleich der Daten auf Transistorebene mit den SystemQ-Abschätzungen auf Systemebene konnte gezeigt werden, dass der Fehler bei der Flächenabschätzung für einzelne Komponenten nur bis zu 6,3 % beträgt. Das komplette System wurde mit zwei Standardzellenbibliotheken getestet, hier lag der Fehler zwischen 17 % und 28,1 %. Der Fehler bei der Energieverbrauchsabschätzung einzelner Komponenten lag bei 11,5 %.

SystemC-AMS Standardisierung

In enger Kooperation mit dem IKT 2020 Projekt AutoSUN (Förderkennzeichen 01M3178) wurde die Standardisierung von SystemC-AMS entscheidend vorangetrieben. Im Zusammenhang mit diesen Arbeiten wurde einem Mitarbeiter des Fraunhofer Institut IIS/EAS der EDA Achievement Award 2008 verliehen [6]. Durch die neue Beschreibungssprache SystemC-AMS wird die durchgängige Modellierung und effiziente Simulation komplexer integrierter Schaltungen einschließlich ihrer Umgebung möglich. Diese Fähigkeit ist das wesentliche Bindeglied zwischen den Themenbereichen Entwurf und Verifikation von komplexen AMS-Systemen, wie sie in RapidMPSoC adressiert werden.



Abbildung 1.05: RapidMPSoC Gruppenbild der Projektpartner zur 2. Begutachtung am 24.11.2009

Systemverifikation: AMS-Simulation mit SABER, Spice und SystemC

SystemC ist ein diskreter Ereignissimulator, der es Entwicklern ermöglicht, komplexe Entwürfe auf unterschiedlichen Abstraktionsebenen zu modellieren. Zur Verbesserung der Genauigkeit kann SystemC mit spezialisierten Simulatoren gekoppelt werden. In RapidMP-SoC wurde ein Konzept zur losen Simulatorkopplung zwischen spezialisierten Analog-Simulatoren und SystemC erarbeitet [10, 11]. Die Vorteile sind eine höhere Simulationsperformanz und die größere Flexibilität. An einem Entwurfsbeispiel wurde SystemC sowohl mit SABER als auch mit SwitcherCad [11] verbunden. Dadurch können die Vorteile der losen gegenüber der engen Kopplung demonstriert werden.

Eine lose Kopplung kann auf einfache Weise mit vielen Simulatoren hergestellt werden, da der Slave-Simulator lediglich in der Lage sein muss, Netzlisten zu verarbeiten und den internen Simulatorstatus zu laden und zu speichern. Durch das zeitweise Abschalten der genaueren Analogsimulation bei ausreichender Genauigkeit auf einer höheren Abstraktionsebene, kann durch die Reduzierung der Synchronisationspunkte die Gesamtsimulation drastisch beschleunigt werden. Durch die Speicherung der Simulationsergebnisse zusammen mit dem internen Simulatorzustand und den Zeitmarken in einer Datei, können diese Ergebnisse für aufeinanderfolgende Simulationsläufe wiederverwendet werden.

Bestätigung von SystemC AMS als Highlight für die Systemverifikation

Dank der Ergebnisse des Förderprojektes RapidMP-SoC im ersten Projektjahr konnte bei Infineon die Entwicklung für einen neuen Chip aus Asien zurück nach Europa (München und Villach) verlagert werden. Hier konnte je nach Anwendung eine bis zu 1000-fache Simulationsbeschleunigung des Gesamtsystems erreicht werden. Durch die im Projekt entwickelten Simulationsmethoden auf Systemebene kann das korrekte Zusammenspiel von Analog- und Digitalbauteilen frühzeitig sichergestellt werden. Somit konnte die aufwändige Verifikationsphase deutlich reduziert geplant werden, die bislang eine Verlagerung in Billiglohnländer erforderte. Aufgrund ihres hohen Ausbildungsstandes und dank der Zusammenarbeit mit Fraunhofer-IIS/EAS haben die Entwickler in Deutschland und Österreich einen Vorsprung beim Umgang mit auf SystemC-AMS basierenden Entwicklungstools. Das gab den Ausschlag für die Entscheidung zurück nach Europa zu kommen [7].

Veröffentlichungen und Pressearbeit

RapidMPSoC war bisher mit 13 Veröffentlichungen bei namenhaften Workshops und Konferenzen in den acht Ländern Deutschland, Frankreich, Griechenland, Großbritannien, Italien, Niederlande, Tunesien und den USA vertreten. In der breiten Öffentlichkeit wurde RapidMP-SoC durch 5 Pressemitteilungen wahrgenommen. Weitere Veröffentlichungen sind eingereicht und geplant.

Strategien zur Initialdimensionierung von analogen Schaltungen, Boos (IMMS), ANALOG ,08 in Siegen, Deutschland, 2.4.08

IMMS Arbeiten, Ulicna (IMMS), Boos (IMMS), edaWorkshop08, Poster in Hannover, Deutschland, 6.5.08

IFX, Fraunhofer-IIS/EAS und TUM-LIS Arbeiten, Sonntag (IFX), Lankes (TUM-LIS), Wild (TUM-LIS), Einwich (Fraunhofer-IIS/EAS), edaWorkshop08, Poster in Hannover, Deutschland, 6.5.08

Pressemitteilung: BMBF fördert die Forschung zur Beschleunigung des Analog-Mixed-Signal-Entwurfs mit 5,2 Millionen Euro, edacentrum, 11.6.08

Pressemitteilung: SystemC-AMS – Das Highlight für den Systementwurf, Karsten Einwich (Fraunhofer-IIS/EAS), <http://www.pressebox.de/pressemitteilungen/fraunhofer-institut-fuer-integrierte-schaltungen-iis-1/boxid-220189.html>, 20.11.08

Pressemitteilung: edaForum08: Verleihung des EDA Achievement Award 2008 an Karsten Einwich, edacentrum, Hannover, 18.12.08

Pressemitteilung: Bestätigung von SystemC AMS als Highlight, Fraunhofer Institut für Integrierte Schaltungen (IIS/EAS), Dresden, Deutschland, 1.2.09

Pressemitteilung: SystemC-AMS – Highlight für den Analog-Digital-Schaltungsentwurf auf Electronic System Level, GMM VDE/VDI-Gesellschaft Mikroelektronik, Mikro- und Feinwerktechnik, Mechatronik 3/2009, 1.3.09

Area and Power Consumption Estimations at System Level with SystemQ 2.0, Sonntag, Wenjian Wang (IFX), 2nd International Conference on Simulation Tools and Techniques (SIMUTools'09) in Rom, Italien, 4.3.09

Analogue Mixed Signal Simulation Using Spice and SystemC, Kirchner, Bannow (RB), Grimm (TU-Wien), DATE'09: Proceedings of the Conference on Design, Automation and Test in Europe in Nizza, Frankreich, 21.4.09

Integrated Analog-Digital HW/SW Co-Design, Bannow, Kirchner, Lutz (RB), edaWorkshop09 in Dresden, Deutschland, 12.5.09

Poster: Gaining Insight into Analog Circuit Behavior – Tools and Extensions to Cadence DFII, Boos, Sommer, Hennig (IMMS), CDNLive! EMEA 2009 Conference in München, Deutschland, 18.5.09

SystemC AMS for the Design of Complex Analog Mixed Signal SoC's, Einwich (Fraunhofer-IIS/EAS), NASCUG North American SystemC User's Group in San Francisco, USA, 27.7.09

Hierarchical NoCs for Optimized Access to Shared Memory and IO Resources, Lankes (TUM-LIS), Thomas Wild, Andreas Herkersdorf, Euromicro Conference on Digital System Design (DSD 2009) in Patras, Griechenland, 27.8.09

Tutorial: Introduction to SystemC-AMS and the Prototype Simulator, Einwich (Fraunhofer-IIS/EAS), Barnasconi (NXP), Vachoux (EPFL), Grimm (TU-Wien), Tutorial 19th International Workshop on Power and Timing Modeling, Optimization and Simulation PATMOS 2009 in Delft, Niederlande, 8.9.09

Tutorial Application of SystemC-AMS, Einwich (Fraunhofer-IIS/EAS), 19th International Workshop on Power and Timing Modeling, Optimization and Simulation PATMOS 2009 in Delft, Niederlande, 9.9.09

Tutorial: Introduction to the SystemC AMS DRAFT standard, Einwich (Fraunhofer-IIS/EAS), Barnasconi (NXP), Vachoux (EPFL), Grimm (TU-Wien), SOCC 2009 IEEE International SoC Conference, Invited Tutorial in Belfast, Nordirland, 11.9.09

Quellen

NoC Topology Exploration for Mobile Multimedia Applications, Lankes, Herkersdorf (TUM-LIS), Sonntag (IFX), Reinig, The 16th IEEE International Conference on Electronics, Circuits and Systems in Hammamet, Tunesien, 14.12.09

„An Efficient DC Root Solving Algorithm with Guaranteed Convergence for Analog Integrated CMOS Circuits, Leyn et. al., ICCAD, 1998

Kont@kt (RapidMPSoC):

Dr. Andreas Vörg
(Projektmanagement)
edacentrum GmbH
Schneiderberg 32
30167 Hannover
fon: (05 11) 7 62 – 1 96 86
voerg@edacentrum.de

An Algorithm to Compact a VLSI Symbolic Layout with Mixed Constraints, Liao, Wong, 20th Design Automation Conference, 1983

Reuse-orientierter Analogschaltungsentwurf mit automatischer Dimensionierung und Ausbeuteoptimierung, Sommer et. al., ANALOG '03, 2003

WiCkeD, www.muneda.com

XB07: A highly reusable crossbar architecture for multiprocessor system on chip (MPSOC), Sonntag, Reinig, Linz, Pitter und Ruh-

wandl (IFX), IP Based Electronic System Conference (IP07) S. 307–311, Dez. 2007

Das Projekt RapidMPSoC (Förderkennzeichen: 01 M 3085) wird im Rahmen von IKT 2020 vom Bundesministerium für Bildung und Forschung (BMBF) gefördert.

Das edacentrum unterstützt Infineon beim Projektmanagement.



Der Weg zum dreidimensionalen Entwurf gestapelter Nanoelektronik

Das 5. Clusterforschungsprojekt verfolgt das Ziel, den Übergang zum industriellen 3D-Entwurfsprozess vorzubereiten

Hochintegrierte Nanoelektronik-Systeme ermöglichen in vielen Anwendungsfeldern durch intelligente Regelung die Einsparung von Ressourcen und Kosten. Hier stößt der 2-dimensionale Entwurf von Chips an seine Grenzen. Um das Potenzial der Nanoelektronik noch vielfältiger zu nutzen, erforscht das 5. Clusterforschungsprojekt den dreidimensionalen Entwurf von gestapelten Chips. Nicht die Nutzung klassischer Ansätze bei gestapelten Systemen sondern die Erforschung einer Entwurfsmethodik zur dreidimensionalen Integration für IKT-Systeme in einem industriellen Umfeld in 5–10 Jahren ist das Ziel dieses Projekts. Dazu werden Forschungen im Bereich der Entwurfsmethodik und der Schaltungsgenerierung, aber auch auf dem Gebiet der applikationsspezifischen Technologieplanung, der Analyse und des Testens dreidimensionaler Schaltungen zusammengeführt. Dieser Artikel stellt die Motivation des Konsortium auf dem Weg zu einer Vorhabenbeschreibung dar.

Stellen Sie sich vor, ...

... Sie stellen Ihre Waschmaschine morgens vor dem Weg zur Arbeit so ein, dass Ihre Windkraftanlage die Energie der angekündigten Windböen am Nachmittag für den Waschgang nutzt. Sollte noch zusätzlich Energie zur Verfügung stehen, soll der Elektroroller geladen werden. Am Abend nehmen Sie die Wäsche aus der Maschine und stellen fest, dass auch noch genug elektrische Energie zur Trocknung umgewandelt wurde. In diesem Szenario sehen wir einen neuen Umgang mit Energie und geben einen Einblick, wie sich unser Umgang mit Energie verändern kann. So können Sie beispielsweise selbst bestimmen, welcher Energieverbraucher zu einem bestimmten Zeitpunkt mit welcher Energieerzeugung kombiniert werden kann. Um nicht jedes Gerät individuell einzustellen, geben Sie dazu Ihr gewünschtes Energieprofil ein und eine intelligente Steuerung berechnet die optimale Konfiguration Ihrer elektrischen Geräte. Sollten Sie verreisen, bieten Sie Ihre regenerativen Energieerzeuger und -speicher im Stromnetz der Zukunft an.

Viele Experten sind sich einig, ...

... dass die Auswirkungen des Klimawandels in den nächsten Jahren große Herausforderungen mit sich bringen werden. Vor wenigen Jahren wurde das erste 3-Liter-Auto in der Presse gefeiert. Jetzt wird das

Elektroauto intensiv diskutiert, wodurch sich ein neues Unterscheidungsmerkmal beim Auto etabliert hat, an dem sich die Produkte messen lassen können: der CO₂-Verbrauch. Am 09.11.2009 meldete der Spiegel „Rekordtag: Spanien deckt 53 Prozent des Strombedarfs mit Windenergie“. Es gibt mittlerweile eine große Bereitschaft in der Bevölkerung, Energie einzusparen und in klimaschonende Systeme zu investieren, was auch durch massive Dämmmaßnahmen bei Gebäuden zu erkennen ist.

Doch wie kann jeder einzelne Bürger ...

... in seinem Haushalt mit der Vielzahl an elektronischen Geräten nachhaltig Energie sparen? Verschärft wird diese Situation durch lokale und zeitlich sehr schwankende Energieerzeuger, wie beispielsweise die Photovoltaik oder auch Windgeneratoren. Heutige Steuerungsmöglichkeiten sind mit dem heterogenen Energieverbrauch und den zusätzlichen vielfältigen Möglichkeiten der Speicherung und dezentralen Erzeugung schlicht überfordert. Das Verkaufsverbot von 100 Watt Glühlampen zog eine intensive Diskussion über die umweltschädliche quecksilberhaltige Produktion aktueller Energiesparlampen und die begrenzte Wirkung von Verboten nach sich. Das Energieeinsparpotenzial, durch die Harmonisierung des Verbrauchs, der Speicherung und der Erzeugung im Einklang mit