

LEONIDAS:

Leitbahnorientiertes Design

applikationsspezifischer Schaltungen

Die technische Entwicklung von Systemen in Nanotechnologie führt zu neuen Herausforderungen: Konnten noch vor ein paar Jahren die parasitären Eigenschaften von Leitungen vernachlässigt werden, so können diese heute das Verhalten der Schaltung dominieren. Dafür sorgen die drastisch steigenden Leitungslängen auf hochintegrierten Chips. Das kann soweit führen, dass nach bestehenden Regeln korrekt entworfene Schaltungen nicht funktionsfähig sind. Es kommt zu Re-Designs, die erhebliche Kosten verursachen, und das Erreichen der angestrebten technischen Ziele sehr erschweren.

Das im Rahmen des BMBF-Förderschwerpunktes EkompasS angesiedelte Projekt LEONIDAS wendet sich genau dieser Problematik zu. Sein Ziel ist die Entwicklung eines Entwurfsablaufes, bei dem nicht nur die aktiven Bauelemente, also die Transistoren, das alleinige Ziel der Designoptimierung darstellen. Stattdessen sollen mit dem neuen Paradigma des „Leitbahnorientierten Designs applikationsspezifischer Schaltungen“ auch die bisher als nur parasitär modellierten Leitbahnen mit in diesen Prozess aufgenommen werden. Damit werden sie gleichgewichtig neben die aktiven Bauelemente behandelt. Dieses Ziel erfordert die Verbesserung der Modellierung und der Extraktion der notwendigen Leitbahnparameter, die überdies unter völlig anderen Randbedingungen gewonnen werden müssen. Außerdem müssen an vielen anderen Stellen des Entwurfsablaufs neue Lösungen entwickelt werden, so dass ein Entwurfsablauf entsteht, der in einem einzigen Zug ein Layout generiert, welches den Performancevorgaben aus der Spezifikation genügt. Dadurch wird beim Entwurf keine einzige Iteration mehr benötigt und die Zahl der Re-Designs wird deutlich reduziert oder gar ganz beseitigt.

Es ist dazu erforderlich, die Qualität von Verifikation und Entwurf wesentlich zu verbessern, so dass die Vorhersagbarkeit der physikalischen Eigenschaften eines Designs bereits in einem sehr frühen Stadium mit hoher Genauigkeit gesichert ist. Neue Formen der Leitbahnanalyse erhöhen die Zuverlässigkeit des Layoutentwurfs, dessen Automatisierung der Effizienzerhöhung dient, da der Entwurf letztlich auf einer höheren Abstraktionsebene ausgeführt wird. So ist nicht mehr der detaillierte Aufbau der Leitbahnen für den Designer von Bedeutung; das Wie kann ihm durch die automatisierte Erstellung von Constraints und Layout erleichtert oder sogar abgenommen werden.

Dem Projektkonsortium LEONIDAS gehören führende System- und Halbleiterhäuser sowie Forschungsinstitute an ([siehe links](#)). Die Projektarbeiten wurden am 1.4.2002 begonnen und enden zum 31.3.2004. Der Gesamtaufwand für die Durchführung der Arbeiten beläuft sich auf 67 Personenjahre.

Technische Projekthinhalte

Zur Erreichung der globalen Ziele des Projekts stehen die nachstehend aufgeführten technischen und wissenschaftlichen Themen im Zentrum der Arbeiten:

- » Erstellung von Designrichtlinien, die den Entwurf optimal leistungsfähiger und robuster Schaltungen im Hinblick auf die Leitbahneigenschaften sicherstellen
- » Erforschung von Methoden zur effizienten Behandlung von Prozessschwankungen und lithografiebedingten Änderungen der Leitbahnstrukturen auf dem gefertigten Chip gegenüber der Designdatenbasis
- » Verbesserung von Modellierung und Extraktion mit der Betonung auf einem geeigneten Kompromiss zwischen Simulationsaufwänden und -genauigkeit
- » Konsistente Definition und Behandlung von Constraints im Designablauf
- » Entwicklung von neuartigen Layoutgenerierungswerkzeugen zur Platzierung und Verdrahtung, die eine explizite Berücksichtigung der parasitären Leitbahneigenschaften erlauben
- » Verbesserung eines Design-for-Test-Flows, so dass kapazitive Kopplungen und „Bridging Faults“ behandelt werden können
- » Entwicklung einer leitbahnzentrierten Entwicklungsmethodik, die den Entwurf des Verdrahtungssystems als neues „Bauelement“ in den Mittelpunkt der Betrachtung stellt

Die Projektarbeit konzentriert sich im Wesentlichen auf Anwendungen aus der Automobilelektronik, der drahtlosen Kommunikation (Bluetooth) und der DRAM-Speicherentwicklung. Dabei werden die entwickelten neuen Methoden und Werkzeuge an Entwürfen aus der industriellen Praxis erprobt. Die thematischen Schwerpunkte werden in 3 Arbeitspaketen bearbeitet, deren Ziele im Folgenden näher beschrieben werden.

Zusammensetzung des Projektkonsortiums:

Partner:

- » Atmel Germany GmbH
- » Robert Bosch GmbH
- » Cadence Design Systems GmbH
- » PDF Solutions GmbH - aiss Division
- » Philips Semiconductors GmbH
- » Universität Hannover, IMS
- » Synopsys GmbH

Unterauftragnehmer:

- » IFH Osnabrück, ITI / NATI
- » Redemund & Thiede Datentechnik GmbH
- » Universität Hannover, LFI
- » Universität Ulm

Arbeitspaket 1:**Modellierung, Extraktion und Simulation**

In diesem Arbeitspaket kooperieren Bosch, Infineon, PDF Solutions, Philips und das IMS bei der Erforschung und Entwicklung neuer Ansätze zur Modellierung und Extraktion von parasitären Effekten der Leitbahnen (Leitbahnparasiten). Des Weiteren werden Ansätze zu verbesserten Verfahren der Empfindlichkeitsanalyse in der Simulation erforscht.

Die Wahl des Modells und der Extraktionsmethode hängt im Wesentlichen von der Problemstellung ab. Während zum Beispiel bisher der Einfluss der Schaltungen auf die Signaleigenschaften der zu entwerfenden Leitungen relativ gering war, muss inzwischen unterschieden werden, ob die Leitungen für eine Digital-, eine Analog- oder eine Mixed-Signal Schaltung entworfen werden. Die Signaleigenschaften dieser Schaltungen unterscheiden sich unter anderem durch ihre Bandbreite, so dass die extrahierten Modelle nur für bestimmte relevante Frequenzbereiche Gültigkeit besitzen.

Um die Anforderungen hinsichtlich der zu übertragenden Frequenzen zu erfüllen, wird untersucht, ob Induktivitäten in der Leitungsmodellierung mitberücksichtigt werden müssen. Hierbei definieren die spezifischen Applikationsgebiete der Partner die konkreten Randbedingungen. Da die Extraktion von Induktivitäten die Datenmenge und damit auch die Simulationszeit erheblich vergrößert, sollte sie auf solche Netze beschränkt werden, für die sie notwendig ist. Die Identifizierung der „kritischen“ Teilnetze erfolgt durch eine Empfindlichkeitsanalyse auf der Grundlage grob extrahierter Leitungsmodelle.

Bei diesen Arbeiten darf die für moderne Sub- μ -Technologien wichtige Problematik der zwischen Entwurf und Realisierung in Silizium zur Optimierung stattfindenden Layoutmanipulationen und unvermeidbarer Prozessschwankungen nicht vernachlässigt werden. Diese verändern in teilweise dramatischer Wirkung die Gestalt der Leitbahnen gegenüber dem Layout mit deutlichen Auswirkungen auf die Parasiten. Bei einer Extraktion müssen solche layoutabhängigen Vorgänge folglich in geeigneter Weise mitberücksichtigt werden. Hierzu werden geeignete Verfahren entwickelt.

Schlussendlich werden, basierend auf der genauen Extraktion kritischer Layoutstellen, Richtlinien für die Layoutgenerierung abgeleitet, die als Vorgabe für Verdrahtungswerkzeuge dienen. Dieser Arbeit geht eine genaue geometrische Modellierung kritischer Layoutstellen voraus und wird unter besonderer Berücksichtigung des Herstellungsprozesses im Hinblick auf Skalierbarkeit durchgeführt. Das Ziel ist ein Prototyp eines Analysewerkzeuges, das kritische Layoutgebiete ermittelt und klassifiziert.

Ein weiteres Thema ist, Werkzeuge zur Generierung von Testpattern zu erweitern, damit detaillierte Informationen aus dem Layout der Leitbahnen mit berücksichtigt werden können. Effizienz und Genauigkeit des Testens lassen sich damit dramatisch verbessern, da so erstmals die Informationen aus dem Layout zur Lokalisierung möglicher Fehlerquellen herangezogen werden können. Zu diesem Thema gibt es eine enge Zusammenarbeit mit dem Projekt „AZTEKE“.

Arbeitspaket 2:**Generierung und Berücksichtigung von verdrahtungsbezogenen Constraints in Layoutwerkzeugen**

Die Anordnung der Bauelemente und Leitbahnen im Layout bestimmt die Funktionalität einer integrierten Schaltung wesentlich und erfordert die Definition von Constraints für die Layouterstellung. Solche Constraints resultieren aus den Erfahrungen des Schaltungsdesigners und sind Teil der Schaltungsentwicklung, können aber zum Teil auch automatisch erzeugt werden.

Infineon erarbeitet das Konzept für ein Constraint-Management, das von den anderen Partnern durch Beschreibung der typischerweise verwendeten Constraints und mit entsprechenden Erweiterungsvorschlägen getestet wird: Dabei wird eine vom Design-System unabhängige Datenhaltung für Constraints spezifiziert, die aus einer Datenbasis für Constraint-Deklarationen und den eigentlichen Constraint-Daten besteht. Die Constraint-Deklaration bietet die Möglichkeit, die in der Entwurfsumgebung vorkommenden Constraint-Typen und deren Datenstruktur formal zu beschreiben. Dies erlaubt einen einfachen Vergleich und Austausch der Constraint-Typen zwischen den Projektpartnern. Darüber hinaus kann aus der Constraint-Deklaration automatisch die Dokumentation abgeleitet werden, was die Konsistenz beider Elemente sicherstellt. Da dieses Thema auch für die Wiederverwendung von Blöcken eine Rolle spielt, wird hier mit dem Projekt „ANASTASIA+“ zusammengearbeitet.

Nicht nur die Verschiedenartigkeit der Constraints, sondern auch deren Berücksichtigung in den automatischen Layoutwerkzeugen stellt eine große Herausforderung dar. Bisher werden in einem Entwurfsschritt nur wenige Constraints berücksichtigt, was in späteren Entwurfsschritten die Einhaltung der übrigen Constraints unmöglich machen kann. Hier ist es notwendig, neue Denkansätze zu erforschen, z. B. Alternativen zu der bisher sequentiell durchgeführten Platzierung und Verdrahtung zu finden. Mit der automatischen Berücksichtigung der Constraints lässt sich die Qualität im Vergleich zum manuellen Layout verbessern, da eine Vielzahl von Constraints gleichzeitig berücksichtigt werden kann. Zur automatischen Berücksichtigung müssen zum einen Modulgeneratoren entwickelt werden, die parasitäre Effekte beim Leitungsgenerieren berücksichtigen bzw. minimieren, und zum anderen existierende Platzierungs- und Verdrahtungswerkzeuge entsprechend gesteuert

oder modifiziert werden. Außerdem wird untersucht, wie die abschließende Kompaktierung eines Layouts beeinflusst werden kann.

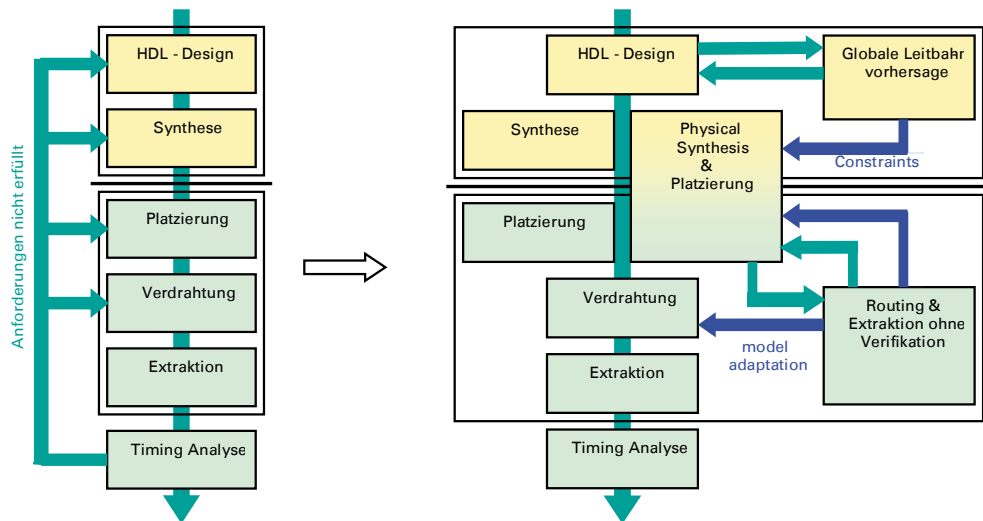
Des Weiteren wird für Mixed Signal- und Analog-schaltungen eine Methodik zur IR-Drop Analyse auf Transistorebene erarbeitet. Die so ermittelten Randbedingungen dienen auch als Constraints für automatische Layoutwerkzeuge.

Die Generierung von Design for Testability (DFT-) Strukturen im Layout unter automatischer Berücksichtigung der Verdrahtungseigenschaften soll durch LEONIDAS ebenfalls verbessert werden. Das Ziel ist, die Pattern-generierung nach der endgültigen DFT-Verdrahtung entbehrlich zu machen und durch eine einfache Fehlersimulation zu ersetzen. Der Aufwand für das Testen kann damit stark reduziert werden, was die Fertigstellung des Entwurfs wesentlich beschleunigen wird. Darüber hinaus wird die notwendige DFT-Hardware Insertion und DFT-Verdrahtung für Layout und Timing von Clocktree und Clocksystem hinsichtlich der Leitbahneigenschaften optimiert durchgeführt.

weitere essentielle Constraints enthalten. Darunter sind z.B. detaillierte Informationen über die Strombelastung der verschiedenen Netze (eventuell mit der Belastungsdauer) zu verstehen, die bei der Kontaktierung und Dimensionierung der Leitbahnen beachtet werden müssen, um den Zuverlässigkeitsansprüchen zu genügen. Dies gilt insbesondere für solche Designs, in denen die Dimensionen äußerst klein sind (z.B. DRAMs) oder in denen sehr hohe Ströme fließen können (z.B. Automotive). Andererseits werden bei den zu erwartenden höheren Frequenzen die Induktivitäten auf dem Chip immer wichtiger und müssen in einen entsprechenden Designablauf, der „fit for the future“ sein soll, schon heute integriert werden. Die konkrete Problemstellung der Extraktion und Berücksichtigung der Induktivitäten wird in diesem Arbeitspaket von der Methodikseite adressiert, wobei auf Teilergebnisse aus dem Arbeitspaket 1 zurückgegriffen wird.

Die Universität Hannover untersucht einen weit in die Zukunft weisenden Ansatz zur kombinierten Synthese, Platzierung und Verdrahtung von aktiven Bauelementen und Leitungen. Die Leitungen werden dazu aus einzelnen, vorcharakterisierten Elementen aufgebaut und gleichbe-

Abbildung 2:
Geplante Verbesserungen des Entwurfsablaufs durch frühzeitige Berücksichtigung der Leitbahneigenschaften in LEONIDAS



Arbeitspaket 3:

Leitbahnzentrierte Entwurfsmethodik

Aufbauend auf den bereits beschriebenen Arbeiten werden in diesem Arbeitspaket Methoden entwickelt, die den Designer zu einem „first-time-right“ Entwurf führen, indem eine Vorhersage der späteren Layouteffekte ermöglicht wird bzw. Layout-Constraints erstellt und in der Methodik geeignet berücksichtigt werden. Verschiedene Anwendungsbereiche stellen unterschiedliche Forderungen an das Designsystem; dieses muss also anwendungsspezifisch adaptiert bzw. entwickelt werden. Gemeinsame Strategie ist der leitbahnzentrierte Entwicklungsprozess (s. Abbildung 2).

Die zu entwickelnden Methoden müssen nicht nur in der Hinsicht flexibel gestaltet sein, dass sie die Integration der Parasiten in verschiedenen Genauigkeitsstufen ermöglichen, sondern sie müssen auch Hinweise auf

rechtigt mit den aktiven Bauelementen zu einem Layout synthetisiert. Dies ist ein Ansatz, der ganz klar die Verdrahtung mit gleicher Wichtigkeit behandelt wie die entworfenen Bauelemente und schließlich zu einem Layout führen soll, das „correct-by-construction“ ist.

Bislang erzielte Ergebnisse

LEONIDAS hat mit den bisher durchgeführten Arbeiten die notwendige Grundlagenarbeit zum leitbahnzentrierten Entwurf geleistet. Dabei wurden und werden hervorragende Ergebnisse erzielt, deren großes Potential schon durch erste Erprobungen an industriellen Designs gezeigt werden konnten. Da der Schwerpunkt der Arbeiten auf der Entwicklung neuartiger Methoden und Werkzeuge lag, werden diese zunächst im Wesentlichen für kleinere Schaltungen ausgelegt und an Beispielen aus der industriellen Praxis erprobt. Im Folgenden werden die Aktivitäten und Ergebnisse der Partner im Projekt genauer beschrieben.

Berichte von den Partnern

» Atmel Germany GmbH

Atmel hat sich, zusammen mit dem IMS der Universität Hannover, zum Ziel gesetzt, einen parasiten-symmetrischen Verdrahter zu entwickeln. Die vom Verdrahter zu berücksichtigenden Constraints wurden entsprechend den Vorgaben von Infineon in der XML-Beschreibungssprache deklariert. Erweiterungsvorschläge hierzu wurden von Infineon umgesetzt. Sobald das Constraint-Management zur Verfügung steht, wird der Verdrahter die definierten Constraints direkt aus der Constraint-Datenbasis lesen. Für diesen Verdrahter wurden neuartige Konzepte entwickelt und die entwickelten Algorithmen im Hinblick auf den Einsatz in der Praxis diskutiert. Die ersten Module für den Verdrahter ermöglichen eine Wegesuche. Zum Test der implementierten Algorithmen werden Layout-Beispiele aus der Praxis bearbeitet, die manuell erstellt und auf Parasiten in Bezug auf Symmetrien optimiert wurden, um so eine Bewertung und Optimierung der Algorithmen vornehmen zu können.

Ein weiteres Ziel von Atmel ist die Entwicklung eines leitbahnzentrierten Design-Flows, der speziell für den Telekommunikationsbereich optimiert ist. Dazu wurden Untersuchungen zum Einsatz der physikalischen Synthese gemacht. Im Wesentlichen hat sich dabei gezeigt, dass eine relativ genaue Abschätzung von Leitungsdelays bereits während der Synthese möglich ist. Hierfür wird eine Iteration im Designflow benötigt, um Modellparameter von Verbindungsleitungen designspezifisch anzupassen. Bei einem Vergleich mit der herkömmlichen Logiksynthese hat sich gezeigt, dass der Einsatz physikalischer Synthese für kritische und sehr große Designblöcke sinnvoll ist.

Um eine Verzahnung von Schaltungsentwicklung und Layout bezüglich der Berücksichtigung parasitärer Effekte in Verbindungsstrukturen zu erreichen, wurde ein neuartiges Konzept zur Erweiterung der Vorgehensweise erarbeitet. Im Speziellen werden Top-Level-Busstrukturen betrachtet, wobei die Busleitungen parallel verdrahtet werden, um die Abschätzbarkeit der physikalischen Struktur zu erhöhen. Auf der Basis von Bibliotheken soll eine Abschätzung der Busperformance zu einem frühen Zeitpunkt, also bereits während des Top-Level-Designs, möglich werden bzw. sollen Anforderungen an einen Bus definiert werden. Dies ermöglicht die frühzeitige Erkennung von Problemen in der physikalischen Realisierung globaler Kommunikationsstrukturen in komplexen integrierten Systemen. Eine Problemlösung durch schaltungstechnische Maßnahmen wird ermöglicht.

» Robert Bosch GmbH

Im Rahmen der Arbeiten zu LEONIDAS hat sich Bosch zum Ziel gesetzt, einen optimierten Extraktionsflow für die Anwendung in der Automobilelektronik zu entwickeln.

Hierzu wurde zunächst mit Hilfe von Teststrukturen die Gültigkeit von einfachen Extraktionsformeln überprüft. Dabei stellte sich heraus, dass diese die gestiegenen Anforderungen der neuen bei Bosch eingesetzten Technologien nicht mehr erfüllen. Es müssen Fieldsolver-basierte Extraktionsverfahren eingesetzt werden.

Ein weiteres grundlegendes Problem bei der Postlayout-Simulation, dass der Umfang der Netzlisten durch die darin enthaltenen parasitären Bauelemente enorm anwächst und damit der Simulationsaufwand schnell unakzeptable Ausmaße annimmt, wurde ebenfalls näher untersucht. Der Ansatz, die zu extrahierenden Parasiten über einen schaltungsabhängigen Regelsatz zu definieren, führte nicht zu der angestrebten Reduktion der Parasiten, da sich die dominierenden Leitbahneinflüsse meist nicht auf eine signifikante Teilmenge der Netze beschränken lassen. Basierend auf diesen Erkenntnissen wurde ein Pflichtenheft für eine skriptbasierte Extraktionsumgebung erarbeitet, die eine Eliminierung von nicht relevanten Parasiten ermöglichen soll. Die weiteren Arbeiten in diesem Zusammenhang werden in Zusammenarbeit mit Cadence durchgeführt.

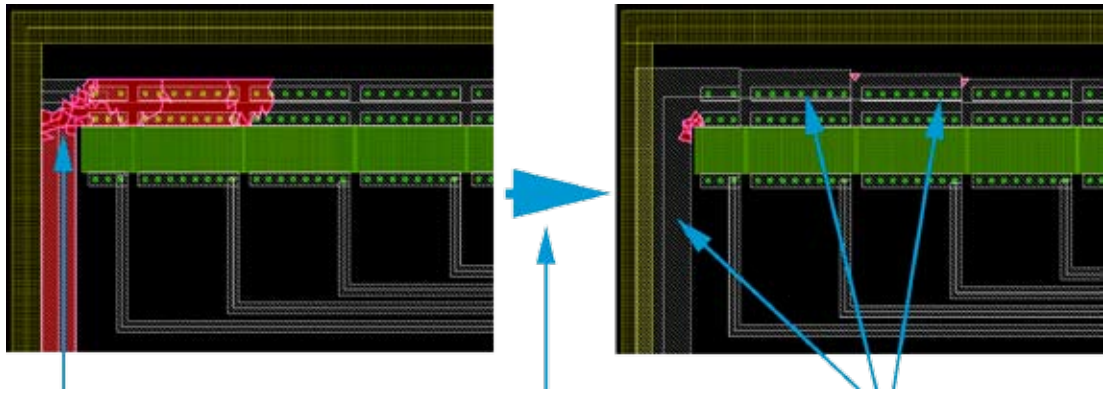
Ein weiteres wichtiges Arbeitsgebiet für Bosch ist die stromgetriebene, constraint-gesteuerte Verdrahtung. Hierzu wurden zwei verschiedene, sich ergänzende Ansätze zur stromgeführten Verdrahtung entwickelt, die auf dem gemeinsam mit Atmel, Infineon und dem IMS definierten Constraint-Management aufbauen. Beide Ansätze, die stromgeführte Dekompaktierung und die stromgeführte Verdrahtungsplanung, werden derzeit erforscht und sollen nach Ende des Projekts in den regulären Designfluss überführt werden. Die stromgeführte Dekompaktierung wird durch eine symbolische Verdrahtung mit einer minimalen Leitbahnweite realisiert, die mit Hilfe der Constraints und einem Layoutwerkzeug (CAMBIO) in einem zweiten Teilschritt an die Strombelastung angepasst wird. Dazu wird eine Überprüfung des Layouts hinsichtlich der Stromtragfähigkeit der Leitbahnen durchgeführt. Die Stromwerte an den einzelnen Pins sollen mit Hilfe des Constraint-Managements erfasst werden. Der zweite Ansatz basiert ebenfalls auf den Stromwerten der einzelnen Pins. Diese werden während einer Verdrahtungsplanung ausgewertet und die Topologie der Leitbahnen wird entsprechend festgelegt. So werden die Leitbahnen bereits mit der richtigen Weite ausgeführt (Correct by Construction). Dieser Ansatz versagt jedoch z. B. bei fehlender Verdrahtungsfläche. Durch eine anschließende stromgeführte Dekompaktierung (1. Ansatz) wird sichergestellt, dass die Stromdichte nicht zu hoch wird ([Beispiel s. Abbildung 3](#)).

» Cadence Design Systems GmbH

Die Arbeiten von Cadence in diesem Projekt zielen auf die Bereitstellung einer Methodik zur Behandlung

Abbildung 3:

Constraintverletzung,
Stromdichteverifikation,
Querschnittanpassung.

**Constraintverletzung:**

Nicht ausreichender Querschnitt

Stromdichteverifikation:

Bestimmung des nötigen Querschnitts und
Zurückschreiben der Stromdichte an die Leitungs-
abschnitte

Querschnittanpassung:

Dekompaktierung der kritischen
Leitungsabschnitte entsprechend der
zurück geschriebenen Vorgaben

von Induktivitäten im Designablauf. Bisher wurden dazu in Zusammenarbeit mit Bosch und Infineon Untersuchungen der neuen Extraktionsmöglichkeiten in Bezug auf Genauigkeit und deren Aufsetzen für eine Prozesstechnologie durchgeführt. Dazu wurden ausführliche Vergleiche mit elektromagnetischen Feldsimulationen und Messungen durchgeführt. Neben der Validierung neuer Algorithmen und Technologien ist deren Bereitstellung im Entwurfsflow entscheidend. Hierzu werden entsprechende Guidelines und Teststrukturen entwickelt, die die korrekte Einbindung in ein Design-Kit ermöglichen.

» Infineon Technologies AG

Die Ziele von Infineon im Rahmen dieses Projekts betreffen alle Arbeitspakete: So wurden Untersuchungen zu dem Einfluss von Induktivitäten auf die Leitbahneigenschaften durchgeführt, die an den speziellen Anforderungen der Speichertechnologien ausgerichtet waren. Hier konnte festgestellt werden, dass sich Induktivitäten stark auf die Crosstalk-Problematik auswirken, während die Verzögerung auf den Leitungen nur unwesentlich betroffen ist. Der kapazitive Crosstalk wird in seiner Wirkung durch die induktiven Eigenschaften der Leitungen noch verstärkt, so dass höhere Sicherheitsmargen als bisher bekannt vorgehalten werden müssen.

Ein weiteres Ziel ist die Entwicklung einer Methodik zur gezielten Behandlung relevanter Parasiten. Während mit einer schnellen, aber ungenauen Extraktion sichergestellt werden kann, dass keine problematischen Bereiche übersehen werden, ist mit einer Empfindlichkeitsanalyse im Analogsimulator eine mehrstufige Extraktion der wirklich relevanten Parasiten möglich, dies allerdings mit hohem Aufwand. Hierzu wurde ein Konzept entwickelt.

Zur Erfassung der Einflüsse zufälliger Prozessschwankungen, die bei der Herstellung von Chips in Nanotechnologien unvermeidlich sind, wurde eine

neuartige semi-analytische Methode entwickelt. Sie erlaubt eine quantitative Analyse der Fluktuationen von Leitbahnkoeffizienten anhand zweidimensionaler Schnitte durch typische repräsentative Busstrukturen. Gegenüber den bisher verwendeten Monte-Carlo-Rechnungen wurde eine Beschleunigung um zwei Größenordnungen erreicht, die die praktische Anwendbarkeit überhaupt erst gestattet. Im Rahmen ihres Gültigkeitsbereichs ermöglicht sie eine quantitative Berechnung der Variationen der parasitären Kapazitäten und Widerstände in der Busleitung und weiterer, abgeleiteter Größen, beispielsweise der Verzögerungszeitkonstanten. Querschnittsrechnungen für eine repräsentative Zahl von Bus-Konfigurationen wurden für eine aktuelle Speichertechnologie zur Erprobung der Methodik durchgeführt (Beispiele s. Abbildung 4).

Die erzielten Ergebnisse sind ein notwendiger Baustein zur Ableitung optimierter Designregeln für Busstrukturen mit maximaler Schwankungs-Robustheit und zur Entwicklung von effizienten Monte-Carlo-Analogsimulationen, die die Schwankungen der Leitbahnparameter bei der Timing-Verifikation berücksichtigen sollen. In einem weiteren Schwerpunkt wurde ein Verfahren zur einheitlichen und durchgängigen Behandlung von Constraints in einem Full-Custom-Entwurfsablauf entwickelt. Dabei konzentrierten sich die Arbeiten zunächst auf die Definition eines allgemein verwendbaren Constraintmodells. Dies wurde in enger Zusammenarbeit mit Atmel, Bosch und dem IMS durchgeführt. Des Weiteren wurde ein Verfahren zur Datenhaltung der Constraints beschrieben, mit dessen Hilfe der Entwurfsablauf optimiert werden kann, da den beteiligten Designwerkzeugen, wie dem Platzierer oder Verdrahter, die sie betreffenden Informationen nunmehr sehr einfach und vor allem koordiniert zur Verfügung gestellt werden können.

Um den Designablauf für den Entwurf von Speicherbausteinen hinsichtlich der Leitbahnen transparent zu

gestalten, wurde ein Konzept entwickelt, den

Entwurfsablauf flexibler und leistungsfähiger zu gestalten. Die Grundidee liegt darin, die gewollten Bauelemente wie die Transistoren klar von den parasitären zu trennen. Zur Automatisierung dieses Ablaufs sind erste Versionen der neuen Werkzeuge entwickelt worden, so dass bereits Tests des gesamten Ablaufs mit gutem Erfolg durchgeführt werden konnten.

Zur Optimierung von Leitbahnbreiten für integrierte Schaltungen in Automotive-Anwendungen sowie zur Verifikation eines erstellten Layouts integrierter Smart-Power-Bausteine wurde das Programm „MeLiDim“ entwickelt, welches den Designablauf um die notwendigen leitbahnzentrierten Fähigkeiten ergänzt. Dieses Programm gestattet die Dimensionierung der Leitbahnbreite und von Kontakten zwischen den verschiedenen Leitbahnebenen und basiert auf den experimentellen Daten der Lebensdaueruntersuchungen. Diese Ergebnisse werden auf die für das zu entwickelnde Produkt relevanten Werte für Betriebstemperatur, Produktlebensdauer sowie angestrebte Ausfallrate umgerechnet und führen damit zu einer Verbesserung der Produktzuverlässigkeit. Ein weiterer Schritt in der Layout-Verifikation besteht in der automatischen Extraktion von Leitbahnen mit zu hoher oder zu niedriger Strombelastung. Der erste Fall führt zu Einbußen in der Produktlebensdauer bzw. Zuverlässigkeit, der zweite Fall führt zu überhöhtem Flächenverbrauch und damit zu hohen Produktkosten. Ein in Verilog-A geschriebenes Leitbahn-Modell für die Layoutverifikation wurde erweitert, um auch bei transienten Strombelastungen von Leitbahnen eine Überschreitung zulässiger Maximalströme detektieren zu können.

» PDF Solutions GmbH – aiss Division

Im Vordergrund der Arbeiten bei PDF Solutions stand eine erste Implementierung von Algorithmen zur Bestimmung und Extraktion von kritischen Layoutgebieten. Die Arbeiten wurden auf Grundlage der PDF Analysewerkzeuge MANUEVER und OPTISSIMO durchgeführt und zielen auf eine Verbesserung der Ausbeute bei der Fertigung. Ausgehend vom Chiplayout wurde die Siliziumebene unter Einbeziehung der Herstellungsprozesse modelliert und kritische Strukturverformungen, die sich durch den Herstellungsprozess ergeben, extrahiert, analysiert und bewertet, mit dem Ziel, eine Abschätzung über die sich daraus ableitende Chipausbeute geben zu können. Eine gute Übereinstimmung zwischen der prozessierten und modellierten Siliziumebene wurde anhand zahlreicher Waferdurchläufe im Rahmen von Kundenprojekten nachgewiesen.

» Philips Semiconductors GmbH

Philips entwickelte ein EDA-Werkzeug, das die Extraktion von benachbarten Leitbahnen mit den speziellen Testmuster-generator- und Fehlerlokalisationsanforderungen innerhalb eines Layers unter Berücksichtigung von Nachbarlängen und Leitungsabständen ermöglicht. Der Prototyp des Programms „CatBridge“ ist in der Lage, mögliche Bridges (Kurzschlüsse zwischen Leitungen) aus dem Layout zu extrahieren und diese in aufbereiteter Form dem Fehlerlokalisierungsprogramm zur Verfügung zu stellen. Sowohl die Validierung an einem Testbeispiel als auch die Überprüfung an einer realen Schaltung waren erfolgreich und haben alle möglichen kritischen Stellen zwischen benachbarten Leitbahnen innerhalb eines Layers identifizieren können. Die Arbeiten an der Erweiterung der Software auf mehrere Layer in hierarchischen Layouts haben begonnen.

Des Weiteren wurde zur Entwicklung eines Layout und Timing basierenden DFT-Verdrahtungsalgorith-

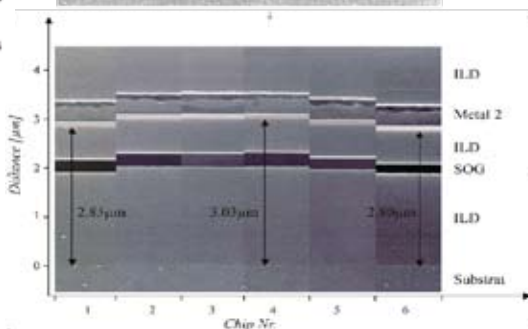
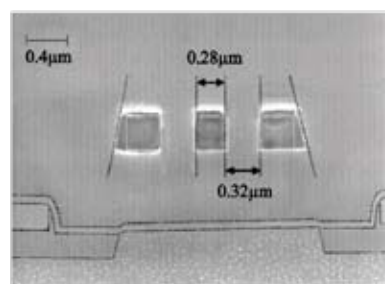
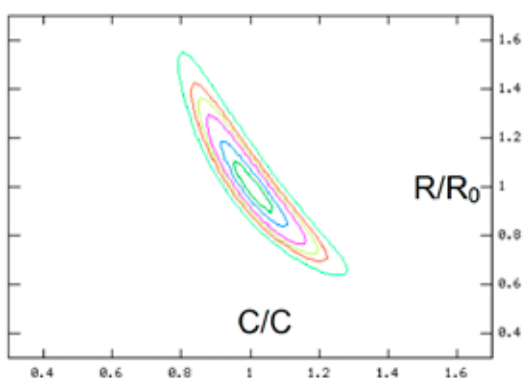


Abbildung 4 (links):

Semi-analytische Näherung, die die Verteilung von R und C für eine Busstruktur zeigt

Abbildung 4 (rechts):

Querschnitt durch Teststrukturen, die Lithografie- und Schwingungseinflüsse zeigen

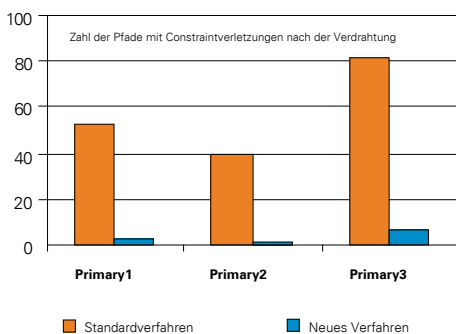
mus ein neuer Design- und Testflow erstellt. Dieser vermeidet eine zusätzliche Testmustererzeugung nach der Neuordnung der DFT-Strukturen. Der neue Flow verknüpft dabei das weiterentwickelte Programm InScan (zur Verdrahtung von Prüfketten) von Philips und PKS von Cadence. Mit InScan wird die originale Netzliste in eine testbare Netzliste umgebaut und notwendige Hardware eingefügt, die noch nicht Layout-optimiert ist. PKS unterstützt dabei die Timing-abhängige Platzierung der Schaltungselemente. Durch die Parallelisierung der Prüfkettenoptimierung und der Testpattern-Erzeugung konnte der zeitliche Durchlauf dieses Flows deutlich verkürzt werden. Eine nachfolgende Mustererzeugung nach der Optimierung des Timings ist dadurch nicht mehr notwendig. Es findet lediglich eine auf die Timing-Anforderungen der Schaltung angepasste Umsortierung der Testmuster statt.

» **Universität Hannover, IMS**

Ziel der Arbeiten des IMS der Universität Hannover ist die Entwicklung eines völlig neuartigen leitbahnzentrierten Design-Flows, der die physikalische Synthese durch die gleichzeitige Behandlung von Platzierung und Verdrahtung sowohl für die aktiven Bauelemente als auch die Leitbahnstrukturen wesentlich verbessert. Für die Layoutgenerierung wurde ein spezieller kräftegesteuerter Platzierungsalgorithmus neu entwickelt. Zur Untersuchung der Qualität der erzielten Platzierungen wurden fünf Benchmark-Schaltungen aus der MCNC – Benchmarksuite mit der Größe zwischen 1.000 und 12.000 Zellen platziert. Dabei hat sich gezeigt, dass der neue Platzierer die Länge von langen und kritischen Pfaden reduziert, während gleichzeitig die Länge der kurzen Pfade ansteigt (**Abbildung 5**)

Abbildung 5:

Die neue leitbahnzentrierte Layoutsynthese im Vergleich mit konventionellen Ansätzen



Design	Primary1	Primary2	Biomed
#Zellen	752	2.902	6.417
#Netze	904	3029	5742
#Pins	2941	11226	21040

Die Reduktion der Länge von langen und kritischen Pfaden leistet einen wichtigen Beitrag zur Verhinderung des Timing-Closure-Problems. Des Weiteren wurde mit der Entwicklung und Implementierung eines bibliotheksbasierten Verdrahters begonnen. Dazu wurde die Grundstruktur einer Leitungselemente-Bibliothek entworfen. Außerdem wurde in enger Zusammenarbeit mit Atmel an der Erforschung von Verfahren zur parasitensymmetrischen Verdrahtung gearbeitet. Zusammen mit Infineon wurde ein Werkzeug zur optimierten Erzeugung des Silicon Views erstellt. Mit dessen Hilfe können die durch die Fertigungsprozesse unvermeidlichen Strukturänderungen der Leitbahnstrukturen durch ein vereinfachtes Verfahren sehr effizient modelliert und weiteren Untersuchungen zugeführt werden.

Fazit

Die bisher in Leonidas vorgelegten Resultate erlauben erstmals, das neue Paradigma des leitbahnzentrierten Entwurfs, bei dem die Leitbahnen im Entwurf gleichberechtigt neben die aktiven Bauelemente gestellt werden, in der Praxis umzusetzen. Hierzu sind im Projekt schon beeindruckende Ergebnisse, beispielsweise für die Behandlung von leitungsbezogenen Prozessvariationen aufgrund der DfM-Problematik, oder auch für spezielle Routingverfahren, vorgelegt worden, mit denen die Zahl der Redesigns deutlich vermindert und die Qualität der Entwürfe verbessert werden können.

Die Projektpartner erwarten, die Entwurfszeit durch den Einsatz der in Leonidas entwickelten Entwurfsmethodiken um Wochen reduzieren zu können. Die vielfältigen Kooperationen, besonders hervorzuheben sind hier die engen Beziehungen zu AZTEKE und ANASTASIA+, zeigen ebenso deutlich die Wichtigkeit der in Leonidas geleisteten Arbeit.

Kontakt:

Dr. Martin Frerichs
MP PDT CS ATS
Infineon Technologies AG
Balanstr. 73
81541 München
fon: 089 234 48848
Martin.Frerichs@infineon.com

Weitere Informationen sind unter <http://www.edacentrum.de/ekompass/leonidas/> zu finden