



# LEONIDAS+: Leitbahnorientierter Entwurf applikations-spezifischer Schaltungen

Von Markus Olbrich und Irmtraud Rugen-Herzig

Durch die zunehmend komplexen Eigenschaften des Verbindungsnetzwerks auf Chips ergibt sich eine schwer beherrschbare Vielfalt von möglichen gegenseitigen Beeinflussungen, von denen sich jede einzelne kritisch gegenüber einem stabilen Betrieb auswirken kann. Das Resultat kann eine Schaltung sein, die nicht funktionsfähig ist oder zumindest nicht die gewünschte Spezifikation erreicht, obwohl alle aktuellen Entwurfsregeln korrekt berücksichtigt wurden. Die Folgen sind Redesigns und verzögerte Produkteinführungen, wodurch Kosten wachsen und Gewinnchancen schwinden. Diese Problematik zeichnete sich bereits vor mehreren Jahren ab, wodurch sich der leitbahnorientierte Entwurf zu einer zusätzlichen Kernkompetenz für den Systementwurf entwickelte.

Im Fokus des Projektes stand das Know-how zur Entwicklung von spezifischen integrierten Schaltungen für Produkte in den Bereichen Braodcast-Media (Digital Audio Broadcasting), Automotive-Anwendungen zur Erhöhung der Sicherheit (ABS) und Umweltverträglichkeit (Motorsteuerung), mobile Kommunikationstechnik (Handys), DRAM-Technologie sowie der Bildsignalverarbeitung und -übertragung für Produkte der Unterhaltungselektronik (Multimedia-PC, Displays). Die genannten Anwendungen stellen aufgrund der ständigen Verkleinerung der Strukturen und der steigenden Komplexität der Verbindungsleitungen innerhalb der Schaltungen besondere Herausforderungen bei erhöhten Anforderungen an ihre Zuverlässigkeit. Außerdem müssen die Entwicklungszeiten verringert und Test-

zeiten weiter verkürzt werden, um Marktpositionen durch frühe Produkteinführungen erhalten und Kosten einsparen zu können.

Entscheidende Faktoren sind dabei die Leitungseigenschaften: Das Leitungsdelay (Signallaufzeit auf den Leitungen) ist mittlerweile größer als das Transistor-delay. Zusätzlich nehmen die Kopplungen zwischen den Leitungen zu, weshalb sie nicht mehr unabhängig voneinander betrachtet werden dürfen. Heterogene Leitungssysteme in komplexen Mixed-Signal-Schaltungen sind außerdem im Entwurf wegen unterschiedlicher Anforderungen an die Modellierung schwer handhabbar. Weiterhin wird der Test von integrierten Schaltungen durch das Leitungsdelay erschwert.

Um den genannten Herausforderungen zu begegnen, musste die erforderliche Entwurfskompetenz deutlich erweitert bzw. teilweise erst entwickelt werden. Allgemeine Lösungen „von der Stange“, wie sie von den führenden amerikanischen EDA-Firmen angeboten wurden, waren nicht ausreichend für leitbahnzentrierte Entwurfsmethoden wegen der besonderen Schwerpunkte bei den durch die Projektpartner vertretenen Anwendungen. Daher mussten spezielle Tools und Methoden entwickelt werden, die eine gezielte Berücksichtigung der Leitbahnen im Entwurf ermöglichen.

Die Entwurfsmöglichkeit ist eine Voraussetzung für die Verfügbarkeit spezifischer SoCs für die genannten

## Zusammensetzung des Konsortiums:

### Partner:

- » Atmel Germany GmbH
- » Robert Bosch GmbH
- » Cadence Design Systems GmbH
- » Institut für Mikroelektronische Systeme, Leibniz Universität Hannover
- » Infineon Technologies AG
- » NXP Semiconductors

### Unterauftragnehmer:

- » Universität Siegen, Institut für Mikrosystemtechnik
- » TU Dresden, Institut für Feinwerktechnik und Elektronik-Design
- » TU Darmstadt, Fachgebiet Mikroelektronische Systeme
- » Redemund & Thiede Datentechnik GmbH
- » Universität Ulm, Abteilung Allgemeine Elektrotechnik und Mikroelektronik
- » Qimonda AG

### Förderkennzeichen:

01 M 3074

### Projektlaufzeit:

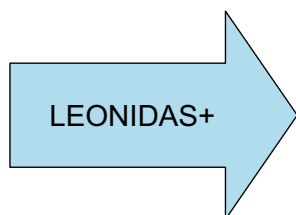
01.03.2005–28.02.2007

Steigerung der Entwurfskompetenz



Steigerung der Entwurfseffektivität

Selektive Extraktion zur Beherrschung der Komplexität
Modellierung von DSM-Effekten: X-Talk, Prozessvariationen
Constraints Mgm. und Umsetzung
Leitbahnzentrierte Place&Route-Verfahren
Leitbahnorientierter Designflow



Optimale Ausnutzung der Nanometer-Technologien
Kürzere Designzeiten durch weniger Designzyklen
Entwürfe von Chips mit hoher Zuverlässigkeit
Hohe Designproduktivität

Abbildung 1.12: Projektziele von LEONIDAS+

Anwendungen. Dieser Wettbewerbsvorteil sichert den Industriestandort. Daher haben die Forschungsarbeiten unmittelbaren volkswirtschaftlichen Nutzen und sichern Arbeitsplätze. Um in Deutschland die Kompetenz zum leitbahnorientierten Entwurf in den genannten Anwendungsbereichen aufzubauen, wurden durch das BMBF zwei Verbundvorhaben gefördert: LEO-NIDAS (April 2002 bis März 2004) und LEONIDAS+ (März 2005 bis Februar 2007), dessen Ergebnisse hier kurz vorgestellt werden.

### Projektziele

Entscheidend war die Erkenntnis, dass die Leitbahneigenschaften nicht mehr „parasitäre“, also störende Effekte zweiter Ordnung sind, sondern bestimmende Entwurfsparameter aktueller Chips darstellen. Sie sind zentraler Entwurfsgegenstand und müssen von Beginn an auf allen Abstraktionsebenen entworfen und mit berücksichtigt werden.

Ziel dieses Projekts war es, einen solchen leitbahnzentrierten Entwurf zu ermöglichen. Die gesamte Thematik mit ihrer allgemeinen Bedeutung hat weitreichende Auswirkungen. Der begrenzte Projektumfang erforderte es allerdings, sich auf eine Reihe von Kernbereichen innerhalb der Zielanwendungen zu konzentrieren, die für sich abgeschlossen wurden. Damit wurden in benachbarten Bereichen weitere Entwicklungen angestoßen und eine nachhaltige Wirkung erzielt. Abbildung 1.12 zeigt die technischen Projektziele im Überblick.

### Highlights der Projektergebnisse

Eine wesentliche bei Leitbahnen auftretende Komplikation ist der Crosstalk, das heißt das Übersprechen von Signalen durch Kopplungen zwischen den Leitungen. In LEONIDAS+ wurden einerseits die Kopplungen über das Substrat untersucht. Dabei entstand ein Tool, das in dieser Hinsicht kritische Bereiche identifiziert und einer Analyse zuführt. Zum anderen ist der Crosstalk zwischen Leitungen relevant für das Zeitverhalten einer digitalen Schaltung. Entscheidend dabei sind die logischen Abhängigkeiten der Signale. Hierzu wurde ein Verfahren zur Abschätzung des Worst-Case-Crosstalks entwickelt. Dabei werden auch logisch unmögliche Situationen erkannt und herausgefiltert. So können unnötige „Optimierungen“ in Zukunft vermieden werden, die andere Designparameter, wie Power und Fläche verschlechtern. Zusätzlich wird die Anzahl der Optimierungsschleifen verringert, was Entwurfszeit und Kosten einspart.

Die Arbeiten zur Berücksichtigung von Prozessvariationen im Entwurf haben zu neuen Verfahren geführt, die u.a. die Berechnung von charakteristischen Verteilungsgrößen um Größenordnungen beschleunigen. Dadurch wird der Einfluss der Interconnect-Variationen nun auch für dreidimensionale Leitungsmodelle praktikabel. Diese bessere und schnellere Analyse ermöglicht Entwürfe mit einer höheren Ausbeute bei der

Herstellung und führt zu erhöhter Zuverlässigkeit der Produkte.

Im Rahmen des Projektes sind besondere Fortschritte zur Lösung der Fragestellung erzielt worden, wie eine Menge von Constraints automatisch bei der Layoutsynthese berücksichtigt werden kann. Der entwickelte parasitensymmetrische Verdrahter legt die Leitungen eines Busses simultan unter Berücksichtigung der differentiellen Widerstände, Kapazitäten und Induktivitäten. Die entstehenden Leitungsgeometrien wurden verifiziert, indem die Leitungsparameter extrahiert und auf ihre Symmetrie hin analysiert wurden. Die Verwendung des parasitensymmetrischen Verdrahters verspricht kürzere Entwicklungszeiten von HF-Schaltungen und weniger durch falsche Leitungsführung verursachte Redesigns.

In einer weiteren Arbeit zum Umgang mit Constraints ging es um die Stromdichten in Leitungen. Die Pinanschlüsse können nun im Layout automatisch stromdichtegerecht ausgeführt und die Stromdichten verifiziert werden. Zusätzlich wurde ein Floorplanner entwickelt, der eine Vielzahl von Constraints gleichzeitig berücksichtigt. Die grundlegenden Arbeiten zur Identifikation und Speicherung der wesentlichen Constraints im leitungsorientierten Layoutentwurf fanden Eingang in ein kommerzielles Tool von Cadence.

Das Layout einer Schaltung wird üblicherweise in zwei Schritte unterteilt: Erst werden die Bauelemente platziert und anschließend die Leitungen zwischen ihnen verlegt. Dieses Vorgehen kann nicht optimal sein, weil entscheidende Details der Verdrahtung auch Rückwirkung auf die Platzierung haben müssen. Ein Teil der Arbeiten konzentrierte sich daher darauf, diese strikte Trennung aufzubrechen und einen fließenden Übergang zu ermöglichen. Das Ergebnis ist ein neues Verfahren zur gleichzeitigen Platzierung und Globalverdrahtung. Außerdem wurde ein Tool zur 3D-Platzierung entwickelt, das die Delaybedingungen von Anfang an berücksichtigt. Dadurch werden Verletzungen der Timingbedingungen frühzeitig vermieden, was verkürzte Entwicklungszeiten erwarten lässt.

Die Leitungen haben auch Einfluss auf die Testbarkeit von Signalpfaden. Es wurde eine Umgebung entwickelt, die den Designer dabei unterstützt, Testpunkte an den Stellen im Signalpfad einzufügen, wo sie die Timing-Bedingungen nicht verletzen und trotzdem die Testbarkeit deutlich erhöhen. Zusätzlich verringert das Tool die Anzahl der Testmuster bei gleicher Fehlerabdeckung. Dies erhöht die Testqualität, da die gesparten Testmuster für zusätzliche Tests verwendet werden können.

Beim Schaltungsentwurf genügt es nicht, die Leitbahnen durch grobe Ersatzschaltungen aus Widerständen zu modellieren. Der entwickelte „Partielle Layoutflow“ ermöglicht es, Leitungsgeometrien während des



Abbildung 1.13: Mitarbeiter im Projekt LEONIDAS+

Schaltungsentwurfs präzise durch parametrisierbare Zellen zu beschreiben. Diese werden vor der Simulation automatisch charakterisiert, wodurch eine vollständige Integration in den Entwurfsflow gegeben ist. Die Simulationsergebnisse sind durch bessere Modellierung aussagestärker bei guter Performance. Der partielle Layoutflow verringert dadurch die Entwurfszeit und vermeidet Redesigns, die durch unvorhergesehene Auswirkungen der Leitungseigenschaften nötig wären.

#### Fazit

Während der Projektlaufzeit ist eine Vielzahl prototypischer Entwurfswerkzeuge entstanden. Diese

werden zurzeit in den Firmen in ersten Pilotprojekten erprobt. Die Fülle an Ergebnissen konnte hier nur in Ausschnitten angerissen werden. Als Ergebnis sind die Leitbahnen als wesentlicher Entwurfsgegenstand in den bearbeiteten Bereichen deutlich handhabbarer geworden. Die erfolgreichen Projektarbeiten haben zusätzlich – zu den skizzierten Ergebnissen – neue Forschungsgebiete und Förderprojekte angeregt, wie die Behandlung von Prozessvariationen in 65 nm-Technologien und darunter sowie den Constraint-geführten Entwurf. Die beteiligten Mitarbeiter (Abbildung 1.13) blicken auf ein erfolgreiches Projekt zurück.

#### Kontakt (LEONIDAS+):

**Projektkoordination:**  
Infineon Technologies AG  
Irmtraud Rugen-Herzig  
fon: (0 89) 2 34 - 2 10 46  
irmtraud.rugen-herzig  
@infineon.com

#### Projektmanagement:

Leibniz Universität  
Hannover, IMS  
Dr. Markus Olbrich  
fon: (05 11) 7 62 - 1 96 61  
markus.olbrich  
@ims.uni-hannover.de