

# LEONIDAS+: Leitbahnorientiertes Design

www.edacentrum.de/projekte

Dieser Projektbericht von Markus Olbrich entstand gestützt auf die Mitarbeit von Patrick Birrer, Martin Frerichs, Manfred Henning, Harald Kinzelbach, Klaus Koch, Jürgen Köhne, Eduard Konradi, Irmtraud Rugen-Herzig, Jürgen Schlöffel, Thomas Jambor, Göran Jerke und Patrick Wernicke

**Förderkennzeichen:**  
01 M 3074

**Laufzeit des Vorhabens:**  
01.03.2005 - 28.02.2007

Zusammensetzung  
des Projektkonsortiums

**Partner:**

- Atmel Germany GmbH <<
- Cadence Design Systems GmbH <<
- Infineon Technologies AG <<
- Philips Semiconductors GmbH <<
- Robert Bosch GmbH <<
- Universität Hannover - Institut für Mikroelektronische Systeme (IMS) <<

**Unterauftragnehmer:**

- Redemund & Thiede Datentechnik GmbH <<
- TU Darmstadt - Fachgebiet Mikroelektronische Systeme <<
- Qimonda AG (Unterauftrag in Vorbereitung) <<
- TU Dresden - IFTE <<
- Universität Siegen - IMT <<
- Universität Ulm - AEM <<

Die Entwicklung von nanoelektronischen Systemen führt zu neuen Herausforderungen: Noch vor ein paar Jahren konnten parasitäre Eigenschaften von Leitungen vernachlässigt werden, weil die Schaltzeiten von Transistoren überwogen. Heute hingegen dominieren die Leitungseigenschaften die Verzögerungszeit einer Schaltung. Dies gilt sowohl im ASIC- als auch RAM-Bereich. Im Automotive-Bereich erzwingen die gestiegenen Anforderungen an die Zuverlässigkeit der Steuerungselektronik einen verifizierbaren robusten Entwurf der Verbindungsleitungen. In der Mobilkommunikation stellen HF-Schaltungen in integrierten Mixed-Signal-Systemen erhöhte Anforderungen an die Eigenschaften der Verbindungsleitungen.

In den genannten Bereichen fehlt es zurzeit an vielen Stellen an geeigneten Entwurfssystemen und Entwurfsmethoden. Das kann so weit führen, dass nach bestehenden Regeln korrekt entworfene Schaltungen nicht funktionsfähig sind. So werden Re-Designs nötig, die erhebliche Kosten verursachen und das Erreichen der angestrebten technischen Ziele erschweren. Diese Problematik wird sich in Zukunft weiter verschärfen, so dass die Kompetenz zur Beherrschung der Leitbahneigenschaften eine Schlüsselkomponente beim Entwurf ist.

Allgemeine Lösungen „von der Stange“, wie sie von vielen amerikanischen EDA-Firmen zum Teil entwickelt werden, sind allein keine Lösung für eine leitbahnzentrierte Entwurfsmethodik. Da sich die Anwendungsschwerpunkte in Deutschland von den US-amerikanischen unterscheiden, müssen für deutsche Anwendungen spezifische Tools und Methoden entwickelt werden. Das Konsortium von LEONIDAS+ greift die Herausforderungen auf, die die Verbindungsleitungen stellen.

**Ziele**

Ziel des Projekts LEONIDAS+ ist es, einen leitbahnzentrierten Entwurf zu ermöglichen. Der große Umfang dieser Problematik erforderte eine Schwerpunktbildung im Projekt. LEONIDAS+ liefert Basisarbeiten, die für andere Ekompas-Projekte eine wichtige Grundlage darstellen. Abbildung 1.03 zeigt die Projektziele im Überblick.

Es werden Forschungsarbeiten durchgeführt, um neue Lösungen für die Extraktion, die Analyse und Modellierung der Leitbahneigenschaften zu finden. Die Vorhersagbarkeit der physikalischen Eigenschaften eines Entwurfs wird damit bereits in einem sehr frühen

**Entwurfskompetenz**

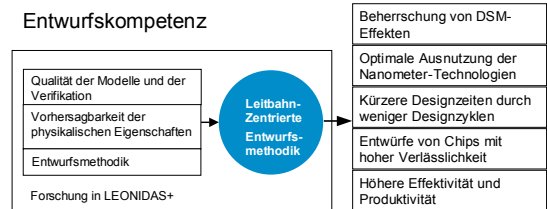


Abbildung 1.03

Stadium mit hoher Genauigkeit gewährleistet werden. Bisher sequentielle Entwurfsschritte sollen mit neuartigen Algorithmen simultan ablaufen, so dass ein fehlerfreier Erstentwurf ermöglicht wird. Durch diese Maßnahmen wird die Qualität der Verifikation und des Entwurfs wesentlich verbessert, es entstehen weniger Zyklen im Designflow und die Anzahl der Re-Designs wird reduziert.

**Projektstruktur**

Das Projekt ist in 3 Arbeitspakete und diese sind in jeweils zwei Aufgaben gegliedert. Die Aufgaben werden in verschiedenen Beiträgen einzelner Partner in thematisch enger Kooperation bearbeitet. Die Projektstruktur zeigt Abbildung 1.04:

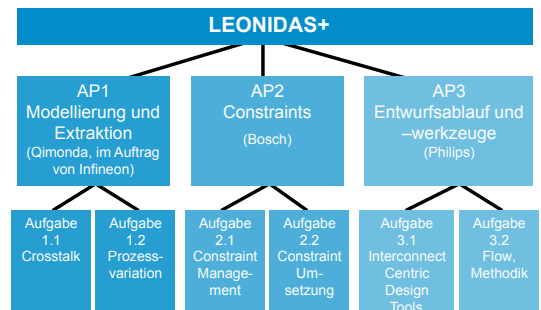


Abbildung 1.04

Anhand einiger ausgewählter Arbeitsfelder werden im Folgenden einige Themen und bisherige Ergebnisse vorgestellt.

**Crosstalk**

Eines der größten Probleme in der Timingverifikation moderner Chips liegt in der Vorhersage des möglichen Crosstalks, d.h. der unbeabsichtigten kapazitiven oder induktiven Interaktion von benachbarten Leitungen. Diese wird verursacht durch die starke Kopplungen zwischen Leitungen. Problematisch ist, dass heutige Algorithmen sehr pessimistische Ansätze bei der Abschätzung von Crosstalk verwenden. Crosstalk gefährdet die Funktion von Schaltungen, da die Signallaufzeit bei gleichzeitigem Schalten von Signalen verkürzt (Gleichtaktschalten) oder verlängert (Gegentaktschalten) werden kann. Die Folge ist ein fehler-

haftes Zeitverhalten (timing). Die Beeinflussung der Leitungen (s. Abbildung 1.05) untereinander kann zu fehlerhaften Logikzuständen führen, so dass die korrekte Funktion des Systems nicht mehr gewährleistet ist.

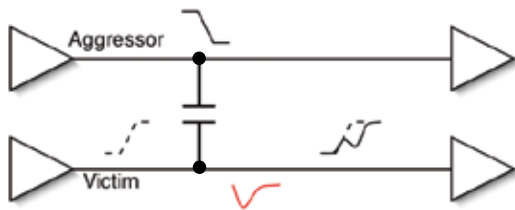


Abbildung 1.05: Aggressor / Victim Line

In zukünftigen Technologien werden Leitungsabstände weiter abnehmen und Leitungshöhen zunehmen. Dadurch werden die Möglichkeiten zur Kopplung zwischen Leitungen erhöht. Weiter werden die digitalen Zellen mit abnehmenden Betriebsspannungen empfindlicher gegenüber Crosstalk. Der Pessimismus heutiger Algorithmen rührt daher, dass diese immer den sogenannten Worst-Case annehmen. Dieser ist so festgelegt, dass alle Kopplungen koordiniert zum gleichen Zeitpunkt ihren maximalen Crosstalk einbringen — selbst wenn dies real gar nicht möglich ist. Diese Annahme rührt daher, dass kein Crosstalk größer als im Worst-Case auftreten kann. Schon heute werden dabei aber zu viele Aggressoren in zu pessimistischer Weise berücksichtigt.

Alle tatsächlich möglichen Schaltkombinationen aller Aggressoren und Victims in angemessener Zeit zu erfassen und zu analysieren ist jedoch schon bei mehr als 20 Einkopplungen auf nur ein Netz nahezu unmöglich. Für Pfade mit mehreren Netzen in Reihe oder gar für alle Netze und Pfade in einem gesamten Chip ist dies mit derzeitigen Möglichkeiten nicht lösbar.

Diese sogenannte NP-Komplexität des Problems verhindert nicht nur eine akkurate Analyse auf dem relativ abstrakten Niveau der digitalen Timing-Analyse, sondern auch in der Analogsimulation. Bereits bei nur einem Aggressor gibt es zahlreiche Möglichkeiten, dass dessen Signal mit dem des gestörten Victims korreliert. Bei zwei und mehr Aggressoren steigt die Anzahl der Kombinationen exponentiell an. Deshalb gibt es bis heute keine automatisierten Verfahren, um Referenzsimulationen für Crosstalk durchzuführen. Gerade dies ist aber nötig, um neue analytische Crosstalkmodelle zu entwickeln und die Ungenauigkeit in diesen Modellen zu verringern.

Hinzu kommt, dass heute Signale üblicherweise als lineare Rampe modelliert werden. Es ist aber nahezu unmöglich, analytisch eine äquivalente lineare Rampe für durch Crosstalk gestörte Signale herzuleiten (s. Abbildung 1.06). Neue, näher an der Physik orientierte Modelle, sind hier vonnöten. Da es sehr unwahrscheinlich ist, dass wirklich alle Aggressoren koordiniert zur gleichen Zeit auf ein Victim einwirken, sind stochas-

tische Modelle gefragt. Diese sollen zum einen dem Designer angeben, welche Netze mehr gefährdet sind als andere (also optimiert werden müssen) und wie groß die mittlere Ausfallzeit ist, bis zu der zum ersten Mal ein relevanter Crosstalk-Störfall auftritt.

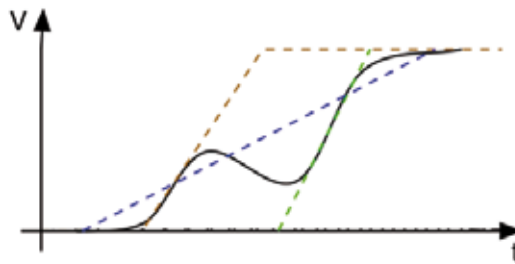


Abbildung 1.06: gestörtes Signal

In LEONIDAS+ entwickelt Infineon neue Methoden um Crosstalk zu erkennen, der keine Verzögerung bewirken kann. Wenngleich es hierfür schon prinzipielle Lösungen gibt, sind diese aufgrund der NP-Komplexität nicht breit einsetzbar. Analysen, durchgeführt im Rahmen von LEONIDAS+, zeigen, dass im Durchschnitt je nach Design 30 oder gar 50 Prozent der Aggressoren nicht „echt“ sind. Selbst wenn Crosstalk möglich ist, ist er nicht immer gleich wahrscheinlich. Um diese Wahrscheinlichkeiten, z.B. in Form von Mean Time Between Failure (MTBF)-Modellen vorherzusagen, werden neue stochastische Crosstalkmodelle entwickelt.

Um sicherzustellen, dass die entwickelten Modelle und Algorithmen auch mit der Wirklichkeit übereinstimmen, werden Test- und Messschaltkreise in Zusammenarbeit mit dem MES Darmstadt entwickelt. Die Testschaltungen werden so abgestimmt, dass sie mit großer Wahrscheinlichkeit Crosstalk in einem definierten Zeitraum und in einem definierten Stärkebereich erzeugen. Messschaltungen werden entwickelt, um eben diesen Crosstalk auszumessen. Dies geschieht einerseits indirekt, d.h. die Auswirkungen des Crosstalk (zusätzliches Delay oder falscher logischer Zustand) werden detektiert, andererseits direkt, indem die gestörten Signale oder Crosstalk Bumps hochgenau ausgemessen werden.

Durch die neuen Modelle und Methoden wird eine Reduzierung des Designaufwands um mehrere Wochen erwartet. Weiter wird es möglich, Schaltungen mit höheren Taktraten zu entwickeln. Die hochgenauen Messschaltungen werden es ermöglichen, die alten und neu entwickelten Modelle mit der Wirklichkeit abzugleichen.

### Prozessvariationen

Mit immer kleineren Strukturgrößen und immer komplexeren Schaltungsentwürfen gewinnen die Auswirkungen unvermeidlicher, zufälliger Fertigungsschwankungen immer mehr an Bedeutung. Um die technologischen Vorteile der kommenden Technologie-knoten überhaupt ausnutzen zu können, wird es daher

Abbildung 1.05:

Ein Aggressor stört einen Victim. Ein Bump (rot) ist die Folge oder das Victim-Signal wird gestört (gestrichelt vs. durchgezogene Linie).

Abbildung 1.06:

Ein gestörtes Signal (durchgezogene Linie) wird durch verschiedene lineare Rampen angenähert. Aber welche ist „richtig“?

in zunehmenden Maße wichtig, Methoden zur Verfügung zu haben, die es erlauben, Einfluss und Folgen solcher Prozessvariationen schon in einer möglichst frühen Entwurfsphase angemessen berücksichtigen zu können.

Aufgrund der Schwankungen im Herstellungsprozess variieren einerseits Größen wie die Oxid-Dicken, Gate-Längen, Dotierungskonzentrationen etc., die die Charakteristika der einzelnen Transistor-Bauelemente bestimmen. Aber auch die Dicken der Metall-Lagen und Isolator-Schichten und die Weiten und Abstände der Metallbahnen, die die einzelnen Bauelemente elektrisch verbinden, sind fertigungsbedingten Schwankungen unterworfen (s. Abbildung 1.07). Diese führen dazu, dass auch die parasitären Eigenschaften der Leitbahnen (also beispielsweise ihre Widerstände und Kapazitäten) zu variierenden Größen werden.

connect-Variationen auf das Verhalten der betrachteten Schaltung anhand von Analog-Monte-Carlo-Simulationen zu ermitteln.

Gleichzeitig entstehen in zwei anderen Projektbeiträgen (IMS Hannover und Qimonda) neue Verfahren, die Wege eröffnen, solche Monte-Carlo-Simulationen effizienter durchzuführen zu können. Zur Beschleunigung der Simulation wird im IMS-Beitrag ein Verfahren entwickelt, das „Importance Sampling“ verwendet. Die Anwendung dieses Verfahrens auf eine zweidimensionale Busstruktur zeigt ein zweistelliges „Speedup“. Der Qimonda-Beitrag wird es ermöglichen, die kritischen Leitbahnparasiten, auf deren Schwankungen die Schaltung besonders empfindlich reagiert, schon vorab zu identifizieren und die unter Umständen recht aufwendige Analyse von vornherein auf diese einzuschränken.

### Constraint-Umsetzung im Analoglayout

Beim Entwurf von integrierten Schaltungen wird die Qualität des Entwurfsergebnisses maßgeblich dadurch bestimmt, inwieweit das Ergebnis die angestrebten Optimierungsziele erreicht und alle gegebenen Entwurfsrandbedingungen (Constraints) eingehalten werden. Die Vielzahl, Komplexität und Mannigfaltigkeit möglicher Constraints, insbesondere bei analogen Schaltungen, machen deren möglichst automatische Analyse, Verarbeitung und Verifikation zunehmend wichtiger.

Im Rahmen der ersten LEONIDAS-Projektphase wurde von den Projektpartnern Atmel, Bosch und Infineon die Constraintdarstellung als Constraint-Typen für EDA-Tools definiert und für die Verwaltung in einem Constraint-Management-System vorbereitet. Diese Constraint-Typen werden im Rahmen von LEONIDAS+ kritisch untersucht, aktualisiert, erweitert und geeignet strukturiert.

Zur Analyse und Verarbeitung von beliebigen abstrahierten Constraints wird ein sog. Constraint-Engineering-System (CES) entwickelt. Das CES dient dabei nicht der Verwaltung der Constraintdaten im Sinne eines Constraint-Management-Systems, sondern ausschließlich als Fundament für eine flexible Verifikation von nahezu beliebigen Constraints (Constraint-Verifikation) und zur Bestimmung des Entwurfslösungsraumes. Die Analyse des Lösungsraumes ermöglicht neuartige Ansätze für den automatisierbaren constraint-geführten Entwurf von analogen integrierten Schaltungen. Das CES ist in der Lage, explizit oder per Regel definierte Constraints aus einer oder mehreren externen Datenquellen, wie z.B. verschiedenen Constraint-Management-Systemen von EDA-Tools, zu berücksichtigen.

Zur Darstellung dieses Konzeptes wird derzeit ein CES-Demonstrator realisiert. Mit Hilfe der genannten Entwicklungen wird eine signifikante Steigerung der

**Abbildung 1.07:**  
Querschnitt durch Teststrukturen: Schwankungen der Metall- und Isolatordicken auf einem Wafer.

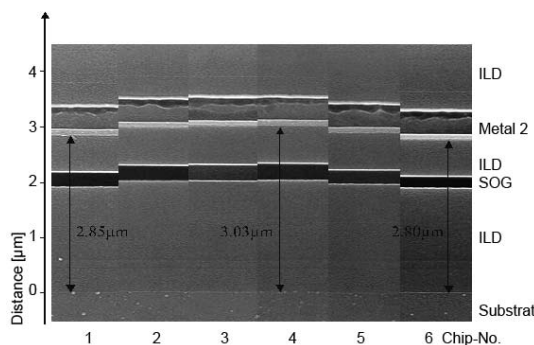


Abbildung 1.07: Querschnitt

Mit der steigenden Bedeutung der parasitären Leitbahneigenschaften auf das Gesamtverhalten der Schaltung zeigt sich verstärkt die Notwendigkeit, auch diese Variationen im Schaltungsentwurf zu berücksichtigen. Sie sind allerdings von etwas anderer Natur als die der Bauelemente selbst, da sie sehr kontext-abhängige Größen sind: Die Kapazitäten beispielsweise werden nicht nur von den lokalen technologischen Parametern bestimmt, sondern auch von der jeweiligen Netzwerkumgebung der betrachteten Bahn. Aufgrund dieses besonderen Charakters des Problems finden sich daher derzeit kaum geeignete Analysemethoden im Angebot der EDA-Industrie.

In LEONIDAS+ entwickelt Infineon neue Methoden um diese Lücke zu schließen. Aufbauend auf Resultaten der ersten LEONIDAS-Projektphase (04/2002-03/2004), in der der Einfluss solcher Schwankungen auf repräsentative zweidimensionale Leitbahnmodelle untersucht wurde, entsteht hier ein neuartiger Variations-Extraktions-Flow zur Extraktion von Interconnect-Schwankungen aus einem gegebenen „realen“ Layout.

Das Verfahren kombiniert einen geeignet gewählten Satz von Standard-RC-Extraktionen mit einem in der ersten Projektphase entwickelten semi-analytischen Linearisierungsansatz. Dadurch wird eine erweiterte Form von Netzlisten erzeugt, die alle Informationen enthalten, die notwendig sind, den Einfluss der Inter-

Entwurfssicherheit bei minimierter Chipfläche und der Wiederverwendbarkeit von analogen integrierten Schaltungen erwartet.

### Dynamische IR-Drop-Analysemethode

Durch die moderne mobile Telekommunikationstechnik werden die Leistungsaufnahme und die für den Betrieb benötigten Versorgungsspannungen integrierter Bausteine immer weiter reduziert. Dies bedeutet neue technische Anforderungen bereits im Entwicklungsstadium des Halbleiterdesigns. Bei immer weiter sinkenden Versorgungsspannungen, die bei einer 90 nm Technologie mittlerweile im Bereich von 0,8 V liegen, werden die tolerablen Bereiche für derartige Pegelschwankungen immer kleiner und der Spannungsabfall kann zum unbeabsichtigten Schalten von Transistoren führen. Bei der Power-Versorgung kann ein unerwünschter, aber in realen Schaltkreisen nicht völlig vermeidbarer Spannungsabfall (im folgenden IR-drop genannt) auftreten. Der äquivalente Effekt auf der Ground-Versorgungsleitung zeigt sich als Spannungsspitze (Ground Bounce). Beim IR-drop muss man grundsätzlich zwischen zwei Arten unterscheiden. Da ist zum Einen der statische IR-drop, welcher im eingeschwungenen Zustand der Schaltung im Mittel über die Zeit eine Variation in der Versorgungsspannung bezeichnet. Zum Anderen gibt es den dynamischen IR-drop, welcher meist sehr lokal an bestimmten Schaltungspunkten auftritt und im Normalfall um ein Vielfaches höher ist als der statische Wert, dabei aber sehr oft nur kurzzeitig auftritt. Leider können diese kurzen aber sehr hohen Spannungsspitzen bereits zum logischen Fehlverhalten der Schaltung führen und müssen besonders beachtet werden. Ein Ziel des Schaltungsentwurfs ist die Vermeidung hoher auftretender IR-drop-Werte. Um dieses Ziel zu erreichen, sind verschiedene Ansätze denkbar, wie das Einbringen geeigneter kapazitiver Zellen, um Spannungsschwankungen abfangen zu können. Diese so bezeichneten Decap-Zellen werden als „Fillerzellen“ benutzt und können elektrisch zwischen die Versorgungsspannungen angeschlossen werden. Dadurch wird die Ladung aus dem Schaltkreis bei einer auftretenden Spannungsspitze aufgenommen, bzw. bei einem Spannungseinbruch vorher aufgenommene Ladung wieder an den Schaltkreis abgegeben, um so den dynamischen IR-drop zu minimieren. Aus diesem Grund ist es eine technisch und wirtschaftlich interessante Fragestellung, den IR-drop bei platzierten „Fillerzellen“ mit Hilfe einer Simulation zu bestimmen, um so die optimale Anzahl und ebenfalls die optimale Platzierung zu bestimmen. Ziel ist es, den dynamischen IR-drop soweit kontrollieren zu können, dass er als Ursache für den Ausfall der Chips ausscheidet, gleichzeitig aber die Ausbeute nicht wieder durch „Fillerzellen“-Durchschlag begrenzt wird.

Die Grundlage dieser Entwicklung und einer späteren Platzierungsmethodik ist ein den technischen Anforderungen entsprechendes dynamisches IR-drop Tool. Somit bestand die erste Aufgabe dieses Beitrags von

Infineon darin, anhand der benötigten Funktionalität eine geeignete Software auszuwählen. Basierend auf dieser Auswahl wurden zunächst Untersuchungen auf vorhandenen realen Schaltungen gestartet, um die Größe und Stärke des auftretenden lokalen dynamischen IR-drops feststellen zu können. Die Abbildung 1.08 zeigt den dynamischen IR-drop-Verlauf des Powernetzes und den Hot-Spot innerhalb einer Schaltung bei vorgegebener Einspeisung.

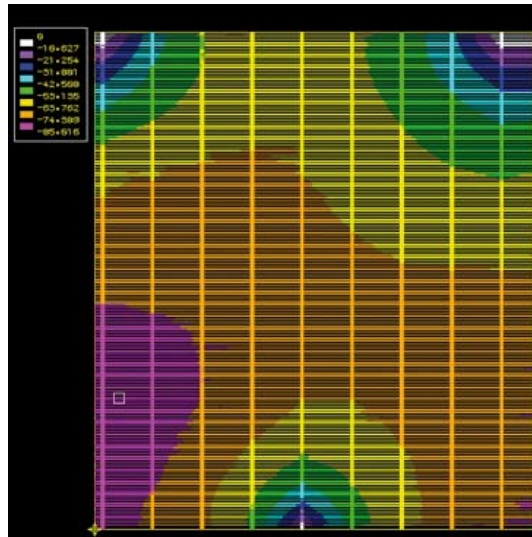


Abbildung 1.08: Hot-Spots

**Abbildung 1.08:**  
Dynamische IR-drop-Map des Powernetzes innerhalb einer Schaltung bei vorgegebener Einspeisung mit Hot-Spot.

Anschließend wurden in einem kleinen Beispiel an dem Punkt mit maximalen IR-drop (hot spot) zusätzlich verschiedene hohe Kapazitätsbeläge in die Schaltung eingebracht, um die Wirkungsweise der Decap-Zellen zu belegen. Die Ergebnisse zeigen, dass durch gezieltes Einbringen eines zusätzlichen Kapazitätsterms der lokal auftretende hohe dynamische IR-drop reduziert werden kann. Weitere Untersuchungen werden zeigen, welche Decap-Zellgrößen praktisch eingesetzt werden können. Außerdem soll eine Methodik zur automatischen Platzierung entwickelt werden.

### Parasitensymmetrisches Routing

Insbesondere bei der Verdrahtung von empfindlichen differentiellen Leitungen analoger integrierter Schaltungen spielt die Verteilung der parasitären Effekte auf den jeweiligen Netzen auf Grund der steigenden Betriebsfrequenzen eine elementare Rolle.

Im Vordergrund steht dabei die parasitensymmetrische Verdrahtung, d.h. die gleichmäßige Verteilung der parasitären Widerstände, Kapazitäten und Induktivitäten innerhalb von Leitungsgruppen. Schaltungsmaßnahmen sorgen dafür, dass der absolute Wert der Leitungsparameter keine Bedeutung hat.

Im Rahmen von LEONIDAS+ werden Forschungsarbeiten an den Verdrahtern GARA und PARSY, die eine Berücksichtigung parasitärer Effekte bereits während der Verdrahtung ermöglichen, unter Einbeziehung hoher Frequenzbereiche weitergeführt.

Die Symmetrie wird in PARSY durch gleichzeitige Verdrahtung mehrerer Netze unter Verwendung busähnlicher Leitungsstrukturen erzielt. Zusätzlich wird die Symmetrie bei der Wegesuche optimiert.

Abbildung 1.09 zeigt ein Beispiel mit vier Netzen. Die durch den notwendigen Richtungswechsel des Bündels entstehenden Längenunterschiede werden durch ein Ausgleichsmodul behoben, das überdies für eine identische Anzahl an Leitungsknicke in den einzelnen Leitungen sorgt. Die jeweiligen Leitungsstrukturen werden durch Modulgeneratoren erzeugt, um eine möglichst effiziente Verdrahtung zu gewährleisten.

Abbildung 1.09: PARSY-Verdrahtungsbeispiel

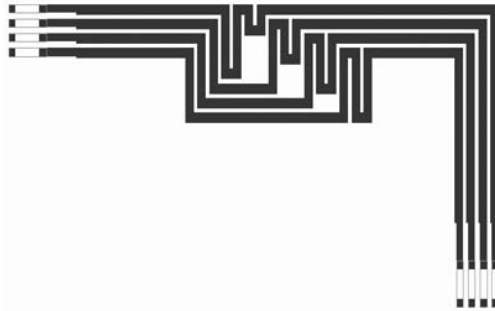


Abbildung 1.09: Parsy

Abbildung 1.10: Mixed-Signal-Designflow unter Verdrahtungsaspekten für Broadcast Media Applications.

Aktuelle Arbeiten, die in Kooperation von Atmel Germany GmbH und dem Institut für Mikroelektronische Systeme (IMS) der Universität Hannover durchgeführt werden, befassen sich mit der Verbesserung der Verdrahtungsergebnisse und der Extraktion der parasitären Effekte der Leitungsstrukturen. Dazu wurde eine Anbindung an eine OpenAccess-Datenbank implementiert, um eine herstellerunabhängige Integration der Verdrahter in den Entwurfsprozess zu ermöglichen. Mittels dieser Schnittstelle wurden Analysen durchgeführt, die die gute Eignung der Ausgleichmodule besonders bei hohen Frequenzen bestätigen.

**Mixed-Signal-Designflow unter Verdrahtungsaspekten für Broadcast-Media-Applications**

Das Ziel der Arbeiten zu diesem Thema ist die Entwicklung einer Methodik zur frühzeitigen Berücksichtigung der Leitbahneigenschaften integrierter Leitungsstrukturen im Designflow.

Im herkömmlichen Designflow findet die Modellierung von Leitungen und deren Umgebung erst nach der Zellplatzierung und der Verdrahtung statt. Somit ist auch eine genauere Betrachtung der Leitungseigenschaften bezüglich ihres Timingverhaltens nicht früher möglich. Dies führt in der Regel zu umfangreichen Iterationen während der Schaltungsentwicklung. Der Ansatz mit modifiziertem Designflow (s. Abbildung 1.10) dient der frühzeitigen Abschätzung des Timingverhaltens von kritischen Leitungen. Dies wird im Wesentlichen durch eine Definition der Leitungsumgebung und der Leitungsführung erreicht. Die Definition der Leitungsumgebung wird durch eine Zusammenfassung entsprechender Leitungen zu einem parallel verdrahteten

Leitungsbündel sowie dessen beidseitige Abschirmung realisiert. Die Verwendung einer definierten Leitungsstruktur ermöglicht eine parameterbasierte Modellierung des Leistungsverhaltens für parallel verdrahtete Leitungsstrukturen. Eine Anpassung des Modells an den jeweiligen Anwendungsfall geschieht durch eine Anpassung der Modellparameter. So kann bereits beim Floorplanning ein Verdrahtungskanal für die betrachteten Leitungen definiert werden und die Parameter der Leitungsführung können an das Modell übergeben werden. Für die Realisierbarkeitsprüfung werden Digitalsimulationen des Systems mit dem integrierten Simulationsmodell für parallel verdrahtete Leitungsstrukturen durchgeführt. Dieses Vorgehen ermöglicht eine erste Aussage über die Realisierbarkeit der Verdrahtung untersuchter Leitungen innerhalb des betrachteten Designs bereits während des Floorplannings. Eine frühzeitige Identifikation der möglichen Timing-Engpässe oder einer Verletzung der Timing-Anforderungen im Design trägt zusätzlich zur Entwurfssicherheit während der darauf folgenden Designschritte bei und verspricht eine Reduktion der notwendigen Iterationsschritte und deren Umfang während des Schaltungsdesigns.

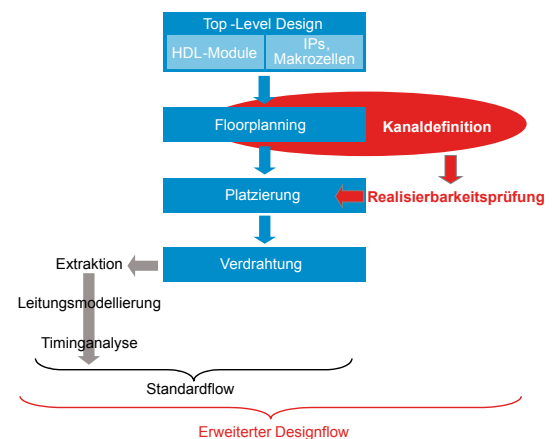


Abbildung 1.10: Designflow

Die Durchführung der Arbeiten zu diesem Thema findet in einer Zusammenarbeit zwischen Atmel Germany GmbH und der Universität Ulm statt. Zugrunde liegt ein in LEONIDAS entwickelter Ansatz zur Modifikation des Designflows für standardzellenbasierte Systeme. Die aktuellen Arbeiten konzentrieren sich auf die Implementierung der Modellierungsmethoden in ein Simulationsmodell unter Verwendung der Beschreibungssprache SystemC.

**Einfügen von spezifischen Testpunkten in DfT-Verdrahtungen unter Berücksichtigung des Timings**

Moderne Designs bestehen mehr und mehr aus vielen Clocksystemen. Bei solchen Designs mit vielen Schaltungszweigen mit unterschiedlichen Taktfolgen kommt es häufig zu Skew-Problemen, das heißt zu einer Taktverschiebung auf Grund von Laufzeitunterschieden in den verschiedenen Leitungspfaden. Dies kann dazu führen, dass ein Signal zu „spät“ oder auch zu „früh“ an einem Flipflop in der Schaltung ankommt.

Daher kann dieses Flipflop das Signal nicht mehr - oder fälschlicherweise schon - speichern und es kommt unweigerlich zu einem Informationsverlust.

Daneben werden in DSM-Schaltungen zunehmend sogenannte Testpunkte in das Design eingefügt, die zur Regulierbarkeit und Beobachtbarkeit von Signalzuständen dienen. Durch TPI (Test-Point-Insertion) kann zudem die Anzahl der Testmuster deutlich verringert und gleichzeitig die Testabdeckung erhöht werden. Solche Testpunkte bestehen aus Bauelementen, die in den Verdrahtungspfad eingebaut werden. Dadurch ergeben sich aber wiederum zusätzliche Taktverzögerungen, die zu verstärkten Geschwindigkeitsproblemen führen können.

Ziel der Arbeiten von Philips ist eine constraint-getriebene Verdrahtungsoptimierung, die eine timing-getriebene Testpunktberechnung und Implementierung in die Netzliste unterstützt (s. Abbildung 1.11). Dadurch können mögliche Laufzeitprobleme insbesondere auf sehr langen Verdrahtungsleitungen vermieden werden. Die entsprechenden Constraints sollen von einem DfT-Insertion-Tool und einem STA (Static-Timing-Analysis) Werkzeug geliefert und automatisiert bei der Berechnung der Testpunkte berücksichtigt werden. Insbesondere werden unterschiedliche Clocksysteme zu berücksichtigen sein.

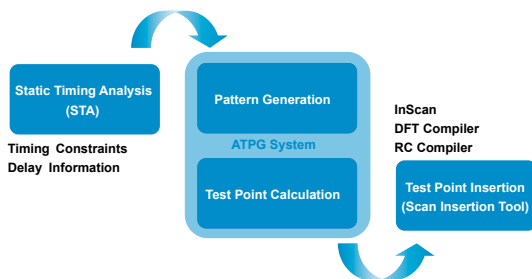


Abbildung 1.11: DFT-Flow

Der Schwerpunkt liegt auf dem Einbau von Testpunkten zur Kontrollierbarkeit und Beobachtbarkeit insbesondere in sogenannten Fan-out-Free-Regions (FFR), das sind Bereiche mit sehr vielen Eingängen und nur einem Ausgang (s. Abbildung 1.12).

Zu berücksichtigen ist, dass Testpunkte nur an den dafür erlaubten und vor allen Dingen sinnvollen Plätzen einzubauen sind. Randbedingung ist, dass solche zusätzlichen Verzögerungsglieder in Timing-kritischen Signalpfaden, z.B. sehr langen Verdrahtungsleitungen, nur unter Berücksichtigung des Gesamt-Delays der Leitungen eingebaut werden dürfen.

#### Konzept zur erweiterten RLC- Leitbahnextraktion

Durch die wachsende Komplexität, Miniaturisierung und Arbeitsfrequenzen im Gigahertz-Bereich stehen die Leitbahn- und Busstrukturen in nanoelektronischen Systemen immer mehr im Vordergrund des Entwurfsprozesses. In solchen Systemen werden die Verbindungsleitbahnen zum limitierenden Faktor für

die Schaltungs-Performance. Daher genügt es nicht mehr, die elektrischen Eigenschaften der Verbindungsleitbahnen nur als zusätzliche parasitäre Widerstände, Kapazitäten und Selbst-Induktivitäten anzusehen, sondern das Modell muss auch die Gegeninduktivitäten (Übersprechen) und ggf. Skin-, Proximity- und Substrat-Effekte mit berücksichtigen. Das Substrat lässt sich beispielsweise als RC-Gitter modellieren und kapazitiv an die Leitbahnen ankoppeln. Außerdem ist es wichtig, dass kritische Verbindungsleitbahnen oder Bussysteme bereits frühzeitig im Entwurf berücksichtigt und verifiziert werden können, um lange Iterationszyklen und Re-Designs zu vermeiden.

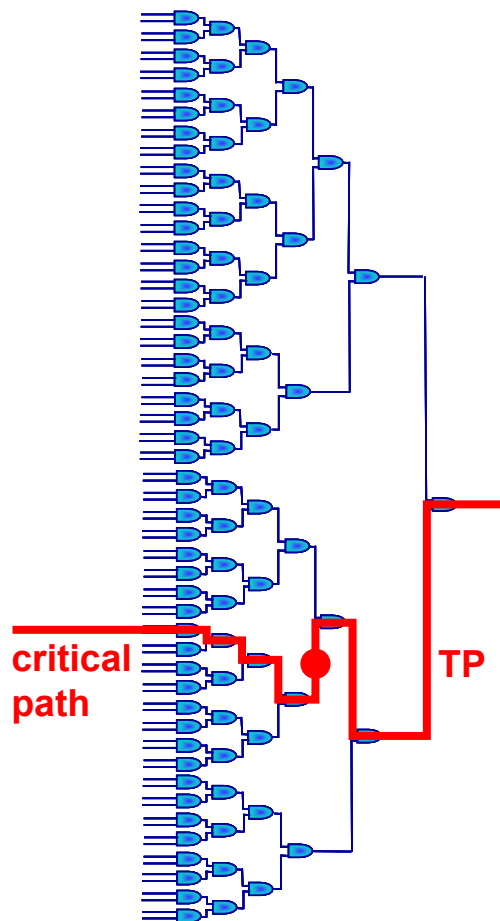
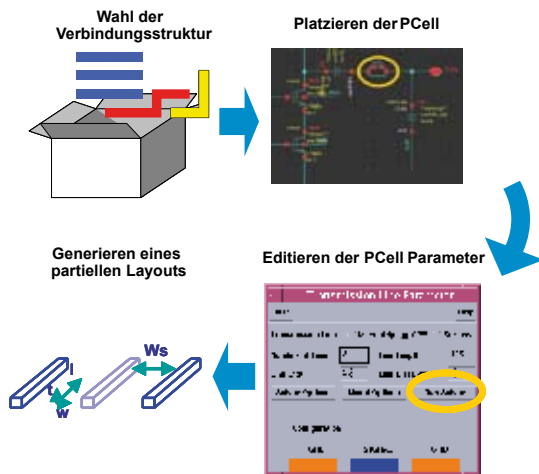


Abbildung 1.12: Gatter-Baum

In LEONIDAS+ wurde von Cadence ein leitbahnzentrierter, auf parametrisierbaren Zellen (PCells) basierender Entwurf, vorgeschlagen (s. Abbildung 1.13). Dieser erfüllt die oben genannten Anforderungen, wie die Berücksichtigung von Leitbahn- und Busstrukturen im Schematic, die Berücksichtigung von parasitären Leitbahn-Elementen, die Berücksichtigung von Skin- und Proximity-Effekt sowie Leitungsverluste durch das Substrat. Zur Validierung des Flows wurde ein einfaches Beispiel auf einem generischen Cadence-Prozess-Design-Kit (GPDK) aufgesetzt. Das PDK beinhaltet alle relevanten Daten einer generischen Technologie. Erste Simulationsergebnisse sind vielversprechend.

Abbildung 1.11:  
Design-for-Test- (DfT-) Flow

Abbildung 1.12:  
Fanout Free Region -  
Gatter-Baum mit kritischem Pfad



**Abbildung 1.13:** Leitbahnzentrierter Flow mit Cadence-Prozess-Design-Kit (GPDK)

Abbildung 1.13: leitbahnzentrierter Flow

Der Flow basiert auf einer partiellen Generierung des Layouts. Kritische Leitbahn- oder Busstrukturen (z. B. Coplanar-Struktur) stehen für den Designer in einer Bibliothek als parametrisierbare Master-Zellen zur Verfügung. Die Instanzen dieser Master-Zellen lassen sich direkt im Schematic als Symbole einfügen und beliebig mit Hilfe der GUI parametrisieren. Im Hintergrund wird jede Instanz extrahiert und die parasitären RLCK-Werte sowie HF- und Substrat-Effekte werden berechnet. Das Schematic kann dann mit den als PCells eingefügten Leitbahnstrukturen simuliert werden.

Der Flow wurde anhand eines Low-Noise-Amplifier-(LNA)-Beispiels getestet und qualifiziert. Vier kritische Leitbahnen wurden hierfür als PCells modelliert und im Schematic eingefügt. Mit dem Beispiel wurden typische LNA-Charakteristiken simuliert (z. B. Verstärkung, PSS, NF). Als Referenz ist das vollständig extrahierte Layout simuliert worden. Es konnte gezeigt werden, dass alleine durch die Verwendung der genaueren Modelle für die vier kritischsten Verbindungsstrukturen erheblich genauere Resultate erzielt werden können, ohne dass sich die Simulationszeiten stark erhöhen. Zudem können damit Leitbahnstrukturen frühzeitig im Flow berücksichtigt werden.

**Zusammenfassung**

LEONIDAS+ zeigt bereits nach einem Jahr Projektlaufzeit eine Reihe wesentlicher Ergebnisse, die für eine leitbahnzentrierte Entwurfsmethodik erforderlich sind. Erfreulich ist dabei, dass die Partner nicht nur ihre jeweiligen Einzelinteressen verfolgen, sondern mit anderen an gemeinsamen Zielen arbeiten. Der Austausch über Firmengrenzen hinweg stärkt die beteiligten Partner und damit den Standort Deutschland.

Ohne die Ergebnisse von LEONIDAS+ wären schon jetzt einige Produkt-Entwicklungen nicht möglich gewesen. LEONIDAS+ ermöglicht den deutschen Firmen den Weg in die „Leitbahn-Ära“.

Weitere Informationen zum Projekt finden Sie unter <http://leonidas-plus.ims.uni-hannover.de>.

**Projektkoordination:**  
Infineon Technologies AG  
Irmtraud Rugen-Herzig  
fon +49 89 234-21046

**Projektmanagement:**  
Universität Hannover  
Dr. Markus Olbrich  
fon +49 511 762-19661

## On-Chip Verbindungsstrukturen – Engpaß und Herausforderung beim Schaltungsentwurf

von Prof. Dr.-Ing. habil. Hartmut Grabinski

„Leitungen? Die sind nicht wichtig!“ Mit diesem Vorurteil haben nicht nur Mitarbeiter im Projekt LEONIDAS zu kämpfen. Warum die Berücksichtigung von Leitungseffekten bei zukünftigen Chipentwürfen enorm wichtig ist, beschreibt dieser Artikel.

Schon zu Beginn der Erfolgsgeschichte integrierter digitaler Schaltungen wurde mit zunehmender Arbeitsgeschwindigkeit mikroelektronischer Systeme schnell deutlich, daß die als Schaltelemente eingesetzten Transistoren keineswegs ideale Schalter repräsentierten. Vielmehr mußte das mehr und mehr dominierende analoge Verhalten von Transistoren schon beim Schaltungsentwurf berücksichtigt werden, wobei als Analysewerkzeuge Programme wie SPICE und deren Derivate eingesetzt wurden und immer noch werden. Der Einfluß der die einzelnen Schaltelemente verbindenden Leitungsstrukturen auf die Schaltungsdynamik konnte lange Zeit vernachlässigt werden. Später, als die Schaltgeschwindigkeiten weiter zunahmen, wurden die Einflüsse von Verbindungsstrukturen z.B. mit Hilfe einzelner oder auch kaskadierter RC-Glieder näherungsweise berücksichtigt. In Ermangelung besserer Verfahren ist dies auch heute noch weitgehend der Fall.

Im Vergleich zu damals hat sich die Situation jedoch dramatisch verändert: Moderne digitale Schaltungen beinhalten mehrere Millionen Transistoren, die internen

Taktraten betragen einige Gigahertz, und die Gesamtlänge der Verbindungsleitungen innerhalb moderner Prozessoren beläuft sich auf jeweils mehrere Kilometer bei bis zu etwa 10 Verdrahtungsebenen. Für die nähere Zukunft werden Gesamtleitungslängen von ca. 30 km/Schaltung bei Taktraten von einigen 10 GHz prognostiziert, aber schon jetzt kämpfen Halbleiterhersteller massiv mit den parasitären Einflüssen von Verbindungsstrukturen. Letztere haben sich inzwischen als limitierender Faktor hinsichtlich der Arbeitsgeschwindigkeit moderner Schaltungen erwiesen und dominieren deren dynamisches Verhalten. Entsprechend besteht hier dringender Handlungsbedarf beim Entwurf moderner Schaltungen.

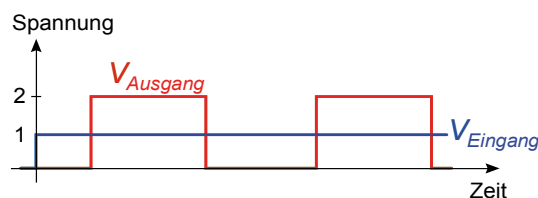


Abbildung 1.14

**Abbildung 1.14:** Leitungen verhalten sich selbstsam: Obwohl das Eingangssignal (blaue Kurve) einer idealen Leitung endlicher Länge nach dem Einschalten konstant bleibt (Einheitssprung), ist das Ausgangssignal (rote Kurve) ein Rechtecksignal doppelter Amplitude. Letzteres ist auf Reflexionen sowohl am Leitungsende als auch am Leitungseingang zurückzuführen.