



# LEMOS: Low-Power - Entwurfsmethoden für mobile Systeme

von Ralf Pferdmenges

Für die Produkte der mobilen Gesellschaft ist der Stromverbrauch ein entscheidender Wettbewerbsfaktor, so z.B. für das Handy, den MP3-Player oder das Hörgerät. Ohne Low Power-Fähigkeit ist ein Bestehen in diesen Märkten ausgeschlossen. Die stetige Verkleinerung der Chipstrukturen entsprechend Moore's Law ermöglicht zwar eine Integration von immer mehr Funktionalität auf engstem Raum, sie bedingt aber auch einen Anstieg der Energiedichte heutiger System on Chips (SoCs). Nicht zuletzt durch immer höhere Frequenzen wird nun auf einem Chip bereits die Energiedichte von Hardplatten und Raketentriebwerken erreicht. Die neuen Technologien ermöglichen Chips mit mehreren hundert Millionen Transistoren. Allerdings nimmt der Ruhestrom stark zu, wenn man keine Performanceeinbuße in Kauf nehmen möchte. Deshalb wird der Leckstrom immer kritischer und stellt zunehmend das dominante Problem dar. Das Potenzial der heutigen Technologien vollständig auszunutzen, ist aus Gründen der Verlustleistung weniger möglich denn je. Methoden der EDA bieten zwar eine Lösung, aber auch bislang bewährte Methoden zur Reduktion der Verlustleistung, wie die Reduzierung der Versorgungsspannung, stoßen hier an ihre Grenzen.

## Projektziele

Ziel von LEMOS war konsequenterweise die drastische Reduktion der Verlustleistung von SoCs bereits im Entwurf. Dabei sollte durch eine verbesserte Power-Modellierung, eine verbesserte Methodik und schließlich einen neuen „power aware“ Design-Flow die Vorhersage-Qualität bzgl. Verlustleistung gesteigert werden. Der geringere Stromverbrauch ermöglicht so verlustleistungsoptimierte oder ganz neue, innovative Produkte wie den Reifendrucksensor, dessen eingebaute Batterie die gesamte Lebensdauer des Reifens abdecken muss. Durch die gesteigerte Designsicherheit bzgl. Verlustleistung werden Re-Designs vermieden und Marktfenster zuverlässiger getroffen. Erreicht wurde dies durch verbessertes Einbeziehen der Verlustleistung im Entwurfsprozess und hauptsächlich durch:

- » frühere Berücksichtigung, d.h. auf höheren Abstraktionsebenen,
  - » höhere Genauigkeit d.h. durch bessere Modelle,
  - » bezüglich Verlustleistung verbesserte Bibliothekselemente, d.h. Bausteine für SoCs, die weniger Verlustleistung verbrauchen,
  - » verbesserte Schaltungstechniken zur Kontrolle der Verlustleistung während des Betriebs.
- Hierfür wurde in LEMOS der Verlustleistungsaspekt auf allen Entwurfsebenen betrachtet.

## Struktur des Projektes

Basierend auf einem breit ausgelegten Lösungsansatz setzte LEMOS auf allen Ebenen auf dem ganzen Spektrum vom Transistor zum Chip an (Abbildung 1.15). Das Teilprojekt 1 betrachtete die jeweiligen Komponenten wie z.B. Speicher, Busse und Taktnetze.

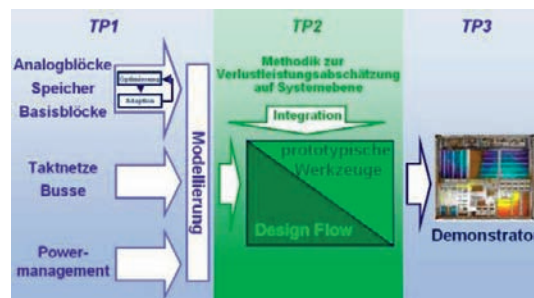


Abbildung 1.15: Struktur des Projekts

Die Erkenntnisse aus diesem Teilprojekt flossen in das zweite Teilprojekt „Methodik zur Verlustleistungsminimierung“ ein, um die erforschten Algorithmen und Methoden in einen automatisierbaren, werkzeug-gesteuerten Entwurfsfluss zu integrieren. Hierfür wurde die Power-Modellierung deutlich verbessert, um Entwurfs- und Optimierungsalternativen bewerten zu können. Die entwickelten Modelle und Methoden wurden in prototypische Werkzeuge implementiert, um abschließend mit Demonstratoren die Qualität der Ergebnisse der Teilprojekte 1+2 zu überprüfen.

## Highlights der Projektergebnisse

Zur Analyse und Optimierung der Verlustleistung wurden unterschiedliche Schaltungsstrukturen und Komponenten betrachtet. Speicher besitzen aufgrund der hohen Transistordichte einen dominanten Einfluss auf den Gesamtleckstrom der Komponente. Durch Einsatz eines neuen Sleep-Modus konnte Infineon den Ruhestrom eines SRAMs bei gleichzeitigem Erhalt der Informationen um den Faktor 10 reduzieren.

In Zusammenarbeit der Projektpartner Nokia und Bosch wurde ein Katalog analoger Grundsaltungen für Low-Power Applikationen entwickelt. Der Katalog enthält sowohl NF-Schaltungen wie Oszillator, Referenz-Stromquelle und Verstärker, als auch einen schnellen Flash-AD-Umsetzer. Dieser weist architekturbedingt eine um einen Faktor 10–20 geringere Leistungsaufnahme im Vergleich zu derzeit verfügbaren Implementierungen auf und ermöglicht zusätzliche Einsparungen durch eine adaptive Anpassung der Wortbreite.

### Zusammensetzung des Projektkonsortiums:

#### Partner:

Infineon Technologies AG <<  
Nokia Research Center <<  
Robert Bosch GmbH <<  
Catena Software GmbH <<  
ChipVision Design Systems AG <<

#### Unterauftragnehmer:

Fachhochschule Pforzheim <<  
OFFIS <<  
Ruhr-Universität Bochum <<  
Technische Universität Cottbus <<  
Technische Universität München <<  
Universität der Bundeswehr München <<

#### Förderkennzeichen:

01 M 3155

#### Laufzeit des Vorhabens:

01.11.2003–31.12.2006

Die hohe Verlustleistung durch komplexe Vernetzung von Blöcken in einem SoC mittels Bussen wurde in Zusammenarbeit mehrerer Partner untersucht. Konzepte zur Buskodierung wurden federführend von der FH Pforzheim untersucht. Eine wertvolle Erkenntnis aus diesem Arbeitspaket ist, dass eine Buskodierung in den derzeitigen Technologien aufgrund des Overheads der Kodierschaltungen nicht zu einer Reduktion der Verlustleistung führt. Die weitere Skalierung der Technologiegrößen lässt dennoch eine zukünftige Rentabilität der Kodierverfahren für kommende Technologien erwarten. Ein Kodier-Entscheider, den Infineon in Zusammenarbeit mit OFFIS entwickelt hat, kann unterschiedliche partielle Kodierverfahren vergleichen und so die beste Kodiervariante ermitteln. ChipVision erweiterte die ORINOCO -Methodik um einen verlustleistungsorientierten Verfeinerungsansatz für Kommunikationsarchitekturen von der Transaktions- zur Registertransferebene. Hierfür wurden von OFFIS Modelle für Protokoll-Primitive entwickelt.

Auf niedrigerer Ebene besteht die Herausforderung des Bus-Entwurfs in der Vermeidung von Koppelleffekten. Aus diesem Grund wurden von Nokia auf Layout-Ebene unterschiedliche Shielding-Mechanismen charakterisiert. Die entstandenen Ergebnisse wurden zu einer Entscheidungshilfe zur Auswahl geeigneter Strukturen weiterentwickelt.

Das Taktnetz eines Chips kann bis zu 40 % der Verlustleistung des gesamten Chips ausmachen. Bosch untersuchte das Clock-Gating – als eine Methode zur Verlustleistungsreduktion – bei der Logiksynthese und erstellte einen Regelsatz zur Erzeugung von Clock-Gating im VHDL-Code. ChipVision entwickelte in diesem Zusammenhang zusätzlich eine Prototyp-Anwendung zur Clock-Tree-Synthese auf System-Ebene mit unter 20 % Abweichung zur Layout-Ebene.

Zur Minimierung von Leckströmen wurde von Infineon ein Abschaltkonzept für Standardzellenblöcke mit Hilfe von verteilten Mikro-Schaltern entwickelt. Eine zweite

Methode zur Leistungsreduktion basiert auf der Auswahl von Zellen mit gleicher logischer Funktion aber unterschiedlichem Leckstrom- und Zeitverhalten. Dazu wurde die Standardzellenbibliothek um Multi-Vt-Zellsätze ergänzt und der Design-Flow so erweitert, dass die optimale Zellauswahl getroffen wird. Außerdem konnte durch eine verbesserte Charakterisierung der Zellen die Vorhersage für die Leckströme um bis zu 40 % verbessert werden.

Catena entwickelte neue Platzierungs- und Verdrahtungsalgorithmen für ein Verlustleistungs- und Timing-optimiertes Layout. Dabei werden die Zellen nach dem Prinzip „So schnell wie nötig, so verlustleistungsarm wie möglich“ ausgewählt. Mit den im Projekt LEMOS neu entwickelten Algorithmen konnte zudem eine Reduktion der Chipfläche um bis zu 40 % erreicht werden.

### Perspektiven

Nicht nur die Projektpartner sind mit den Ergebnissen äußerst zufrieden: die Gutachter titulierten das Projekt als „runde Leistung“. LEMOS wird auch nach dem offiziellen Abschluss nachwirken: Die beiden deutschen EDA-Partner haben bereits einen konkreten Fahrplan für die Produktfindung der entstandenen Software-Prototypen vorgestellt. Die produktive Nutzung der Ergebnisse durch die Partner hat teilweise schon begonnen.

Das aktuelle Ringen um Low Power-Standards wie auch die vielen Berichte in den Medien zeigen, dass das Thema Verlustleistung weiterhin wichtig bleibt. Mit Einführung von 45 und 65 nm-Technologien nimmt die Brisanz bzgl. Leckstrom weiter zu. Zukünftige Produktanforderungen als auch neue Entwicklungen wie beispielsweise System in Package (SiP) bringen neue Herausforderungen: Poweroptimierte SW-Lösungen, verbesserte Modellierung für Re-Use und Transaction Level Modelling, um nur einige zu nennen. Ein verlustleistungsbewusster Entwurf bleibt auch weiterhin eine technische Herausforderung mit sehr hoher wirtschaftlicher Relevanz.

### Kont@kt:

Ralf Pferdmerges  
Infineon Technologies AG  
fon: (0 89) 2 34 - 2 86 44  
[ralf.pferdmerges@infineon.de](mailto:ralf.pferdmerges@infineon.de)

Prof. Dr. Wolfgang Nebel  
OFFIS  
fon: (04 41) 97 22 - 2 80  
[wolfgang.nebel@offis.de](mailto:wolfgang.nebel@offis.de)



Abbildung 1.16: Projektpartner von LEMOS