



LEMOS: Low-Power - Entwurfsmethoden für mobile Systeme

www.edacentrum.de/projekte

Zusammensetzung
des Projektkonsortiums

Partner:

Infineon Technologies AG <<
Nokia Research Center <<
Robert Bosch GmbH <<
Catena Software GmbH <<
ChipVision Design Systems AG <<

Unterauftragnehmer:

Fachhochschule Pforzheim <<
OFFIS <<
Ruhr Universität Bochum <<
Technische Universität Cottbus <<
Technische Universität München <<
Universität der Bundeswehr
München <<

Förderkennzeichen:

01 M 3155

Laufzeit des Vorhabens:

01.11.2003 - 31.12.2006

Autoren dieses Beitrages:

Martin Bucker, Nokia
Klaus Damm, Bosch
Wolfgang Nebel, OFFIS
Ralf Pferdenges, Infineon
Helmut Roßmann, Catena
Werner Schiele, Infineon
Stefan Schmerbeck, ChipVision
Milan Schulte, OFFIS

Abbildung 1.03:

Entwicklung der Leistungsdichte
von Prozessoren

„Zwölf Tage Standby, 5 Stunden Sprechzeit“: Seit mehr als zehn Jahren sind Batteriebetriebsdauern eines der wichtigsten Werbeargumente der Handy-Anbieter. Dank neuer Technologien konnten diese differenzierenden Produktmerkmale verbessert werden, trotz gleichzeitig erweiterter Funktionalität der Geräte. Zukünftige Geräte werden sich durch abermals höhere Leistungsfähigkeit hervorheben. Leider werden jedoch die neuen Halbleitertechnologien nicht mehr im gewohnten Umfang eine gleichzeitige Reduktion des Energieverbrauchs bieten können. Die Gründe liegen in gestiegenen Leckströmen und einer nichtlinearen Skalierung, die zwar eine höhere Transistordichte, jedoch keine entsprechende weitere Reduktion der Versorgungsspannungen erlauben. Das Projekt LEMOS hat sich zum Ziel gesetzt, die Wertschöpfung kommender Halbleitertechnologien durch neuartige Schaltungstechniken und Entwurfsmethoden für innovative, leistungsfähige, mobile Produkte zu ermöglichen.

Der Energieverbrauch elektronischer Geräte bildet heute eine der größten Herausforderung bei der Entwicklung eingebetteter Systeme in Form von integrierter Schaltungen. Die Integration einer rasant steigenden Anzahl hochkomplexer Aufgaben auf kleinstem Raum wird durch die Verkleinerung der Strukturgröße integrierter Schaltungen ermöglicht. Dabei wird die geforderte enorme Rechenleistung zumeist durch höherfrequenter ausgeführte Schaltvorgänge erbracht. Die physikalisch bedingte Verlustleistung dieser Schaltvorgänge ist heute der begrenzende Faktor zur weiteren Erhöhung der Leistungsfähigkeit integrierter Schaltungen. Die Bedeutung dieser Problematik wird an der Leistungsdichte integrierter Schaltungen, also der Wärme pro Quadratzentimeter, die entsteht und abgeführt werden muss, besonders anschaulich deutlich. Sie übersteigt bereits heute die Leistungsdichte von glühenden Herdplatten.

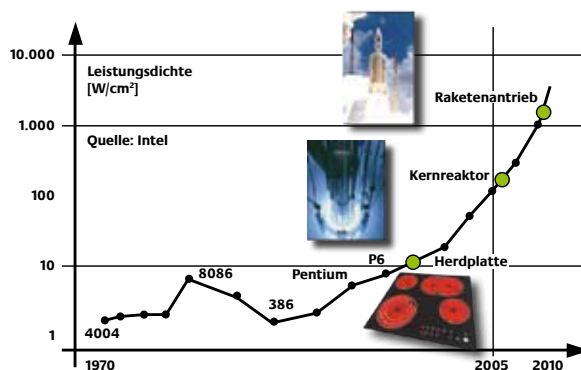


Abbildung 1.03

Ohne signifikante Verbesserung der Entwurfsverfahren würde die Leistungsdichte sehr bald die eines Kernreaktors oder gar einer Raketendüse erreichen (Abb. 1.03). Eine hohe Verlustleistung ist somit problematisch im Hinblick auf die Wärmeabfuhr und die Energiezufuhr. Neben wirtschaftlichen Aspekten oder der Sicherung von Zuverlässigkeit hat die Reduzierung der Verlustleistung integrierter Schaltungen auch eine Bedeutung für die Ökologie und muss bereits beim Entwurf berücksichtigt werden. Unerlässliches Mittel zur Bewältigung der oben dargelegten Verlustleistungsproblematik ist dabei die elektronische Entwurfsautomatisierung (EDA).

Projektziele

Das Hauptziel des Projekts LEMOS ist es, einen Beitrag zur deutlichen Steigerung der Entwurfsproduktivität und -produktivität zu leisten. Dies soll durch die Verfolgung von zwei Themenkomplexen erreicht werden:

- » Verschiebung der Grenzen der Entwurfsfähigkeit im Hinblick auf das bislang aus Verlustleistungsgründen technisch nicht Machbare.
- » Verringerung der Zahl der verlustleistungsbedingten Re-Designs.

So ist durch Vermeidung von Re-Designs nicht selten eine Verkürzung der Entwicklungszeit um ein Drittel möglich. LEMOS verfolgt hierbei das Ziel, den Verlustleistungsaspekt beim Entwurf integrierter Schaltungen durchgängig zu behandeln und damit die Entwurfsücke bezüglich der Verlustleistungsminimierung methodisch zu schließen. Die Anwendung der in LEMOS entwickelten Methoden und Werkzeuge wird es ermöglichen, den Energieverbrauch drastisch zu senken.

Mit dem genannten Ziel wird zudem das übergeordnete Ziel des Förderkomplexes Ekompas (s. Seite 3) unterstützt. Dabei handelt es sich um die Erhöhung der Wettbewerbsfähigkeit der deutschen Industrie durch Leistung eines Beitrags zum Entwurf integrierter Schaltungen und Systeme. Diese wichtige Schlüsseltechnologie ist Motor der Innovation von wirtschaftlich wichtigen Branchen, wie Automobilbau und Kommunikation. Sie ist der entscheidende Faktor zur Produktdifferenzierung in diesen und weiteren großen Industriebereichen.

Technische Projektinhalte

Das wissenschaftlich-technische Arbeitsziel von LEMOS ist die Erforschung, Integration und Evaluierung von EDA-Methoden zur Verlustleistungsreduktion. Besonderes Augenmerk gilt hierbei der Berücksichtigung des Stromverbrauchs bereits auf abstrakteren Ebenen.

LEMOS gliedert sich in drei Teilprojekte, die wiederum in Arbeitspaketen untergliedert sind. Die Teilprojektstruktur spiegelt die Phasen zur Erreichung des wissenschaftlichen Arbeitszieles wieder (s Abb. 1.04). Zunächst werden für die jeweiligen Strukturen und Komponenten des Zielsystems in Teilprojekt 1 Algorithmen und Verfahren zur Verlustleistungsanalyse und -minimierung erforscht und bewertet. Zur Strukturierung des Vorgehens ist das Teilprojekt untergliedert nach den adressierten HW-Komponenten integrierter Systeme. Orthogonal dazu werden die betrachteten Verfahren, wie z.B. das Powermanagement, behandelt.

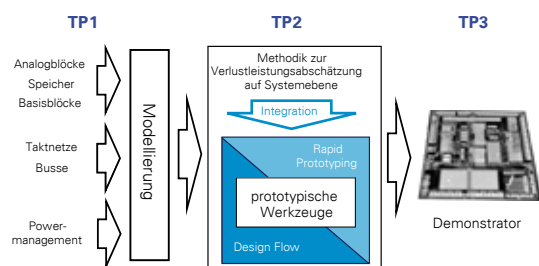


Abbildung 1.04

Nachdem Algorithmen und Verfahren erforscht wurden, müssen diese Ergebnisse so gesichert werden, dass sie in einer automatisierbaren, werkzeuggestützten Methodik zur Verlustleistungsminimierung eingesetzt werden können (Teilprojekt 2). Hierzu sind Modelle zu entwickeln, anhand derer sich die Auswirkungen eines Entwurfs- oder Optimierungsschritts qualitativ und quantitativ bewerten lassen. Techniken und Methoden, Modelle und Charakterisierungsdaten können in eine Methodik integriert und an die Bedürfnisse industrieller Designflows angepasst werden. Zum Nachweis werden sie in prototypischen EDA-Werkzeugen implementiert.

Abschließend werden die Qualität und Effizienz der Ergebnisse durch exemplarische Evaluation anhand von Demonstratoren experimentell nachgewiesen (Teilprojekt 3).

Verlustleistungsanalyse von Schaltungsstrukturen und Komponenten

Gegenstand des ersten Teilprojekts sind die Untersuchungen und Optimierungen der Komponenten eines Systems. Hier sind es zunächst die Speicher, die aufgrund ihres hohen Anteils am Gesamtleistungsverbrauch zu betrachten sind. Hohe Leckströme, niedrige Versorgungsspannung und die Anforderung an immer größere Speichermodule erfordern neue Schaltungskonzepte für den Low-Voltage-Betrieb und für niedrige Verlustleistung. Infineon erforscht und bewertet in LEMOS deswegen neue Konzepte für Strom- und Spannungsverstärker mit niedrigen Versorgungsspannungen in Sensing-Schaltungen, ebenso wie unterschiedliche Vorladekonzepte. Die einzelnen optimierten Schaltungskomponenten werden zu einer Speicherarchitektur zusammengefügt und die Einsparung des Gesamtsystems bezüglich der Verlustleistung ermittelt.

In Zusammenarbeit mit der TU München wird von Infineon der Einfluss von Technologie und Schaltungstechnik auf den Leistungsverbrauch untersucht. Gerade die Technologievarianten, die für mobile Anwendungen eingesetzt werden, zeigen ab der 130 nm Technologie ein modifiziertes Shrink-Szenario: Es kommt zu gleichbleibender Betriebs- und Einsatzspannung bei abnehmenden Abmessungen. Die Änderung der Effizienz von technologienahen Low-Power-Maßnahmen unter diesen Randbedingungen wird im Rahmen des Projekts quantifiziert. Das Abschalten von inaktiven Schaltungsteilen mit On-Chip-Schaltern ist eine Methode, die bei Technologiegenerationen ab 90 nm zunehmende Bedeutung erhält. Bei den Methoden ‚voltage scaling‘ und ‚active well‘ deuten die Ergebnisse aus LEMOS an, dass ihr Wirkungsgrad bei neueren Technologiegenerationen (65 nm, 45 nm) sinkt.

Im Rahmen des Arbeitspaketes „Backend Design Flow und Bibliotheken“ wird von Infineon das Thema Power-Modellierung von Full Custom Makros bearbeitet. Es konnten Modelle und Charakterisierungsverfahren entwickelt werden, die bestehende Lücken schließen werden. Mit neuen Konzepten für statistische Parameter werden Prozessschwankungen berücksichtigt. Mit verbesserten funktionalen Powermodellen können komplexe makrointerne Zusammenhänge für die Stromaufnahme ausgewertet werden.

Gemeinsam mit dem Partner Nokia wurde von Bosch im Rahmen des ersten Teilprojekts ein Katalog analoger Grundsaltungen für Low-Power-Systemapplika-

Abbildung 1.04:
Struktur des Projekts

tionen erstellt. Bosch hat zu diesem Schaltungskatalog mit innovativen Schaltungskonzepten von NF-Schaltungen wie Verstärker, Komparator, Referenz-Stromquelle, Referenz Spannungsquelle und Oszillator beigetragen. Die Versorgungsströme dieser Module liegen teilweise im Bereich von einigen hundert Nanoampere. Beispielsweise konnte in der Simulation der Stromverbrauch eines 25 kHz-Oszillators auf einen Strom von 300 nA (worst case) reduziert werden. Die Schaltungen wurden in einer für Automotive-Anwendungen qualifizierten 0,35 µm CMOS-Technologie für einen Testchip bei Versorgungsspannungen bis hinunter zu 1,2 V realisiert. Mittels der noch ausstehenden Auswertung des Testchips soll vor allem die Bauelementemodellierung verbessert werden, um für nachfolgende Entwicklungen die Simulationsgenauigkeit noch deutlich erhöhen zu können.

Die Untersuchung unterschiedlicher Buskodierungen zur Verminderung der Schaltaktivität auf Chip-internen Bussen in Zusammenarbeit mit der FH-Pforzheim ergab bisher noch nicht eindeutig, ob damit signifikant Verlustleistung eingespart werden kann. In den bisher untersuchten Design-Beispielen war die zur Kodierung aufzuwendende Leistung im Verhältnis zu der auf den Busleitungen verringerten Leistung zu groß. Für eine abschließende Beurteilung werden noch weitere Untersuchungen durchgeführt. Die entwickelten Verfahren zur Abschätzung der Schaltaktivität von Bussen werden in einer MATLAB-Umgebung aufbereitet und können vom Projektpartner ChipVision als Grundlage für die Erweiterung der Methodik verwendet werden, die in ihrem Tool (ORINOCO®) durch LEMOS jetzt auch die Abschätzung von Verlustleistungsbeiträgen der On-Chip-Kommunikation ermöglichen wird.

Zur Verringerung der Verlustleistung von Zustandsautomaten wurde von Bosch zusammen mit der FH-Pforzheim eine neue Methodik entwickelt. Simulationsgestützt wird aus der Zustandsübergangsfolge eine optimale Zustandskodierung berechnet und diese über Attribute in die Logiksynthese eingebunden. Grundlage hierfür ist die Verringerung der Hammingdistanzen des Zustandsvektors bei einem Zustandsübergang, welche direkt mit einer Verminderung der Schaltaktivität einhergeht. Die Analyse des Zustandsautomaten erfolgt in der vorhandenen Testbench des Designs. Zur Ermittlung der Zustandsübergänge lassen sich die Ergebnisse mehrerer Simulationsläufe zusammenfassen, so dass diese Vorgehensweise effizient und schnell eingesetzt werden kann. Das prototypisch vorliegende Werkzeug berechnet auch eine Verminderung der Schaltaktivität als Maß für die erreichte Verringerung der Verlustleistung.

Verlustleistungsanalyse gemischt analog/digitaler Schaltungen

Die Forderung nach leistungsarmen Systemlösungen auf der einen Seite und die Notwendigkeit heterogener, insbesondere gemischt-analog/digitaler Systeme auf der anderen Seite machen Verfahren zur Analyse des Leistungsverhaltens gemischt-analog/digitaler Schaltungen erforderlich. Im Rahmen von LEMOS wurde in Form einer Konzeptstudie eine Vorgehensweise zur Simulation der Verlustleistung gemischt analog/digitaler Schaltungen aufgezeigt (s. Abb. 1.05). Grundlage hierfür ist die bei Bosch innerhalb des Ekompas-Projekts Anastasia+ entwickelte Co-Simulationsschnittstelle InSIMS, welche eine flexible Kopplung von Analog- und Digital-Simulatoren unterstützt. Die Ermittlung der Verlustleistung im analogen Schaltungsteil erfolgt direkt

Abbildung 1.05: Simulation der Verlustleistung gemischt analog/digitaler Schaltungen

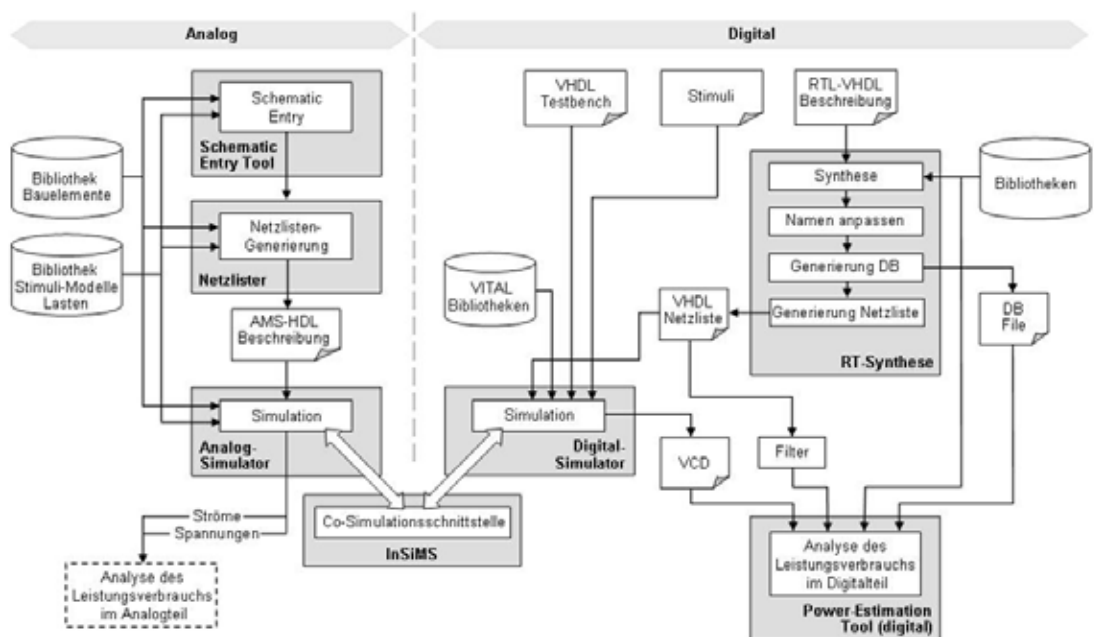


Abbildung 1.05

auf Basis der bei der analogen Simulation ermittelten Spannungs- und Stromwerte. Die Bestimmung der Verlustleistung im digitalen Schaltungsteil kann mit Hilfe eines kommerziellen Power-Estimation-Tools erfolgen, welches als Stimulidateien VCD-Files verarbeitet, die mittels des verwendeten digitalen Simulators in einfacher Weise erzeugt werden können.

Low Power-Entwurfsmethodik für den Mobilbereich

Die Implementierung von Mobiltelefonen der neuesten Generation mit Multimedia-Applikationen und hohen Übertragungsraten stellt immer höhere Anforderungen an die Performanz der Komponenten und insbesondere auch an deren Leistungsaufnahme. Die Kapazität der Batterien steigt nur langsam verglichen mit der Zunahme an Komplexität der gemeinsam zu integrierenden Funktionalitäten. Des Weiteren spielt die komplexitätsbedingt steigende Wärmeentwicklung bei etwa gleich bleibendem Gehäusevolumen der mobilen Geräte eine immer bedeutendere Rolle.

Die Aktivitäten des Nokia Research Centers befassen sich deswegen mit der Einbindung der Leistungsaufnahme als Optimierungsparameter bereits in frühen Phasen der Auswahl und des Entwurfs von analogen und digitalen Komponenten, sowie der Verbindungsstrukturen. Der Entwurf eines schnellen Analog-Digital Umsetzers ist ein hervorzuhebendes Beispiel. Verschiedene Implementierungsvarianten wurden verglichen und die Entscheidung fiel auf ein leistungsoptimiertes Konzept, das jedoch einen hohen Designaufwand erfordert. An dieser Stelle führte eine enge Kooperation mit dem Projekt DETAILS, in dem ein automatisierter Entwurfsablauf zur Generierung von analogen Komponenten entworfen wird, zu den gewünschten Ergebnissen. Es wird gezeigt, dass der automatisierte Entwurf von analogen Schaltungen dazu genutzt werden kann, Iterationen und Optimierungen im Entwurfsablauf komplexer Schaltungen vorzunehmen und so die Leistungsaufnahme zu optimieren. Diese Schritte sind beim herkömmlichen Design von analogen Schaltungen von Hand nicht vorstellbar.

Die gute Kooperation mit dem Projekt DETAILS setzt sich in den Arbeiten zum Thema Verbindungsstrukturen fort. Analysen moderner CMOS-Prozesse mit dem Ziel, verlustleistungsoptimierte Verbindungen zu identifizieren, führten zur Erstellung von Entscheidungsmetriken bei den Kooperationspartnern. Der automatisierte Schaltungsentwurf wurde hier genutzt, um eine flexible, prozessunabhängige Implementierung von differenziellen Sende- und Empfangsschaltungen zu ermöglichen. Diese benötigen zur Übertragung von Daten innerhalb eines ASICs nur geringe Spannungsdifferenzen und Ströme zur Signalisierung.

Gemeinsam mit dem Lehrstuhl für Integrierte Systeme an der Ruhr-Universität Bochum untersucht Nokia den Entwurfsablauf von Algorithmen zu digitalen

Schaltungskomponenten. Neben der Performanz soll besonders die Leistungsaufnahme verschiedener Algorithmen- und Implementierungsvarianten als zu optimierender Parameter Einzug in den Designflow finden. Um dieses Ziel zu erreichen, müssen schon früh im Entwurf verlässliche Methoden zur Abschätzung des Energiebedarfs gefunden werden. Hierzu wurden unter Verwendung der Software ORINOCO® des Projektpartners ChipVision u.a. zwei Algorithmen für ein adaptives Filter, das zur Kanalverzerrung im UMTS/HSDPA-Empfänger eingesetzt werden soll, miteinander verglichen. Während der erste Algorithmus einen mit der Filterordnung quadratisch steigenden Rechenaufwand besitzt und die Berechnungen in gewissen Zeitabständen durchführt, weist der andere einen linearen Zusammenhang bei kontinuierlicher Arbeitsweise auf. Es konnte gezeigt werden, dass der komplexere Algorithmus bei einer hardwarenahen Realisierung zu einer deutlich geringeren Fehlerrate im Empfänger führt und dabei einen etwa gleich großen Energiebedarf hat.

Power-Abschätzung und Optimierung von SoCs

Von ChipVision wurde in LEMOS ein Konzept zur Modellierung und Abschätzung der Verlustleistung aufgrund von Kommunikation auf Systems-on-Chip (SoC) entworfen. Auf Systemebene wird die Interprozess-Kommunikation einer SoC-Beschreibung analysiert und grafisch dargestellt. Basierend auf dieser Datenflussanalyse können Protokolle für die Kommunikationskanäle ausgewählt und der Einfluss auf Performance und Verlustleistung abgeschätzt werden. Dadurch wird dem Designer eine Hilfestellung beim Entwurf energieoptimaler Kommunikationsarchitekturen gegeben. Eine spätere Integration in die ORINOCO®-Methodik ist ein erster Schritt zur Abschätzung vollständiger SoCs. Das Forschungsinstitut OFFIS hat im Unterauftrag von ChipVision Beiträge zur Modellierung von Busprotokollen und zur Analyse notwendiger Anpassungen der bisherigen ORINOCO®-Methodik geleistet. Kommunikation wurde in der Verhaltenssynthese bislang auf einem sehr niedrigen Grad der Abstraktion beschrieben. Im Rahmen von LEMOS ist ein Konzept entstanden, das eine Modellierung auf höheren Abstraktionsebenen ermöglicht. Die Kommunikation wird für eine Verlustleistungsanalyse schrittweise verfeinert und auf Makromodelle abgebildet (s. Abb. 1.06).

Ein weiterer Schritt zur Abschätzung kompletter SoCs besteht in einer Integration von ORINOCO® in eine Hardware-/Software-Codesign-Umgebung. Gemeinsam mit Infineon wurde ein auf dem SPIRIT-Standard basierendes Interface definiert, über das alle zur Abschätzung eines Designs notwendigen Parameter in Form von SPIRIT-Tags an ORINOCO® übergeben sowie die Ergebnisse der Abschätzung an die Codesign-Umgebung zurück gegeben werden können. Des Weiteren waren Modifikationen an der ORINOCO®-Methodik erforderlich, um einen nicht-interaktiven Betrieb des Tools in der Codesign-Umgebung zu ermöglichen. Dazu wurde ein Minimalsatz an Parame-

tern definiert, die interaktiv gesetzt werden. Sie werden über das SPIRIT-Interface an das Tool übergeben, wobei weitere Parameter aus ihnen abgeleitet werden.

Die Verlustleistung, die auf den Taktnetzen verursacht wird, kann bis zu 40 % der Gesamtverlustleistung betragen. Für eine präzise Abschätzung des Taktnetzes werden Informationen aus dem Backend-Design-Flow über die Platzierung von Einspeisungspunkten des Taktes (Clock-Senken) benötigt. Diese stehen allerdings auf der Systemebene, die als Eingabe für ORINOCO[®] dient, nicht zur Verfügung. Daher müssen bestehende Verfahren für die Verwendung in ORINOCO[®] angepasst werden. Aus dem Vergleich verschiedener Verfahren zur Taktbaum-Synthese wurde die so genannte „Bounded Skew“-Taktbaum-Synthese ausgewählt. Diese erlaubt einen definierten Versatz des Taktes und zeichnet sich durch eine einfache Realisierbarkeit aus. Vergleiche von Daten, die aus ORINOCO[®] extrahiert wurden, mit real gewonnenen Platzierungsinformationen haben Abweichungen in der Taktbaumlänge von weniger als 10 % gezeigt.

Die in LEMOS entstehenden Arbeiten ermöglichen ChipVision die Schließung methodischer Lücken in den Abschätzungsalgorithmen sowie eine Erweiterung in Richtung SoC. Dank der engen Kooperation mit den Projektpartnern Bosch, Infineon und Nokia können die Arbeiten bereits während der Konzeptionierung an die Anforderungen der Industrie angepasst werden. Die derzeitigen prototypischen Implementierungen werden im weiteren Projektverlauf in die ORINOCO[®]-Methodik integriert und von den Projektpartnern evaluiert.

System Level Verlustleistungsabschätzung

Infineon bearbeitet im Rahmen der Beiträge zur Untersuchung von Verlustleistungsabschätzung auf System-Level drei verschiedene Themen: Abschätzung der von unterschiedlichen Algorithmen hervorgerufenen Verlustleistung, generelle Leistungsabschätzung von Systemen, und Verlustleistungscharakterisierung von Systemkomponenten.

Die Arbeiten zur Verlustleistungsabschätzung beim Einsatz unterschiedlicher Algorithmen (die auf Hardware abgebildet werden) finden in Zusammenarbeit mit dem Partner ChipVision statt, der mit der Methodik von ORINOCO[®] bereits eine Lösung für diese Aufgabe anbietet. Hierbei wurde diese Lösung zusammen mit Infineon-Beispielen untersucht, zum anderen wurden Infineon-Anforderungen für das Werkzeug an ChipVision weitergegeben.

Für die Abschätzung der Verlustleistung von Systemen wurde von Infineon in Zusammenarbeit mit der Universität der Bundeswehr eine Methodik entwickelt. Der Ansatz verwendet erweiterte Warteschlangenmodelle (Extended Queuing Networks - EQN), die eine simulationsbasierte, gleichzeitige Analyse sowohl der Performanz als auch der Verlustleistung eines Systems

erlauben. Diese Methodik wurde mit Hilfe von Beispielen auf verschiedenen Abstraktionsebenen evaluiert, wobei sich eine prinzipielle Eignung für Ebenen von System-Level bis zu RTL ergeben hat. Insbesondere die erfolgreiche Modellierung eines Beispielprozessors erlaubt die algorithmenbedingte Leistungsabschätzung, wodurch dieser Ansatz die ORINOCO[®]-Methodik ergänzt.

Der beschriebene Ansatz zur Leistungsabschätzung von Systemen benötigt eine entsprechende Charakterisierung der Systemkomponenten. Diese Charakterisierung wurde ebenfalls in Zusammenarbeit mit der Universität der Bundeswehr bearbeitet. Die entwickelte Methodik verwendet zunächst Field-Programmable Gate Arrays (FPGAs) als Vehikel zur Messung der Verlustleistung von Einzelkomponenten. Der Ansatz unterstützt hierbei insbesondere eine separate Berechnung der Verlustleistungs-Beiträge der Logik und des Interconnect-Netzwerks des FPGA.

Im Bereich Low-Power-Design-Flow und Bibliotheken setzt Infineon im Wesentlichen auf zwei Schwerpunkte: Den „Mixed Vth“ Ansatz, bei dem Standardzellen mit unterschiedlichen Leakage-Eigenschaften innerhalb eines Designblockes gemischt werden können, sowie das temporäre Abschalten von inaktiven Blöcken. Für beide Varianten waren Entwicklungen nötig, die sowohl die Design Flow- als auch auf Bibliotheksseite betrafen. Erste Ergebnisse auf Basis eines internen Low Power Designs bestätigen derzeit die Richtigkeit beider Ansätze zur Reduktion aktiver und passiver Verlustleistung.

Die Verifikation der obigen Ansätze erfolgt über das Design und die Auswertung von Testchips. Dies hat die Vorteile, dass die Ergebnisse in Form von Schaltungen zeitnah realisiert und ausgewertet werden können und dass eine breitere Palette von Testschaltungen in Silizium realisiert werden kann als das bei einem Produktchip möglich wäre. Bisher wurde sowohl ein Testchip in 90 nm als auch in 65 nm Technologie realisiert. Die Auswertungen haben begonnen.

Power-Optimierung im Bereich Layoutentwurf

Zur Erreichung des Ziels der Reduzierung des Leistungsumsatzes gehört auch die Einbeziehung des letzten Entwurfsschritts im Designflow, des Layoutentwurfs. Dies hängt damit zusammen, dass häufig ein größerer Teil der Verlustleistung auf die hier erzeugten Leitbahnverbindungen zurückzuführen ist. Der Forschung im Bereich Layout widmet sich in LEMOS der Partner CATENA in enger Kooperation mit dem Unterauftragnehmer BTU Cottbus, sowie mit dem IHP Frankfurt (Oder), als führendem deutschen Forschungsinstitut auf dem Gebiet der SiGe-Technologie.

Im Projekt LEMOS werden von Catena effiziente Algorithmen zum power-optimierten Place and Route, neue Verfahren zur Realisierung optimaler Clock-Trees, und

die Vervollkommnung der Leitungsmodellierung unter Berücksichtigung von Induktivitäten, Slew-Rates und Signalkopplungen erforscht. Beim power-optimierten Standardzell-Place-and-Route werden Standardzellen in Abhängigkeit von ihrem Leistungsverbrauch, ihrer Treiberfähigkeit und ihrer Schaltgeschwindigkeit bedarfsgerecht aus unterschiedlichen Realisierungsklassen verwendet. Gleichzeitig erfolgt eine individuelle Betrachtung der Verbindungsnetze, wobei Netze in kritischen Pfaden zu Lasten von Netzen in nicht-kritischen Pfaden delay-optimiert geroutet werden. Das resultierende bessere Timing kann nun für die Verlustleistungsreduzierung genutzt werden. Unterstützt wird darüber hinaus eine funktionsblockbezogene Optimierungsstrategie (Versorgungsspannung, Taktfrequenz, Aktivierung).

Zwecks weiterer Reduzierung des Energieverbrauchs wird ein neuer Algorithmus für die bessere Verteilung des Taktnetzwerkes in der Chipfläche wie auch für einen hinreichend kleinen Clock Skew sorgen. Ein weiterer Beitrag von LEMOS beim Routing sind Verbesserungen, wie die Erweiterung auf bis zu 7 Verdrahtungsebenen, eine feste Zuordnung von globalen Netzen zu einer bestimmten Verdrahtungsebene, Cross-Talk-Reduzierungsmaßnahmen, Post-Route-Treiberoptimierung, als auch eine netzspezifische Routingstrategie. Es erfolgt ebenfalls eine Analyse für komplette Pfade zwischen getakteten Elementen zur Erkennung von Problemzonen. Diese werden durch einen lokalen Reroutingprozess entschärft. Außerdem

werden kritische Kopplungspartner von Leitungen herausgefiltert und als Vorgabe für die Erzeugung dynamischer Tests gekennzeichnet. Es ist zu erwarten, dass der Energieverbrauch für die verwendeten Schaltkreisprototypen dabei um bis zu 30 % gegenüber dem Einsatz der nicht-poweroptimierten Programmversion gesenkt wird.

Ausblick und Perspektiven

Die durch LEMOS in den ersten beiden Projektjahren bereits erzielten Resultate sind ein großer Schritt in Richtung zukünftiger energieeffizienterer Systeme. Die Projektpartner sind zuversichtlich, eine Verringerung der Zahl der verlustleistungsbedingten Re-Designs zukünftig zu erreichen.

Im dritten Projektjahr (1.1-31.12.2006) werden die Arbeiten im Bereich der Verlustleistungsmodellierung und -abschätzung von Strukturen und Komponenten, sowie der Integration der aus LEMOS gewonnenen Methodik zur Verlustleistungsminimierung in prototypische EDA-Werkzeuge abgeschlossen werden. Durch die Beteiligung der EDA-Unternehmen im Konsortium ist eine Verwertung im Sinne der eingangs aufgeführten, übergeordneten Projektziele gewährleistet. Das abschließende Projektjahr wird weiterhin dem endgültigen Nachweis der Qualität, Effizienz und Eignung für eine wirtschaftliche Verwertung der Ergebnisse durch exemplarische Evaluation anhand von Demonstratoren dienen.

Kont@kt:
 Ralf Pferdmenges
 Infineon Technologies AG
 81726 München
 fon: 089 234-28644
 ralf.pferdmenges@infineon.de

Prof. Dr. Wolfgang Nebel
 OFFIS
 Escherweg 2
 26121 Oldenburg
 fon: 0441 9722-280
 wolfgang.nebel@offis.de

Weitere Informationen zum Projekt finden Sie unter <http://lemos.offis.de>.

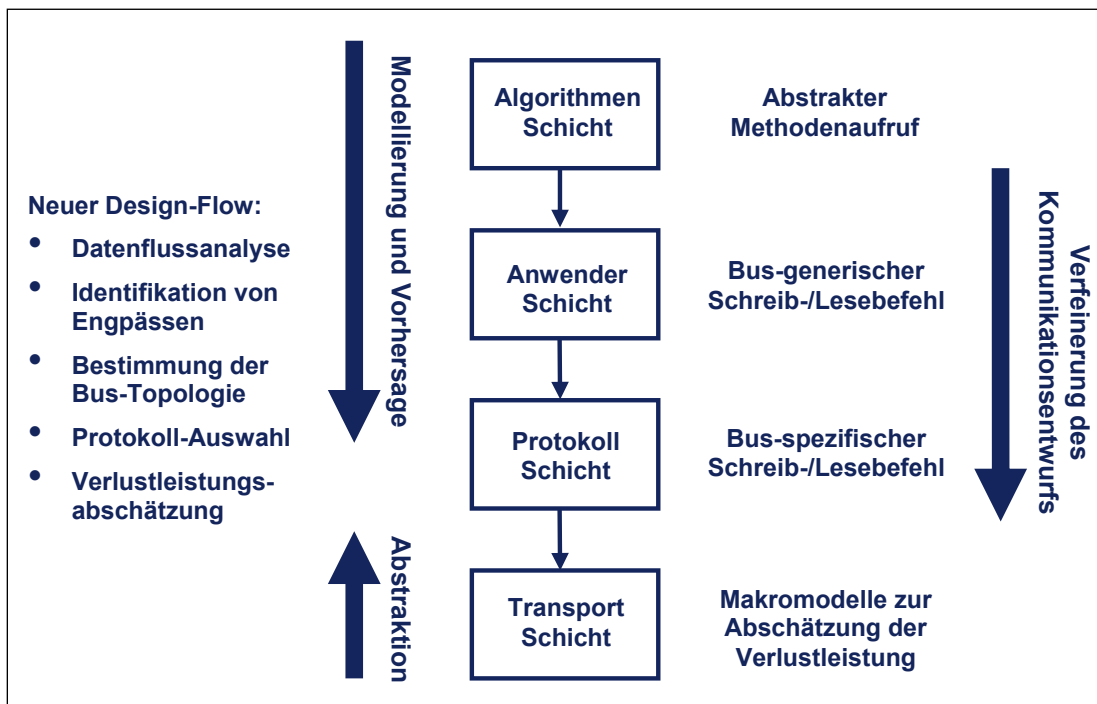


Abbildung 1.06:
 Anhebung der Abstraktions-
 ebene zur Modellierung von
 Kommunikation

Abbildung 1.06