



HONEY – Grundlagen für die Analyse und Optimierung von Ausbeute und Zuverlässigkeit Integrierter Schaltungen

Kurzbericht zu einem neuen BMBF-Projekt, das sich mit der Berücksichtigung von Ausbeute und Zuverlässigkeit beim Entwurf komplexer Schaltungen auseinandersetzt

Motivation und Ziele

Immer komplexer werdende Kommunikations- und Kontrollprozesse sowie immenser Kostendruck auf moderne Halbleiterprodukte sind die Haupttreiber der fortwährenden Strukturverkleinerung in der Halbleiterindustrie. Diese Strukturverkleinerung bringt aber nicht nur Vorteile mit sich. Beispielhaft sollen hier nur einige der wichtigsten damit einhergehende Beschränkungen genannt sein:

- » Strukturgrößen nahe bzw. unter der Wellenlänge des verwendeten Lichts für die Strukturübertragung führen zu Ungenauigkeiten und Fehlern bei der Abbildung.
- » Reduzierte Versorgungsspannung im Rahmen der Strukturverkleinerung führt zu überhöhter Sensitivität der Schaltungen auf Parameterschwankungen jeglicher Art.
- » Verschärfung der Betriebsbedingungen (z. B. höhere Temperaturen im Automobilbereich oder erhöhte Versorgungsspannung für mehr Performanz) führt zu mehr Stress.
- » Durch neue Prozesse, neuartige Prozessmaterialien oder durch Annäherung an physikalische Grenzen entstehen neue Fehlermechanismen.
- » Die Anzahl der Elemente in einem System nimmt zu und führt dadurch zu einer höheren Systemfehlerrate, selbst bei gleichbleibender Fehlerrate der einzelnen Elemente.

Um eine wirtschaftliche Verwertung der Halbleiterprodukte zu gewährleisten, müssen diese trotz dieser Beschränkungen schnell und mit möglichst wenig Verwurf in der Fertigung hochgefahren werden. Außerdem sollte die geforderte Lebensdauer eines Produkts bereits mit dem ersten Entwurf sichergestellt sein.

Deshalb hat sich das Projekt die Erforschung von Grundlagen für die abstrakte Modellierung, Analyse und Optimierung von Ausbeute und Zuverlässigkeit von Integrierten Schaltungen zum Ziel gesetzt. Darüber hinaus soll das Projekt die methodische Einbindung in den Entwurfsprozess komplexer Schaltungen sowohl im Bereich der Kommunikationselektronik als auch in der Automobil- und Industrieelektronik ermöglichen. Zusammen mit den herkömmlichen Methoden in der Technologieentwicklung zur Sicherstellung von Ausbeute und Zuverlässigkeit sollen damit zukünftig bereits in der Konzept- und Architekturphase des Chipentwurfs die Ausbeute und Zuverlässigkeit eines geplanten Produktes analysiert und optimiert werden.

Die neuen Entwurfsmethoden werden in existierende Designsysteme integriert und nach Projektende den Schaltungsentwicklern zur Verfügung gestellt. Dadurch wird zum einen die Methodenkompetenz im Bereich der Produktentwicklung und im Bereich der Entwurfsautomatisierung in Deutschland ausgebaut. Zum anderen ermöglichen höhere Ausbeuten und die Vermeidung von teuren nachträglichen Korrekturen eine verbesserte Kostenposition beim Einsatz modernster Halbleiter-Technologien und stärken damit die Wettbewerbsfähigkeit der beteiligten Partner.

Kooperationen

Das Verbundprojekt HONEY ist in das gleichnamige europäische MEDEA+-Projekt (2A713) eingebettet. In diesem Rahmen werden mit dem breit aufgestellten europäischen HONEY-Konsortium Konzepte, Erfahrungen und Werkzeuge ausgetauscht. Workshops zum Informationsaustausch sind mit dem MEDEA+-Projekt ROBIN und mit dem BMBF-Projekt Sigma65 zum Thema Bewertungsmethoden und abstrakte Modellierung sowie mit dem Projekt MAYA zum Thema Produkt-Test und Produkt-Monitore geplant.

Aufgaben im Projekt

Das Forschungsprojekt gliedert sich in drei eng verzahnte Arbeitspakete. Aus Abbildung 1.11 ist ersichtlich wie sich die drei Arbeitspakete von HONEY in die edaMatrix einordnen.

Zusammensetzung des Projektkonsortiums:

Projektpartner:
 Infineon Technologies AG
 X-FAB Semiconductor Foundries AG
 IMMS gGmbH
 MunEDA GmbH

Unterauftragnehmer:

TU München, Lehrstuhl Entwurfsautomatisierung
 TU München, Lehrstuhl Technische Elektronik
 Universität Frankfurt, Institut für Informatik

Förderkennzeichen:

01M3184

Laufzeit des Vorhabens:

01.12.2007–30.11.2010

Homepage:

www.edacentrum.de/honey

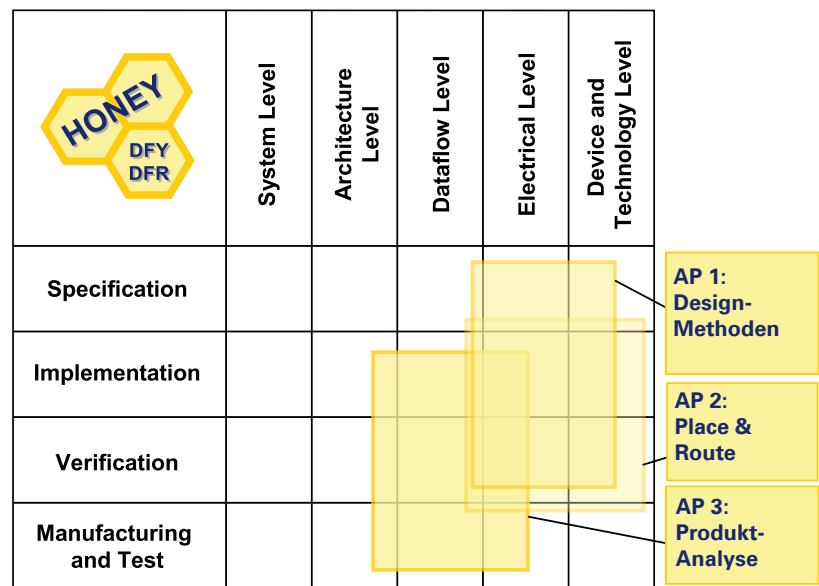


Abbildung 1.11: Gliederung des Projekts HONEY und Einordnung in die edaMatrix

Das erste Arbeitspaket behandelt Design-Methoden zur Optimierung von Ausbeute und Zuverlässigkeit von Bibliotheks-Zellen und einfachen Schaltungsblöcken, um einen „korrekten“ Entwurf schon bei den Grundbauelementen zu gewährleisten. Das zweite Arbeitspaket thematisiert Automatisierungsmethoden zur Ausbeute-Optimierung von Platzierung, Verdrahtung und Layout-Nachbearbeitung. Im dritten Arbeitspaket werden abstrakte Modelle zur Beschreibung der Schaltungseigenschaften untersucht sowie neue Methoden zur Verbesserung von Produktanalyse und Fertigungskontrolle erforscht. In den folgenden Absätzen werden die Arbeitspakete detaillierter beschrieben.

AP1: Design Methoden

In diesem Arbeitspaket sollen für bipolare Schaltungsstrukturen Strukturbedingungen (Constraints) und Modelle zur Performanz- und Ausbeute-Optimierung erforscht werden. Im Gegensatz zu CMOS-Transistoren, deren Verhalten mit Hilfe der Parameter Kanalweite (W) und Kanallänge (L) optimiert werden, gibt es für Bipolartransistoren keine allgemeingültigen Parameter, die eine Anpassung des Schaltungsverhaltens erlauben würden. Darüber hinaus fehlen auch Parameter für die Berücksichtigung von Prozess-Variationen oder Alterung. In diesem Rahmen sollen Bipolartransistoren und passive analoge Grundbauelemente anhand neuartiger Teststrukturen in Bezug auf ihre Nominalparameter und ihre Variationen charakterisiert und modelliert werden. Im nächsten Schritt sollen dann neuartige Methoden für die nominale Performanz-Analyse sowie die automatische Dimensionierung von Bipolar- und BICMOS-Schaltungen entwickelt werden.

Ein weiterer Beitrag liegt in der Entwicklung eines Verfahrens zur automatischen Exploration von Schaltungstopologien. Die entstehenden Topologien sollen die vorgegebenen Spezifikationen und Optimierungsziele wie Fläche oder Verlustleistung einhalten und die geforderte Robustheit schon bei der Strukturerstellung berücksichtigen. Um eine umfassende Analyse und Bewertung für möglichst viele optimale Kompromisse bezüglich konkurrierender Schaltungseigenschaften zu ermöglichen, sollen Verfahren zur automatischen Berechnung von Paretofronten konkurrierender Schaltungseigenschaften unter Berücksichtigung von Parametertoleranzen erforscht werden.

Ein weiteres Ziel ist, Konzepte für einen optimierten Entwurf von digitalen und analogen Zell-Bibliotheken in Bezug auf Ausbeute und Zuverlässigkeit zu erarbeiten, und ein Verfahren für die Zertifizierung und Qualifikation zu entwickeln. Mit solchen Bibliotheken wird es für einen Produktentwickler möglich, robustere Produkte ohne den Einsatz von zusätzlichen Werkzeugen zu entwerfen. Das Verbesserungspotential in Bezug auf höhere Ausbeute und geringere Fehlerraten während der Lebensdauer des Produktes ist jedoch beschränkt, so dass dieser Ansatz nur einen ersten Schritt, aber

trotdem die Basis für weitere Optimierungen auf höheren Entwurfsebenen darstellt.

AP2: Place and Route

Die Einhaltung von Entwurfsregeln garantierte in älteren Technologien die Ausbeute und Herstellbarkeit eines Produktes in der Fertigung. Mittlerweile häufen sich systematische Fehler, die durch Entwurfsparameter insbesondere in der physikalischen Implementierung beeinflusst werden können. Um diese Entwurfsparameter für eine Optimierung des Produktes heranziehen zu können, müssen diese in einem ersten Schritt identifiziert und die zugehörige Entwurfsmethodik um neue Funktionalitäten zu ihrer Erfassung erweitert werden. Der gesamte Entwurfsablauf, insbesondere die physikalische Implementierung von der Chipplanung über die Synthese, der Verdrahtung bis zum Timing Sign-off, werden auf ihre Relevanz hinsichtlich der Ausbeute und Zuverlässigkeit untersucht. Grundlage der Untersuchungen sind neben den in den heutigen Tools bekannten Auswertemethoden vor allem die von den Silizium-Herstellern (Foundries) zur Verfügung gestellten Technologiemodelle zur Lithographie, CMP (Chemical Mechanical Polishing) und Critical Area Bewertung. Ein neuartiges Bewertungssystem (Yield Assessment System) soll als Grundlage für einen Sign-off der Herstellbarkeit eines Entwurfes dienen. Auf der Basis dieser Modelle, welche bisher für das Design in der Regel nicht zugänglich waren, sollen neue Methoden und Algorithmen entwickelt werden, um in den sensitiven Teilen des Entwurfssystems ein optimales Design im Sinne von Ausbeute, Herstellbarkeit und Zuverlässigkeit zu ermöglichen.

Um die oben beschriebenen Abbildungsfehler zu minimieren, werden in modernen Technologien Korrekturen (Optical Proximity Correction, Resolution Enhancement Techniques) des fertigen Layout-Entwurfes nachträglich vorgenommen. Gegenseitige Beeinflussungen verschiedener Parameter können dabei jedoch nicht berücksichtigt werden. Um Funktionalität bei gleichzeitig guter Ausbeute sicherzustellen, müssen die beschriebenen Korrekturen schon beim Schaltungsentwurf vorgenommen und bei der Optimierung berücksichtigt werden. Besonders in der Verdrahtung sollen neue Methoden und Algorithmen dazu entwickelt werden. Um die dabei auftretende Komplexität zu beherrschen und die für Korrekturen notwendige Chipfläche zu minimieren, sollen sowohl Regeln als auch Modelle zur Simulation der Effekte herangezogen werden.

AP3: Produktanalyse

Aus den beiden schon beschriebenen Arbeitspaketen ergeben sich neue Anforderungen an Prozesskontrollmonitore für die Überwachung von Ausbeute und Zuverlässigkeit während der Volumenfertigung. Die Messungen dieser Kontrollmonitortestfelder sind in die laufende Produktion integriert und stehen aus diesem

Grund unter strenger Zeitbegrenzung. Dadurch ist auch die Zahl der zu messenden Größen und Zellen limitiert. Die gewonnenen Ergebnisse bilden die Basis für die darauf folgende Erstellung von Modellen zur Beschreibung der Variation und Alterung von Transistorparametern für Analog- und Mixed-Signal-Schaltungen. Als Alternative zu reinen Monitorstrukturen ist angedacht, das Produkt selbst als „Monitor“ zu verwenden und die Analysefähigkeit relevanter Strukturen im Produkt über zu erarbeitende Maßnahmen sicherzustellen.

Ein weiterer Beitrag liegt in der Analyse und Entwicklung von Modellierungsansätzen für die Beschreibung von Zuverlässigkeitseffekten komplexer digitaler

Schaltungen auf höherer Entwurfsebene. Dadurch wird eine „Zuverlässigkeits-Simulation“ auf Produktebene und damit auch eine Optimierung auf eine spezifische Produkthanforderung in sehr frühen Entwurfsphasen möglich. Dazu sollen die physikalischen Vorgänge von der Struktur- und Bauelementebene (Verdrahtung, Transistoren, etc.) auf die Schaltungs- und später auch auf die Architekturebene transferiert werden. Die Quantifizierung der Effekte und ihrer schaltungstechnischen und produktspezifischen Auswirkungen ist die Grundvoraussetzung, um in einer späteren Phase gezielte Erweiterungen in den Entwurfsprozess einzubringen. Sie dient auch als Basis zur Entwicklung von Monitorstrukturen.

The Verification Productivity Revolution: Intelligent Testbench Automation

By Mark Olen, Product Manager and Jay O'Donnell, Product Applications Engineer, Mentor Graphics Corporation

Unless you've just returned from a seven-year sabbatical trekking across the Himalayas, you've no doubt heard that the functional verification gap is one of the leading causes of design delays, project cost overruns, hardware respins, firmware patches, field returns, and sleepless nights for engineering managers.

There are nearly as many trends, data points, analyses, and postulates as there are PowerPoint™ slides presented by marketers to explain them all in painful detail. Designs are getting more complex. Larger RTL designs contain more errors. Each subsequent design generation contains more functional errors to detect and debug. Design automation and design productivity are outpacing functional verification. Enough already! Perhaps the most interesting phenomenon is that the ratio of designers to verification engineers has inverted. In the early 1990s, it was not uncommon for an engineering team to be staffed with one verification engineer for every two or three designers. Now the converse is more common than not. So why do semiconductor integration and design productivity continue to track Moore's Law, while functional verification seems to lag behind? You'd think advances in verification technology would enable functional testing to keep pace with design complexity. Or is there a difference between the ways design and verification have been automated. Let's take a closer look.

The Design Productivity Explosion

In the early 1990s, a discontinuity occurred in design creation methodology. While schematic capture technology continued to experience evolutionary improvements, the introduction of logic synthesis presented a revolutionary gain in design productivity of over 10X.

This discontinuity exhibited a combination of three attributes. It raised the level of abstraction in which designs could be expressed, from gates and netlists to RTL. It accomplished this in a standard language that was accessible to all hardware designers and tool developers, and it offloaded a significant time-consuming task from the engineer to computer-executed algorithms. Productivity soared as designers were able to focus on the RTL description of a design's intended behavior, relegating the specific implementation of structure to computer algorithms. Design intellectual property (IP) reuse became a reality due to the ability to retarget a standard RTL module to a specific process or implementation. In fact, the combination of a higher level of abstraction, standard description language, and algorithmic computer automation has increased design productivity so dramatically that the industry is feverishly working toward yet another revolutionary step forward in design creation. While not quite yet well-defined, electronic system level (ESL) design seemingly promises to allow designers to work at an even higher level of abstraction, and tools suppliers are heavily investing in algorithmic computer automation to enable this next step.

Verification Lags Behind

In the mid-1990s, a new verification methodology was introduced, with the goal of keeping pace with