

Dionysys – Entwurfsmethoden für hochfrequente Systems in Package

Neues Ekompas-Projekt gestartet



Systems-in-Package (SiP) ermöglichen innerhalb eines Schaltkreisgehäuses die Integration sehr komplexer Systeme, die aus verschiedenartigen Baugruppen bestehen. Der Entwurf dieser Systeme ist mit den aktuellen, auf System-On-Chip ausgerichteten Entwurfswerkzeugen nicht mit der gewünschten Effizienz möglich. Das Forschungsvorhaben Dionysys erarbeitet EDA-Lösungen für SiP mit analogen und Hochfrequenzbaugruppen.

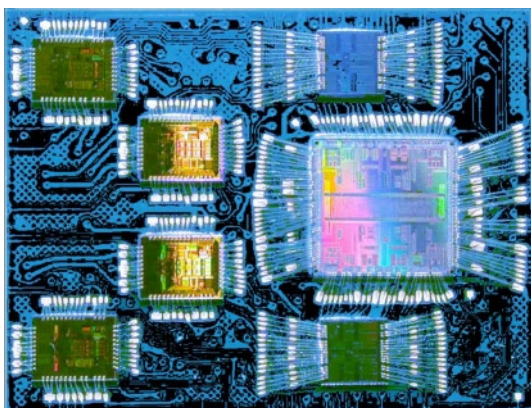


Abbildung 1.18: System in Package Designstudie
(Quelle: Infineon Technologies AG)

Der Funktionsumfang elektronischer Geräte nimmt immer weiter zu. Gleichzeitig werden diese kleiner und energiesparender. Grundlage dafür ist die steigende Integration des Systems, die bislang vor allem durch System-on-Chip (SoC) ermöglicht wurde. Die unterschiedlichen Komponenten eines elektronischen Systems können jedoch nicht immer optimal als SoC in einer einzelnen Schaltungstechnologie realisiert werden. Das ist besonders dann der Fall, wenn das System Sender und Empfänger im Hochfrequenz- (HF) Bereich oder mikromechanische Sensoren enthält. Eine Lösung dieses Problems bieten die System-in-Package (SiP).

Bei dieser Technologie werden verschiedene Integrierte Schaltungen (IC) mit passiven Bauelementen und Sensoren in einem einzigen Gehäuse, ähnlich denen für SoC, integriert. Durch die mögliche Partitionierung in mehrere IC kann man für die unterschiedlichen Systemteile speziell angepasste, mit weniger Fertigungsschritten ausgestattete Halbleitertechnologien verwenden. Die Einzelteile werden auf einem Moduls substrat angeordnet und über dieses wie auch über Bonddrähte miteinander verbunden (Abbildung 1.18). Auf diese Weise können große Systeme mit verschiedensten Komponenten in einem kompakten Baustein realisiert werden.

Anforderungen an EDA

Bereits in den 70er Jahren wurde das Multi-Chip-Module- (MCM-) Konzept als Vorläufer der SiP-Technologie entwickelt. Dabei wurden in der Regel nur zwei Schaltkreise, meist gut zusammen passende Ein-

heiten wie Speicher und Prozessor, in einem Gehäuse zusammengefasst. Meist wurden diese beiden Schaltkreise auf einen Standardstreifen mit ausreichend Pins geklebt, einzeln gebondet und anschließend vergossen. Ein Substratdesign fand dabei nicht statt. Aufgrund der geringen Komplexität wurde ein durchgehender Design-Flow nicht vermisst.

Das SiP weist aber gegenüber dem MCM eine höhere Komplexität auf und bietet aufgrund der fortgeschrittenen Substrat- und Packaging-Technologie mehr Integrationsvarianten. Beispielsweise können für HF-Baugruppen benötigte Kapazitäten und Induktivitäten im Moduls substrat realisiert werden, um die Fläche des Einzel-ICs zu reduzieren. Das System wird aus komplexen Einzel-ICs verschiedener Technologien zusammengesetzt, wobei nur ein Teil der Pins der Einzel-ICs von außen erreichbar ist.

Der Entwurf dieser Systeme ist mit aktuellen, auf SoC ausgerichteten Entwurfswerkzeugen nicht mit der gewünschten Effizienz möglich. Ein optimales SiP-Design erfordert eine enge Interaktion zwischen IC und Substratdesign, letzteres ähnelt dem herkömmlichen Leiterplattenentwurf. Herausforderungen an den Entwurfsablauf entstehen durch:

- » die Kombination verschiedener Halbleitertechnologien und Strukturen im SiP-Substrat
- » parasitäre Effekte und Verkopplungen durch die dichte Anordnung der ungehäuseten Einzel-IC
- » die hohe Komplexität des Gesamtsystems
- » eingeschränkte Produktivität bei der Layouterstellung und Optimierung im Moduls substrat unter Berücksichtigung passiver Strukturen und verschiedener ICs
- » die Sicherstellung der Testbarkeit des SiP und seiner Einzelteile

Zur Lösung dieser Aufgaben wurde, gefördert durch das BMBF, ein Konsortium aus Schaltkreis- und Geräteherstellern, EDA-Firmen und Forschungseinrichtungen gebildet. Als Anwendungsgebiete der SiP-Technologie werden in Dionysys die Bereiche drahtlose Kommunikation und Medizintechnik betrachtet. Im ersten Fall

Zusammensetzung des Projektkonsortiums:

Industriepartner:

Atmel Germany GmbH
Cadence Design Systems GmbH
Computer Simulation Technology
IMMS gGmbH
Infineon Technologies AG
Melexis GmbH
Schwarzer GmbH

Akademische

Unterauftragnehmer:

Fraunhofer IIS
TU Dresden
TU Hamburg-Harburg
Uni Erlangen-Nürnberg

Förderkennzeichen:

01 M 3084

Laufzeit des Vorhabens

01.07.2007–30.06.2010

Autoren:

Uwe Knöchel und
Thomas Rühlicke

besteht die Herausforderung in der Integration von HF-Baugruppen bis in den GHz-Bereich, im zweiten Fall müssen analoge Signale im Mikrovoltbereich mit großer Genauigkeit erfasst, verarbeitet und zukünftig auch gesendet werden. Das Projekt ist in vier Arbeitspakete untergliedert, die nachfolgend vorgestellt werden.

Methoden zur Konzipierung des SiP

Durch die Integration eines ganzen Systems in einem Gehäuse bieten sich den Herstellern zahlreiche neue Möglichkeiten bei der Konzipierung des Systems und seiner Partitionierung in einzelne Bestandteile. Der Systementwickler muss schon in der Konzipierungsphase in der Lage sein, verschiedene Konfigurationen (Halbleitertechnologien, diskrete Elemente, passive Substratelemente, Gehäuse) auf die Erfüllung der Entwurfsvorgaben (Performance, Leistungsverbrauch, Größe, Robustheit, Kosten) zu untersuchen und gegeneinander abzuwägen. Dabei ist die Simulation des gesamten Systems unter Einbeziehung aller seiner potentiellen Bestandteile und Realisierungsvarianten im Gehäuse eine der wichtigsten Methoden, um das Verhalten des Systems vorherzusagen und störende Kopplungen zwischen den Komponenten auszuschließen.

Im Projekt werden Verfahren zur Simulation eines Systems entwickelt, das aus Schaltungsteilen unterschiedlicher Halbleitertechnologien besteht. Zur Bewertung der HF-Schaltungen werden prozessabhängige HF-Modelle entwickelt und eingesetzt. Es werden Entscheidungskriterien zur Auswahl der Realisierungsvarianten erarbeitet.

Analyse, Modellierung und Simulation von SiP-Strukturen

Aufgrund der dichten Anordnung von digitalen Prozessoren und empfindlicher analoger und HF-Baugruppen gewinnen parasitäre Verkopplungen über Bonddrähte und Strukturen im SiP-Substrat großen Einfluss auf die Funktion des Systems. Sie müssen daher frühzeitig erkannt und im Entwurf berücksichtigt werden. Dazu wird im Projekt eine Schnittstelle zwischen elektromagnetischer (EM) Simulation und Schaltungssimulation entwickelt, die es ermöglicht, Layoutstrukturen an das EM-Werkzeug effizient zu übertragen. Aus den Ergebnissen der EM-Analyse sollen dann elektrische Ersatzmodelle für die Parasiten generiert werden, die in die Schaltungsanalyse einbezogen werden.

Die Komplexität eines SiP stellt hohe Anforderungen an die Simulationszeit. Die Modelle von Schaltungsteilen und parasitären Strukturen müssen nicht nur ausreichend genau, sondern auch simulationseffizient sein. Aus diesem Grund werden im Arbeitspaket Verfahren zur Reduktion der Modellgröße (Model Order Reduction) untersucht.

Automatisierung des SiP-Layoutentwurfs

Das SiP-Substrat bietet neben der elektrischen Verbindung der Einzel-ICs auch die Möglichkeit, passive Bauelemente zu realisieren. Diese müssen jedoch derzeit von Hand entworfen und optimiert werden. Zur Steigerung der Entwurfsproduktivität werden Verfahren zur automatischen Generierung dieser Strukturen entwickelt und durch EM-Simulation und Hardware-Demonstratoren getestet.

Bei der Anordnung der Einzel-ICs und passiven Strukturen auf dem SiP-Substrat ist eine Vielzahl von Designregeln zu beachten, um eine fehlerfreie Montage und hohe Ausbeute zu gewährleisten. Zur Beschreibung dieser Designregeln im 3-dimensionalen Raum wird ein neues Sprachkonzept entwickelt, das später eine automatisierte Verifikation des HF-SiP-Layouts ermöglicht. Bisher wird dies zum großen Teil durch eine visuelle Verifikation eines Experten abgedeckt.

Anforderungen an Testkonzepte für SiP

Im Vergleich zum SoC müssen beim Test von SiP zwei zusätzliche Probleme beachtet werden. Zum einen ist die Qualität des Tests der ungehäusten Einzel-ICs von entscheidender Bedeutung für die Herstellungskosten, da bei Montage eines fehlerhaften ICs das gesamte SiP einschließlich seiner fehlerfreien Komponenten unbrauchbar wird. Zum anderen muss der abschließende Test des SiP trotz des auf externe Signale beschränkten Zugriffs eine verlässliche Prüfung der komplexen Systemfunktionalität in vertretbarer Testzeit und damit akzeptablen Kosten gewährleisten.

Die Arbeiten in Dionysys sind auf den HF-Test fokussiert. Derzeit sind HF-Tests auf dem Wafer aufgrund der Kontaktierungstechnik nur eingeschränkt möglich. Auch beim Gesamttest des gehäusten SiP erfordern HF-Tests zusätzliche Testkosten. Im Projekt werden Konzepte für einen effizienten Test von HF-SiP erarbeitet. Dabei wird auch der Einsatz von Built-In-Self-Test Verfahren untersucht, die den Aufwand für HF-Tests vom Tester in den IC hinein verlagern sollen. Die damit erreichbare Testabdeckung muss zusammen mit den erforderlichen Flächenkosten bewertet werden, um kostenoptimale Teststrategien für HF-SiP zu erarbeiten.

Projektstatus

Nach dem Start des Projektes wurde durch Ausscheiden eines Partners eine Veränderung im Konsortium nötig. Die Medizintechnikfirma Schwarzer konnte als Gerätehersteller sehr gewinnbringend für das Projekt gewonnen werden. Am 05.12.2007 fand in München das erste Gesamtprojekttreffen in neuer Besetzung statt. Parallel dazu wurden die Arbeiten begonnen. Erste Ergebnisse werden Mitte dieses Jahres erwartet.

Kont@kt:

Knöchel, Uwe, Dipl.-Ing.
Projektorganisation Dionysys
Fraunhofer IIS/EAS, Dresden
fon: (03 51) 4 64 07 – 48
fax: (03 51) 4 64 07 – 03
uwe.knoechel@eas.iis.fraunhofer.de