



DIONYSYS – Entwurfsmethoden für hochfrequente Systems-in-Package (SiP)

Von Thomas Rühlicke (Infineon), Uwe Knöchel (Fraunhofer IIS), Guido Janssen (Melexis), Irina Munteanu (CST), Janez Jaklic (Cadence), Hans-Joachim Golberg (Atmel)

Beim System-in-Package (SiP) werden mehrere ungehäuste ICs sowie passive Bauelemente in einem Schaltkreisgehäuse montiert. Das erlaubt die Integration sehr komplexer Systeme, die aus verschiedenartigen Baugruppen bestehen. So lassen sich beispielsweise HF-Baugruppen zusammen mit digitalen Prozessoren und Sensoren kombinieren. Beim Entwurf dieser Systeme treten jedoch neue Fragestellungen auf, die durch die derzeitigen, auf System-On-Chip ausgerichteten Entwurfswerkzeuge nicht ausreichend beantwortet werden. Im Forschungsvorhaben DIONYSYS werden Erweiterungen der Entwurfsmethodik für SiP mit analogen und Hochfrequenzbaugruppen untersucht.

Der Trend zu leistungsfähigen, intelligenten und kleinen Mobilgeräten ist ungebrochen. Funktionen, die bisher in separaten Geräten angeboten wurden, sind in Smartphones integriert, wie zum Beispiel leistungsfähige Kameras, Handyfernsehen und Navigation. Damit diese zusätzlichen Funktionen ins Handy passen und dieses bezahlbar bleibt, müssen mehr Funktionen in einem Baustein integriert werden. Bisher wurde das vorwiegend durch System-On-Chip-Designs (SoC) erreicht. Der Übergang von der Mikro- zur Nanoelektronik erlaubt es, immer mehr Rechenleistung und Speicher auf gleicher Chipfläche unterzubringen. Bei Hochfrequenzschaltungen (HF), Leistungsstufen oder Sensoren ist die Skalierung der Bauelemente jedoch nicht in gleichem Maße möglich. Für die Integration von digitaler Signalverarbeitung mit HF und Sensorik ist eine Realisierung als System-In-Package (SiP) attraktiv, da hierbei mehrere ungehäuste ICs (bald die) verschiedener Technologien in einem gemeinsamen Gehäuse untergebracht und verschaltet werden. Das in Abbildung 1.02 gezeigte GPS-System demonstriert die erreichbare Miniaturisierung. Vorteile einer SiP-Realisierung sind:

- » Integration verschiedenartiger Baugruppen
- » Einsatz der optimalen Technologie für jede Funktionseinheit
- » Vermeidung von Technologieportierungen
- » schnelles Reagieren auf Kundenwünsche durch Wiederverwendung erprobter Module
- » höhere Systemperformance durch Optimierung der Interfaces zwischen den Baugruppen

Damit ist das SiP besonders für Anwendungen interessant, die Bauelemente in verschiedenen Technologien benötigen. Neben der drahtlosen Kommunikation wird im Projekt eine Anwendung im Bereich medizinischer Diagnostik untersucht. Die Projektergebnisse können auf weitere Anwendungsgebiete übertragen werden, zu denen besonders die Automobilelektronik und Sensor-Aktor-Systeme aus verschiedenen Bereichen zählen.

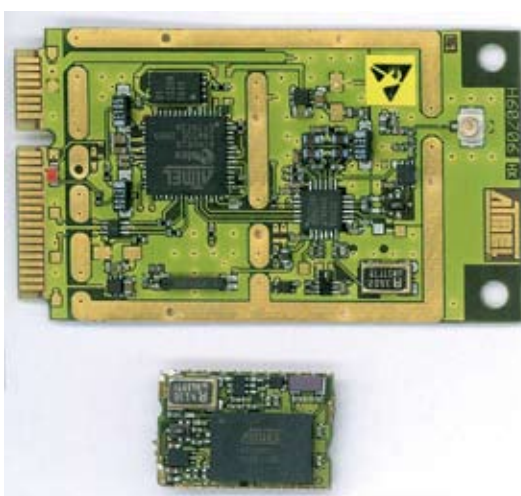


Abbildung 1.02: GPS-SiP (unten) im Vergleich zur Systemplatine mit gleichem Funktionsumfang

Besonderheiten des SiP-Entwurfs

Beim SiP erfolgt ein größerer Teil der Systemintegration beim Schaltkreishersteller, der aufgrund seiner Schaltungskennntnis und der kürzeren Signalwege im SiP bessere Systemeigenschaften erreichen kann als ein Gerätehersteller, der das System aus vielen Einzelteilen auf der Leiterkarte (PCB) aufbaut. Für ein optimales SiP ist die enge Interaktion zwischen IC- und Substratdesign, das dem herkömmlichen PCB-Entwurf ähnelt, erforderlich. Eine Weiterentwicklung der bestehenden Entwurfsverfahren und -werkzeuge ist erforderlich, um den folgenden Herausforderungen gerecht zu werden:

- » Kombination von verschiedenen Halbleitertechnologien und Strukturen im SiP-Substrat
- » parasitäre Effekte und Verkopplungen durch die dichte Anordnung der ungehäusten Einzel-ICs
- » sehr hohe Komplexität des Gesamtsystems
- » Designregeln in 3D für das SiP-Layout
- » Sicherstellung der Testbarkeit des SiP und seiner Einzelteile

Eine breite Anwendung von SiPs wird heute durch das Fehlen von Schnittstellen zwischen Entwurfswerkzeu-

Zusammensetzung des Projektkonsortiums:

Industriepartner:

Atmel Germany GmbH
Cadence Design Systems
Computer Simulation Technology
IMMS gGmbH
Infineon Technologies AG
Melexis GmbH
Schwarzer GmbH

Unterauftragnehmer:

Fraunhofer IIS
TU Dresden
TU Hamburg-Harburg
Uni Erlangen-Nürnberg

Laufzeit des Vorhabens:

01.07.2007–30.06.2010

Förderkennzeichen:

1M3084

Homepage:

dionysys.eas.iis.fraunhofer.de

Das Vorhaben wird mit Mitteln des Bundesministeriums für Bildung und Forschung im Rahmen der Initiative IKT 2020 unter dem Förderkennzeichen 1M3084A-H gefördert.

gen, einer formalen und automatisch überprüfaren Beschreibung von 3D-Designregeln sowie von Konzepten für die Systempartitionierung und den Test gehemmt. Aufgrund der Förderung durch das BMBF ist es möglich, dieses anspruchsvolle Thema in einem Konsortium, bestehend aus Anwendern, Schaltkreisherstellern, EDA-Anbietern und Forschungseinrichtungen zu lösen. In den vier nachfolgend vorgestellten Arbeitspaketen adressiert DIONYSYS die derzeit größten Lücken in der Entwurfsunterstützung für SiPs mit HF-Baugruppen. Ziel ist es, die Durchgängigkeit des Entwurfsablaufs zu verbessern und die Designsicherheit zu erhöhen.

Arbeitspaket 1: Methoden zur Konzipierung des SiP

Durch die Integration eines ganzen Systems in einem Gehäuse bieten sich zahlreiche neue Möglichkeiten bei der Konzipierung eines Systems und seiner Partitionierung in einzelne Bestandteile. Diese zusätzlichen Freiheitsgrade können nur mit einer Unterstützung durch entsprechende Entwurfsmethoden optimal ausgenutzt werden. Der Systementwickler muss schon in der Konzipierungsphase in der Lage sein, verschiedene Konfigurationen (Halbleitertechnologien, diskrete Elemente, passive Substratelemente, Gehäuse) auf die Erfüllung der Entwurfsvorgaben (Performance, Leistungsverbrauch, Größe, Kosten, Robustheit und Parameterschwankungen) untersuchen zu können und sie gegeneinander abzuwägen. Dabei ist die Simulation des gesamten Systems unter Einbeziehung aller seiner Bestandteile samt Verdrahtungen im Gehäuse eine der wichtigsten Methoden, um das Verhalten des Systems vorherzusagen und störende Kopplungen zwischen den Komponenten auszuschließen. Die Partner erwarten, durch frühzeitige Einbeziehung aller Entwurfsgrößen und Schwankungen bei der Partitionierung des SiPs in einzelne SoCs einen Durchlauf einzusparen.

[Verfahren zur Auswahl der Technologien im SiP](#)

Eines der Hauptprobleme bei der Konzeption eines SiP ist die Partitionierung des Systems in eine möglichst optimale Anzahl von geeigneten Halbleitertechnologien und nicht-monolithisch integrierten Komponenten. Die Systemplanung findet zurzeit ohne Rechnerunterstützung basierend auf der Erfahrung von Experten statt. Es ist deshalb bereits in der Konzeptionsphase des Gesamtsystems erforderlich, ein Werkzeug zur Verfügung zu haben, welches es erlaubt, die hohe Anzahl von sehr heterogenen Randbedingungen bei der Systempartitionierung berücksichtigen zu können.

Über eine flexible Simulatoranbindung können mit Hilfe des Modell-Generierungsprogramms TRADICA bereits automatisch Modelle für Bipolartransistoren, pn-Dioden, Widerstände und MIM-Kapazitäten bei Angabe der Prozessparameter und Bauelementgeometrien generiert werden. Prozesstoleranzen werden für die Erstellung von Monte-Carlo-Modellen berücksichtigt. TRADICA wurde bereits im Rahmen des Projektes um die wichtige Gruppe der CMOS-Transistoren erweitert,

so dass auch hier statistikfähige Modelle automatisch generiert werden können. Dies erlaubt den schnellen Austausch von Technologien ohne aufwändigen Wechsel von Design-Kits in der Entwurfsumgebung.

[Multi-Technologie-Simulation unter Einbeziehung von SiP-Strukturen](#)

Beim Entwurf von SiPs ist es notwendig, Schaltkreise gemeinsam zu simulieren, die in unterschiedlichen Entwurfsebenen bzw. Technologien vorliegen. Außerdem sind Package-Komponenten und Modelle für diskrete Bauelemente in die Simulation einzubeziehen. Die gebräuchlichen Schaltungssimulationswerkzeuge und -verfahren wurden zu Beginn des Projektes auf ihre Verwendbarkeit für die Multi-Technologie-Simulation geprüft. Dabei wurden die folgenden Probleme identifiziert:

- » inkompatible Technologiebeschreibungen der Design-Kits
- » IP-Schutz von Extraktionsregeln und Modellen
- » Namensüberlappungen bei Modellen

Ein weiteres Problem bei der Multi-Technologie-Simulation stellt die Einbeziehung von Bauelementen dar, die im oder auf dem SiP-Substrat realisiert werden. Daher wurde im Rahmen des Projektes eine Layoutextraktionsmethode in die Cadence-Design-Umgebung eingebaut, die es ermöglicht, Layout-Bereiche aus Chip-Ebene und SiP-Substratebene gemeinsam zu extrahieren und einem 3D-EM-Simulator (zum Beispiel CST MWS) zuzuführen. Dieser kann nun ein S-Parametermodell berechnen, welches die elektromagnetische Kopplung beschreibt. Ausgehend von diesem neuen Verfahren werden exemplarisch, zum Beispiel anhand einer planaren Spule, lineare Ansätze für die Beschreibung der Modellparameter gesucht. Hierdurch erhält man vereinfachte statistikfähige Bauelementmodelle in Abhängigkeit von Prozessparametern, welche für Monte-Carlo-Simulationen genutzt werden können.

[Vergleich zwischen SiP-Substrat-Bauelementen und optimierten SoC-Bauelementen](#)

Die Komponenten eines SiP können auf verschiedene Weise platziert und realisiert werden. Der Entscheidungsprozess hierfür, der bisher noch nicht im ausreichenden Maß strukturiert wurde und noch nicht mit Software-Tools automatisiert werden kann, ist von wesentlicher Bedeutung, um eine optimale SiP-Funktionalität zu gewährleisten.

Zur relativen Bewertung von SiP gegenüber SoC werden im Projektrahmen die Spezifikationen eines Systems gleicher Gesamtfunktionalität sowohl für eine SiP- als auch eine SoC-Lösung festgelegt und dann als Hardware realisiert. Als Testschaltung wird ein Modul für die hochgenaue Aufnahme und Auswertung sehr kleiner bioelektrischer Signale verwendet, welches die aufgenommenen Signale per Funk an eine Basisstation sendet. Diese Testschaltung wird in sehr kleiner Bauform realisiert, um sie als aktive Elektrode

zur Ableitung von Biopotenzialen verwenden zu können. Abbildung 1.03 zeigt den geplanten Aufbau des Demonstrators. Es werden Entscheidungskriterien bereitgestellt, die es einerseits ermöglichen, angepasst an den jeweiligen Anwendungsfall, die optimalen Komponenten zu selektieren und andererseits zu ermitteln, ob ein SiP oder ein SoC die bessere Gesamtlösung bezüglich Performance, Flächenbedarf, Störfähigkeit, Bauelemente-Streuung, Interkonnektivität und Zuverlässigkeit bietet.

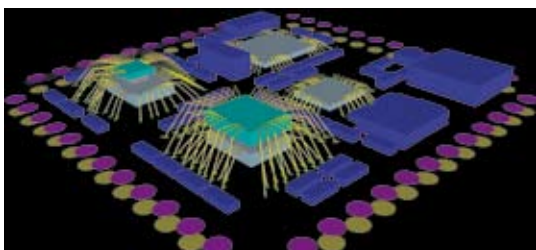


Abbildung 1.03: 3D-Ansicht des SiP zur Aufnahme bioelektrischer Signale

Arbeitspaket 2: Analyse, Modellierung und Simulation von SiP-Strukturen

Die enge Integration mehrerer Dies in einem Chipgehäuse mit zusätzlichen passiven, mikrosensorischen und aktiven Komponenten stellt hohe Anforderungen an die Simulation. Einerseits erfordert die Komplexität des zu analysierenden Systems eine hohe Simulationsperformance, andererseits müssen kritische Bereiche sehr detailliert untersucht werden. Diese Rahmenbedingungen erfordern verbesserte Schnittstellen zwischen unterschiedlichen Simulationstools, den effizienten Einsatz von 3D-EM-Simulationsverfahren und Techniken, um Modelle bei Erhalt wichtiger Eigenschaften zu vereinfachen.

Nahtlose Schnittstellen zwischen HF-SiP-Layout, 3D-EM Simulation und Schaltungsanalyse

Die Bewertung von SiPs erfordert unter anderem die genaue Betrachtung kritischer Schaltungsteile und Interfaces mit Hilfe von exakten Simulationmethoden. Hierzu gehört die dreidimensionale elektromagnetische (3D-EM) Feldsimulation, welche eine Analyse der Performance auf Basis hochgenauer Feldbetrachtungen ermöglicht. Da die manuelle Eingabe von Strukturen für die 3D-EM-Simulation aufgrund der Komplexität sehr aufwändig ist, wurde eine Simulationsschnittstelle entwickelt, die eine automatische Übernahme von Layout- und Schematic-Daten und die Bereitstellung von Technologieparametern aus dem Design-Kit des Halbleiterherstellers ermöglicht. Da Layout- und 3D-EM-Simulationstools sehr unterschiedlich arbeiten, ist es eine Herausforderung, die notwendigen Transformationen der Daten zwischen den Tools mit geringstem Informationsverlust zu realisieren. Mit dem Link zwischen Cadence SIP-RF und CST Microwave Studio wurde in DIONYSYS ein erster Prototyp realisiert (Abbildung 1.04). Dieser erlaubt den automatisierten Transfer der Technologie- und Layoutdaten, die

automatische Einrichtung der Simulationsparameter für Ports, Materialien, Randbedingungen, etc., die Ausführung der 3D-EM-Simulation sowie die Backannotation der Ergebnisse in das Cadence Schematic. Erste Tests dieser Anbindung wurden erfolgreich an einer WLAN-Receiver-Testbench durchgeführt. Durch die Einbindung der 3D-EM-Simulation wird die Qualität Simulationsergebnisse deutlich verbessert.

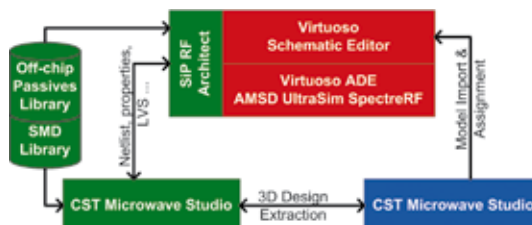


Abbildung 1.04: Automatisierter Link zwischen Cadence RF-SiP und CST Microwave Studio.

Analyse und systematische Modellierung von HF-SiP-Strukturen

Über 3D-EM-Simulationen lassen sich viele Fragen im Vorfeld der Implementierung klären; jedoch ergeben sich bei der Untersuchung geometrisch äußerst komplexe Systeme, die mit heutiger Rechenleistung üblicherweise nicht handhabbar sind. DIONYSYS beschreitet hierzu zwei Lösungswege. Zum einen werden kritische Teilsysteme mit überschaubarem Umfang in 3D-EM-Simulationen untersucht und deren Ergebnisse als Modelle auf höherer Abstraktionsebene zur Verfügung gestellt. Einen weiteren Lösungsweg stellen neue oder verbesserte Simulationmethoden dar, die weniger Speicherplatz und Rechenleistung benötigen, ohne die Genauigkeit zu vermindern. Beiden Lösungen gemeinsam ist die Notwendigkeit einer Ablaufautomatisierung, welche relevante Einstellungen (Mesh, Solver, etc.) abhängig von Strukturtyp, Frequenzbereich und gewünschter Genauigkeit optimal auswählt.

Die Evaluierung von 3D-EM-Simulationsverfahren anhand realisierter HF-SiP-Strukturen bildet das Verbindungsglied zwischen theoretischer Simulation und Messung. Module und Komponenten wie in Abbildung 1.05 gezeigt, werden unter Verwendung unterschiedlicher Technologien (z. B. LTCC) als Einzelstrukturen realisiert und deren elektrische Parameter bestimmt. Anhand der Messergebnisse werden die Simulationsverfahren verifiziert und Empfehlungen für die vielfältigen Einstellmöglichkeiten der 3D-EM-Simulatoren abgeleitet. Die Simulationstechnik wird ferner am komplexen Systemdemonstrator überprüft.

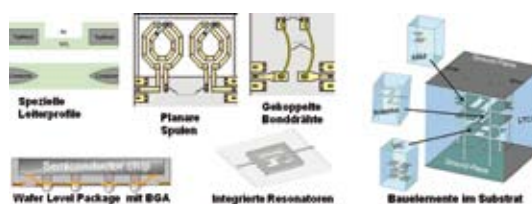


Abbildung 1.05: Auswahl kritischer Module und Komponenten für die SiP-Integration

Ordnungsreduktion zur Generierung effizienter Ersatzmodelle

Einen möglichen Ansatz zur Verringerung der benötigten Rechenressourcen zur Erfassung hochkomplexer SiP-Entwürfe bietet die Vereinfachung der Modellkomplexität unter Beibehaltung des Detaillierungsgrades. DIONYSYS untersucht verschiedene Methoden, die unter Berücksichtigung der erforderlichen Genauigkeit numerisch effiziente Simulationsmodelle mit reduzierter Komplexität (verminderte Summe innerer Knoten und Maschengleichungen) bereitstellen. Hierzu gibt es verschiedene Ansätze für meist kleinere Schaltungseinheiten aus früheren Förderprojekten (LEONIDAS, ANASTASIA+, ANASTASIA2, VeronA), die in DIONYSYS auf wesentlich größere Schaltungseinheiten angewendet und auf Basis von abstrakten mathematischen Übertragungsmodell-Ansätzen ausgeweitet werden.

Die Erzeugung dieser performanten analogen Verhaltensmodelle für größere Schaltungseinheiten unter Berücksichtigung parasitärer Effekte und Nichtidealitäten ist eine Schlüsselvoraussetzung für eine effiziente Performance-Verifikation auf verschiedenen Design-Hierarchieebenen. Besonders die extrem großen Top-Level-Netzlisten als auch die komplexen Modelle für die im SiP verstärkt auftretenden 3D-Effekte (parasitäre Effekte im Substrat, Abstrahlung, Übersprechen im Gehäuse, PCB- und SiP-Layout, etc.) werden in DIONYSYS mit einer leistungsfähigen Ordnungsreduktion (MOR) adressiert, um eine effiziente Simulation des ganzen Systems zu ermöglichen. So wurde zum Beispiel durch die Anwendung und Kombination verschiedener Reduktionsmethoden für RC-Netzlisten die Möglichkeit geschaffen, die Simulationszeit um einen Faktor 10 bis 100 zu reduzieren. Im Bereich der ordnungsreduzierten prozessabhängigen HF-Modelle wurde ein adäquates Makromodell zur Nachbildung des Kleinsignalverhaltens einer Demonstratorschaltung entwickelt. Die Einbindung der MOR in den Designflow ist für deren Akzeptanz von großer Bedeutung. Hierzu wird in DIONYSYS eine automatisierte Umgebung zur interaktiven Erstellung effizienter linearer Ersatzmodelle in die Entwurfsumgebung eingebunden, welche den Anwender durch den kompletten Arbeitsablauf führt. Neben der Testbenchgenerierung wird der Benutzer bei der Modellextraktion und -kalibrierung und der Verifikation des Modells interaktiv unterstützt.

Arbeitspaket 3: Automatisierung des SiP-Layout-entwurfs

Parameter und Eigenschaften des Gesamtsystems werden durch das SiP-Layout stark beeinflusst. Zum einen müssen fertigungstechnische Richtlinien eingehalten werden, zum anderen besteht die Möglichkeit, passive Bauelemente im SiP-Substrat zu realisieren. Wegen der hochintegrierten und komplexen Aufbauweise von SiPs sind für den Entwurf des SiP-Layouts automatisierte Verfahren zur Layoutoptimierung und -verifizierung erforderlich, um die Entwicklungszeit signifikant zu verkürzen.

Automatisierte Erstellung integrierter passiver HF-Bauelemente und spezieller Schaltungen

Heutige Schaltkreise benötigen aus Funktions-, Stör-, Kosten- bzw. Platzgründen externe, passive Bauelemente. Mit der SiP-Technologie können diese günstig im oder auf dem Modulsubstrat integriert werden. Die Anpassnetzwerke oder Teilschaltungen können dabei aus miteinander verbundenen SMDs, Dies und im Modulsubstrat integrierten Spulen, Kondensatoren, passiven Filtern oder Antennen zusammengestellt werden. Gegenüber dem SoC gibt es beim SiP Unterschiede bei den verwendeten Technologien, Assembly und Aufbautechnik, so dass viele neue Designanforderungen gelöst werden müssen.

Die SiP-Integrationstechnologien lassen sich in zwei Kategorien unterteilen: Die in das Gehäusesubstrat eingebetteten („embedded“) passiven Bauteile und die als SMD-Bauteile auf das Substrat gelöteten, wobei in Sonderfällen auch Mischformen angewendet werden. Die Technologien für die ins Substrat eingebetteten passiven Bauteile lassen sich in Dünnschicht-, LTCC- (Low Temperature Cofired Ceramic) und Substratlaminierungstechnologien klassifizieren. Als aktuell kostengünstigste, flexibelste und in der Entwicklungszeit schnellste Technologie wurde die Integration von SMD-Bauteilen ermittelt, die zukünftig zunehmend durch substratlamierte Bauteile ergänzt wird. Um die Kosten und „time to market“-Anforderungen zu optimieren, ist ein „first time right“-Entwurf erforderlich. Ein Hindernis auf dem Weg zu diesem Ziel ist der Entwurf von in die Verdrahtungsstruktur des Substrates eingebetteten Spulen und Transformatoren. Während der Entwurf dieser Komponenten heute im Wesentlichen von den Erfahrungen und Kenntnissen des jeweiligen Entwicklers abhängt, kann eine automatische Generierung dieser Strukturen mit anschließender 3D-Simulation (Arbeitspaket 2) oder speziell darauf zugeschnittenen Modellen die Entwurfsicherheit deutlich erhöhen. Eine Spezifikation derartiger Strukturgeneratoren wurde erstellt, und die Implementierungsarbeiten stehen kurz vor dem Abschluss.

Für die automatisierte Erstellung von passiven, in das SiP-Substrat integrierten HF-Bauelementen wurde das Konzept der PCells (Parametrized Cells) aus dem IC-Design für das SiP-Layout übernommen. Zum Beispiel wird eine Spule dabei mittels Parametern wie Leiterbreite, Anzahl und Abstand der Windungen definiert und das Layout entsprechend den Parameterwerten automatisch erzeugt. Diese Parameter können sowohl im Schaltplan als auch im SiP-Layout verändert werden. In einer ersten Implementierung wurden zahlreiche Funktionen bereitgestellt, die die SiP-PCell-Methodik sowohl im Schaltplan als auch im SiP-Layout unterstützen. In einem weiteren Schritt wurde die SiP-PCell-Methodik um einen objektorientierten Ansatz erweitert. Mit diesem lassen sich SiP-PCells nach dem Baukastenprinzip programmieren. Dieser objektorientierte Ansatz ermöglicht es, eine PCell-

Library in verschlüsselter Form bereitzustellen, die es dem Nutzer erlaubt, Veränderungen vorzunehmen. Objektklassen und Methoden können vererbt werden, so dass der Aufbau und die Pflege von SiP-PCell-Bibliotheken deutlich erleichtert wird. In Abbildung 1.06 ist an einem Beispiel das Konzept der Wiederverwendung einer existierenden PCell für eine neue PCell-Definition dargestellt. Im Beispiel wird die PCell XyzChamferInd-Class von einer existierenden PCell XyzRectInd-Class abgeleitet, wodurch auch alle Klassen und Methoden der Rechteckspule an die neue PCell-Definition vererbt werden. Lediglich Unterschiede wie ein neuer PCell-Parameter zur Kontrolle der Abschrägung und die Methode zum Generieren der Windung müssen programmiert werden. Dadurch ist die neue PCell-Definition mit nur 24 Zeilen Skill-Code möglich.

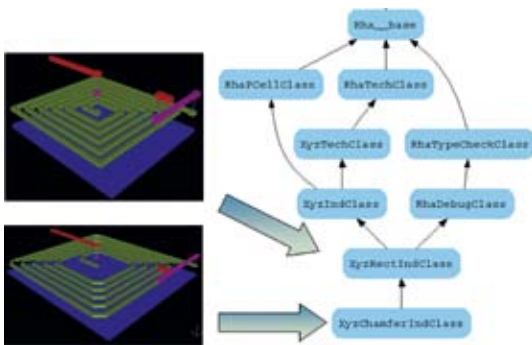


Abbildung 1.06: Beispiel zur Wiederverwendung einer objektorientierten PCell

Sprachkonzept zur Beschreibung von Design-Regeln für HF-SiP-Designs

Beim Entwurf von SiPs sind zahlreiche Anforderungen und Einschränkungen zu beachten, die für die praktische Anwendung in Form von Design-Regeln für das Package-Layout vorgegeben sind. Für die Einhaltung von Regeln sind automatische Prüfungen unerlässlich, die im SiP-Bereich aufgrund fehlender Methoden nur ad hoc und mit viel Aufwand implementiert werden können. Als Folge werden viele Design-Regeln nicht von automatischen Prüfungen abgedeckt und müssen manuell verifiziert werden. Um dieses Problem anzugehen, wird im Projekt eine Sprache zur formellen Beschreibung von SiP-spezifischen Design-Regeln entwickelt. Durch die geeignete Auslegung der Sprache kann die Beschreibung der Regel direkt und ohne Übersetzung als Spezifikation für deren automatische Überprüfung im entsprechenden Verifikationsprogramm genutzt werden. Die Implementierung und Modifizierung der Regeln wird dadurch erheblich vereinfacht und beschleunigt.

Um zu einer möglichst vollständigen Definition der Sprache zu gelangen, wurden zahlreiche Beispiele von Regeln analysiert und die ihnen entnommenen Bestandteile klassifiziert. Als Ergebnis enthält die Sprache Basisobjekte, hergeleitete Objekte, Messungen, Prädikate, Herleitungen, Tupels und Relationen. Die Sprache definiert auch eine relationale Algebra, mit der die Zusammenhänge zwischen den Objekten

definiert und komplexere Relationen von Objekten aus einfacheren hergeleitet werden können. Das gesamte Sprachkonzept wurde an mehreren Beispielen von komplexen Design-Regeln getestet, indem diese vollständig beschrieben und manuell überprüft werden konnten. Im Projektverlauf werden die Bestandteile der Sprache vervollständigt, festgelegt und syntaktisch formalisiert.

Arbeitspaket 4: Testkonzepte für System-In-Package

Die Testbarkeit und der Test als Produktionsprozess sind ein entscheidender Faktor für die Wirtschaftlichkeit und damit den Erfolg von SiP-Produkten. Die hohe Integrationsdichte im SiP und die begrenzte Anzahl der von außen zugänglichen Signale sind eine Herausforderung für Test und Fehleranalyse von SiPs, weil durch ein defektes Bauteil oder eine fehlerhafte Verbindung alle im SiP integrierten Komponenten unbrauchbar werden oder kostspielige Reparaturprozesse die Folge sind. In Arbeitspaket 4 werden Voraussetzungen geschaffen, die wirtschaftliche Testbarkeit von SiPs sicherzustellen. Dabei sind zwei verschiedene Probleme zu lösen: zum einen die Qualität des Test ungehäuster Chips, die besonders für HF-Baugruppen eine Herausforderung darstellt, zum anderen die Komplexität des Tests eines fertig montierten SiP.

Wafer-Level-Test

Die Tatsache, dass im SiP mehrere ungehäuste Chips (Bare Dies) montiert und verdrahtet werden, macht es erforderlich, fehlerhafte Dies auf dem Wafer erkennen und aussortieren zu können und nur funktionstüchtige Baugruppen „Known Good Dies“ (KGD) weiter zu verarbeiten. Diese eher triviale Forderung führt in der Praxis zu Problemen und Fragestellungen, die beim klassischen IC-Test durch die Aufteilung des Testprozesses in Wafer- und Endtest gelöst wurden. Während zum Beispiel der KGD-Level des Wafertests klassisch von untergeordneter Bedeutung ist, da die Qualität der Bausteine noch vom Aufbauprozess beeinflusst werden kann und der Endtest die Bausteinqualität sicherstellt, bestimmt er für SiPs entscheidend die Ausbeute des Produktes, da sich im SiP die Ausfallwahrscheinlichkeiten der Teilsysteme multiplizieren. Die zentralen Fragen sind daher:

- » Welche Parameter müssen gemessen werden?
- » Wie und mit welcher Ausrüstung kann die Messung wirtschaftlich in Volumenproduktion erfolgen?
- » Mit welcher Methodik erreicht man zufriedenstellende KGD-Level?

Zur Bestimmung des KGD-Levels wurde eine Methode entwickelt. Die Idee ist, eine gewisse Anzahl an ungehäusten Bausteinen, z. B. einen Wafer, mit der für „Known Good Die“ vorgesehenen Prüfabdeckung zu testen und dann sowohl die den Test bestehenden als auch die fehlerhaften Bausteine mit einem Gehäuse zu versehen, so dass beide Gruppen einem Endtest unterworfen werden können, wie er üblicherweise für eine

solche Produktfamilie benutzt wird, um die Auslieferqualität zu garantieren. Aus den gewonnenen Daten der verschiedenen Einzelschritte ist es dann hinreichend genau möglich, abzuschätzen, welcher Grad an Qualität bereits nach dem Test der ungehäusten Einzelbausteine erreicht wurde. Diese Methode wurde im Rahmen des Projektes auf zwei Wafer eines modernen CMOS-RF-Transceivers angewandt und es wird gezeigt, dass für System-in-Package-Anwendungen notwendige Qualitätsgrade erreicht werden können. Die einzelnen Prozessschritte des vorgeschlagenen Experimentes sind in Abbildung 1.07 dargestellt. Die Wiederholung einzelner Testschritte dient dazu, in der späteren Auswertung fehlerhafte Messungen von tatsächlich fehlerhaften Bausteinen unterscheiden zu können. Mit dem durch dieses Experiment bestimmten KGD-Level von über 99 % wurde gezeigt, dass die für System-in-Package-Anwendungen geforderten Qualitätsniveaus technisch erreicht werden können. Allerdings muss durch den erhöhten Aufwand bei der Scheibenmessung, z. B. durch die Zusatzkosten, die eine HF-taugliche Kontaktierung der einzelnen Chips verursacht, auch die Wirtschaftlichkeit berücksichtigt werden. Dieser Aspekt wird im weiteren Projektverlauf bearbeitet.

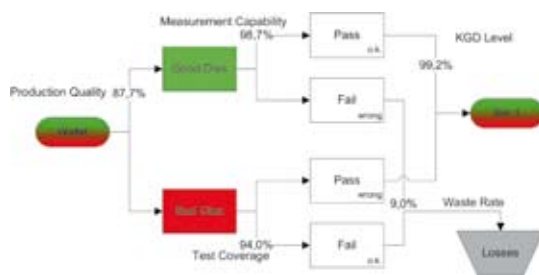


Abbildung 1.07: Prozessschritte des KGD-Experimentes



Abbildung 1.08: Exemplarische Testspinn

Zur Sicherstellung eines hohen KGD-Levels ist die Entwicklung einer HF-Probermesstechnik erforderlich, die sowohl eine möglichst genaue Messung der HF-Parameter ermöglicht, als auch die wirtschaftlichen Voraussetzungen für die Volumenproduktion erfüllt. Die nachfolgenden, auf dem Markt bereits erhältlichen Konzepte wurden analysiert:

- » Cantilever-Probernadeln
- » Scheiben-Probernadeln (Metall und Keramik)
- » Vertikale Probernadeln
- » Mikrofeder-Probernadeln
- » Membran-Probernadeln
- » Mehrfachkontakt-Probernadeln

Es zeigte sich, dass keines der Kontaktierungskonzepte alle notwendigen Anforderungen gleichzeitig erfüllt. Mit den käuflichen Lösungen kann keine gute HF-Messgenauigkeit mit geringen Herstellungskosten und einer Tauglichkeit für die Volumenproduktion kombiniert werden. Technisch ausgeklügelte HF-Proberkontaktierungen, zu denen die Membran-Probernadeln oder die Multikontakt-Probernadeln zählen, sind durch zu hohen Verschleiß und hohe Kosten in einer Volu-

menproduktionsumgebung nicht einsetzbar. Auf der Basis dieser Erkenntnisse wurde ein eigenes Konzept entworfen, mit den Zielen einer Tauglichkeit für die Massenfertigung, geringer Kosten und guten Hochfrequenzeigenschaften. Als HF-Schlüsselparameter wurden identifiziert:

- » S-Parameter
- » Rauschzahl
- » HF-Signalpegel
- » IP2 und IP3
- » 1-dB-Kompressionspunkt
- » Harmonische und Spurious Emissions

Für die Realisierung wurde ein entsprechender Standard-Cantilever-Proberadapter nach HF-Kriterien modifiziert. Dabei wurden anstatt der Standard-Probernadeln zwei entsprechende Stücke Semirigidleitung verwendet und auf der Adapterplatine fixiert. Die Kontaktierung des Wafers erfolgt direkt über den Innenleiter der Semirigidleitung. Um eine möglichst genaue Leitungsimpedanz von 50 Ohm zu erzielen, wurden jeweils links und rechts an der HF-Abschirmung zwei Leiterstücke als begleitende Masse angelötet. Die Enden dieser beiden Innenleiter werden beim Testen am vorderen Ende mit dem Wafer kontaktiert. Abbildung 1.08 zeigt den Aufbau der Testspinn.

Konzepte für SiP-Systemtest

Im zweiten Komplex des Arbeitspakets werden Testprobleme untersucht, die durch eine geringe Anzahl von Pins bei hoher Systemkomplexität des SiP entstehen. Der Test von SiPs ruft aufgrund der Komplexität, der beschränkten Zugangsmöglichkeiten zu SiP-internen Verbindungen und der Verwendung neuer Technologien große Probleme hervor und verlangt eine neue Vorgehensweise beim Testen. Traditionelle IC-Teststrategien basieren auf der Verfügbarkeit ausreichend vieler Zugriffsmöglichkeiten auf chipinterne Signale und Funktionseinheiten, die in kurzer Zeit auf einem spezialisierten IC-Tester gemessen werden können. Dabei sind Methoden zur Testzeitverkürzung, wie „Built In Self Tests“, „Scan-Tests“ und gemultiplizierte analoge Testpins durch additive Schaltungen seit Jahren Stand der Technik. Andererseits löst die traditionelle Board-Teststrategie die Überprüfung von Verdrahtungen, Durchkontaktierungen und Bauteilverbindungen durch „Boundary Scan Tests“ und auf das Board spezialisierte Tester (bed of nails). Beide Strategien lassen sich jeweils nur eingeschränkt auf SiPs anwenden, da einerseits der uneingeschränkte Signalzugriff nicht gewährleistet ist und andererseits oftmals SiP-Komponenten nicht scanfähig sind. Eine allgemeingültige Antwort auf die Frage nach der besten Testmethode kann es nicht geben, da die Art, Funktionsvielfalt, Komplexität und Testanforderungen der SiPs sehr unterschiedlich sind; es wird immer eine auf das SiP zugeschnittene Lösung sein, die eine Mischung aus dem traditionellen IC-Test und dem Board-Test darstellt.

Zur Erprobung eines solchen kombinierten Verfahrens wurde ein SiP-GPS-Empfänger als Testobjekt entworfen und gefertigt. Abbildung 1.02 zeigt das fertige SiP im Vergleich zu einer Systemplatine gleichen Funktionsumfangs. Mit nur 22 Pins muss die Funktionalität des GPS-Empfängers getestet werden, was nur durch einen Systemtest erreichbar ist. Da ein GPS-Systemtest systembedingt etwa 40 Sekunden dauert, ist die Anwendung der traditionellen IC-Teststrategie durch geringen Durchsatz und hohe Testzeitkosten unwirtschaftlich. Es wurde daher ein Testkonzept entwickelt, das mit preiswerten Testerkomponenten einen massiv parallelen Test ermöglicht und SiP-interne Ressourcen wie Prozessor und embedded Firmware nutzt. Abbildung 1.09 zeigt die dafür notwendige Hardware. Der PC-basierte Tester kontrolliert den GPS-Signal-Generator, ein optionales Dämpfungsglied und das Test-Fixture. Er verteilt und kontrolliert die Testprogrammverteilung zu den SiPs, sammelt und speichert die Messergebnisse und bildet die Kommunikationsschnittstelle zum Menschen. Die gut/schlecht-Entscheidung erfolgt mittels eines Vergleichs zu einem „golden device“ innerhalb einstellbarer Parametergrenzen. Die Konstruktion und Herstellung der Test-Fixtures sowie die Softwareerstellung und Erprobung des Testers sind im weiteren Projektverlauf vorgesehen.

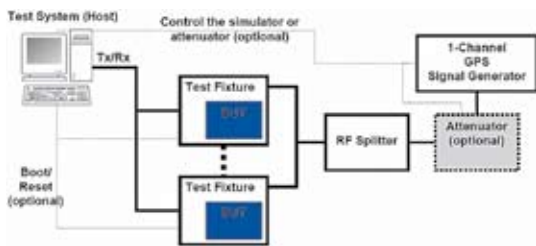


Abbildung 1.09: Testerhardware

Die eingeschränkte Zugangsmöglichkeit zu internen Signalen verhindert oftmals die Anwendung klassischer Methoden zur Performancebestimmung der einzelnen Blöcke, da durch die Messung vieler in Kettenschaltung angeordneter Funktionseinheiten eine Fehlerüberlagerung auftreten kann. Die zur Lösung dieses Problems erarbeiteten modellbasierten Testmethoden setzen an der Reduktion der Messungen sowie an der Aufdeckung verschiedener Einflussüberlagerungen an. Vom Testobjekt wird ein Modell erstellt, das parametrisiert wird und an dem anschließend der eigentliche Test auf Fehler bzw. Performance durchgeführt wird. Der eigentliche Hardwaretest reduziert sich somit auf die Bereitstellung von Daten, mit denen ein Identifikationsproblem gelöst wird. Hierbei können unterschiedliche Identifikationsmethoden zum Einsatz kommen wie z. B. nichtlineare Optimierung, künstlich neuronale Netze, Regressionsanalysen, usw. Die Auswahlfaktoren bzgl. einer Methode

sind dabei durch die Kernaufgabe der Testzeitreduktion festgelegt. Technische Aspekte der Signalgenerierung, Komplexität von Testern und Aufwand für den Testoverhead sind ebenso entscheidend für die Auswahl. Die identifizierten Parameter beinhalten nun Aussagen über Verhalten (Performance) und Hardware-Fehler des Testobjekts. Im Projekt wurden verschiedene Varianten des Verfahrens an Systembeispielen untersucht. Die Ergebnisse wurden u. a. in [6] veröffentlicht.

Ausblick

In der ersten Projekthälfte wurden für die verschiedenen offenen Probleme des HF-SiP-Entwurfs eine Reihe von Lösungsansätzen erarbeitet, die derzeit als Prototypen implementiert werden. Gleichzeitig wurden einfache Teststrukturen und komplexe SiP-Systeme als Testobjekte entworfen. Im dritten Projektjahr werden die Verfahren anhand der Testobjekte hinsichtlich Genauigkeit und Leistungsfähigkeit getestet und verfeinert. Besonders interessante Ergebnisse werden von dem in Abbildung 1.03 gezeigten System zur Aufnahme und Verarbeitung biomedizinischer Signale erwartet, das sich derzeit in der Prototypfertigung befindet.

Veröffentlichungen

- [1] Knöchel, U.; Golberg, H.-J.: *DIONYSYS – Design technology for radio frequency systems in package*. International Conference, Workshop and Exhibition on Chip, Packaging, Design, Simulation and Test. 23.–24. April 2008, Dresden
- [2] Müller, R.; Wegener, C.; Jentschel, H.-J.: *An Approach to Model-based Testing of Mixed-signal SiPs*. International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW), 18.–20. Juni 2008, Vancouver, Kanada
- [3] Elneel, N. A.; Wagner, F.; Schroeder, D.; Krautschneider, W. H.: *An Approach for an Efficient Transition from System-on-Chip to System-in-Package*. Annual Workshop on Semiconductor Advances for Future Electronics and SENSORS (SAFE), Eindhoven, Niederlande, 27.–28. November 2008
- [4] Müller, R.; Wegener, C.; Jentschel, H.-J.; Sattler, S.: *Model-based Testing and Diagnosis for Mixed-signal Systems-in-Package*. In Proc. Zuverlässigkeit und Entwurf 2008, GMM Fachbericht 57, S. 17–24, Ingolstadt, 29. September – 01. Oktober 2008
- [5] Kunze, M.: *Electromagnetic Simulation of Passive 3D RF-SiP Components*. RadioTecC Transmit&Test Solutions 2008, Berlin, 15.–16. Oktober 2008
- [6] Müller, R.; Wegener, C.; Jentschel, H.-J.; Sattler, S.; Mattes, H.: *An Approach to Linear Model-based Testing for Nonlinear Cascaded Mixed-Signal Systems*. Design, Automation and Test in Europe (DATE), Nizza, Frankreich, 20.–24. April 2009

Kont@kt (DIONYSYS)
 Uwe Knöchel
 Fraunhofer IIS/EAS, Dresden,
 fon: (03 51) 46 40 – 7 48
 fax: (03 51) 46 40 – 7 03
 uwe.knoechel@eas.iis.fraunhofer.de