

AZTEKE: Applikationsspezifische Testmethodik für hochkomplexe Systeme der Kommunikations- und Kraftfahrzeugtechnik

Abstrakt

Das Projekt AZTEKE (Applikationsspezifische Testmethodik für hochkomplexe Systeme der Kommunikations- und Kraftfahrzeugtechnik) wird innerhalb des Förderschwerpunktes Ekompas gefördert und hat hohe strategische Relevanz für die Verbesserung der Kostensituation beim Testen neuer Technologien mit einer Wafergröße von 300 mm Durchmesser. Hier können zweieinhalb Mal so viele Chips wie auf einem 200 mm-Wafer aufgebracht werden, was eine Kosteneinsparung in den Herstellungskosten von etwa 30 % erbringt. Die Herausforderung auf dem Gebiet des Testens dieser Logik-Chips besteht darin, den gesamten Prüfungsaufwand für 300 mm-Wafer bei gleicher Anzahl von Scheiben und Qualität mit nicht mehr Aufwand an Testequipment und Zeit wie bei 200 mm-Scheiben abzuwickeln. In AZTEKE werden innovative Testmethoden und neue Fehlermodelle für SoC's und Schaltungen mit mehreren Millionen Gattern entwickelt, die schnellere, effizientere und kostengünstigere Testmöglichkeiten für Pfadverzögerungen, Signalintegritätsverletzungen und Deterministic Logic Built-in Self-Test (DLBIST) bieten.

Einleitung

Halbleiterprozesse im sub-100 nm-Bereich erlauben bereits heute die monolithische Integration von komplexen mikroelektronischen Systemen auf einem Chip (SoC – Systems-on-Chip). Neben dem rasanten Wachstum der integrierbaren digitalen Signalverarbeitungsfunktionen entwickeln sich besonders analoge und mixed-signal Funktionalitäten zum Grundbestandteil solcher Systeme. Darüber hinaus steigt die Heterogenität dieser Systeme durch die zunehmende Integration von sensorischen und mikromechanischen Funktionen sowie der Bereitstellung von Schnittstellenfunktionen zur Leistungselektronik und Hochfrequenztechnik rasch an. Die sich daraus unmittelbar ableitenden technischen Herausforderungen sind zur Bedienung der Nachfrage in den großen Märkten, wie z.B. der Automobiltechnik und der Telekommunikation, die vom privaten Konsum dominiert werden, effizient zu lösen. Eine wesentliche Voraussetzung für die wirtschaftlich erfolgreiche Produktion im Markt für SoC ist die Verfügbarkeit von effizienten Testmethoden, die den ständig steigenden Anforderungen an die Zuverlässigkeit und Fehlerfreiheit gerecht werden. Hierbei ist es besonders wichtig, dass die Testmethoden unter industriellen Randbedingungen bei der Produktentwicklung und Chipherstellung wirtschaftlich und einfach anzuwenden sind. Das Erarbeiten von qualifizierten und weitgehend standardisierten Testlösungen

für verschiedenste Systemmakros und von Hilfsmitteln zur Systemintegration gilt als Leitlinie für die in AZTEKE zu bearbeitenden Aufgabenstellungen.

Das Projekt ist unterteilt in die drei Teilprojekte „Modularer Test für komplexe Systems-on-Chip“, „Diagnose und Fehlerlokalisierung“ und „Timing- und Performance-Tests bei hohen Betriebsfrequenzen“.

Teilprojekt 1:

„Modularer Test für komplexe Systems-on-Chip“

Für anwendungsspezifische SoC wird der Ansatz verfolgt, diese weitestgehend aus Systemmakros aufzubauen. Das Erreichen der geforderten Testqualität des Gesamtsystems kann nur dann gewährleistet werden, wenn bei der Testentwicklung sowohl das isolierte Makro als auch die Einbettung des Makros in die Systemumgebung betrachtet werden. In dem Arbeitspaket „Modularer Test für komplexe Systems-on-Chip“ werden dazu neue Testkonzepte und Testabläufe entwickelt, die bereits in einer frühen Phase des Schaltungsentwurfs eine Aussage über die Testbarkeit der Makros und des Systems erlauben. Als Randbedingungen sind hier Restriktionen durch den Tester als auch die unzureichende Steuer- und Beobachtbarkeit der eingebetteten Makros zu berücksichtigen.

Abbildung 1 zeigt die Aufteilung der Aufgabenstellung in die Arbeitspakete AP_1.1 bis AP_1.6.

SoC, die meistens Prozessoren als intelligente Kerne enthalten, werden einem Fertigungstest mit einem externen Tester unterworfen. Dabei sind diese SoC häufig in Funktionsblöcke partitioniert, die mittels Scan-Path-Strukturen für den Test zugänglich sind. Bei dieser Testmethode werden interne Schaltungsstrukturen mit höheren Geschwindigkeiten und Taktraten betrieben, als es der Zugang von außen erlaubt, und es wird eine relativ hohe Anzahl von Prüfpins benötigt, die von einer geeigneten Testapparatur angesteuert werden müssen. Dieser externe Test stößt hinsichtlich Qualität und Kosten bereits heute an seine Grenzen. Der Anteil von nur dynamisch testbaren Fehlern in digitalen sub-100 nm CMOS-Technologien nimmt stetig zu, ebenso die Kosten der IC-Hersteller für komplexere und schnellere Tester.

» Um den funktionalen Test von außen weitestgehend ersetzen zu können, wurde in Azteke ein Verfahren zur effizienten Kompaktierung und Dekompaktierung für viele parallel an einen Controller angeschlossene

Zusammensetzung des Projektkonsortiums:

Partner:

- » Atmel Germany GmbH
- » Infineon Technologies AG
- » Philips Semiconductors GmbH

Unterauftragnehmer:

- » Brandenburgische Technische Universität Cottbus
- » Universität Potsdam,
- » Redemund & Thiede Datentechnik GmbH
- » Universität Bremen
- » Universität Stuttgart

Förderkennzeichen:

01 M 3063

Laufzeit des Vorhabens:

01.03.2002 bis 28.02.2005

Schlüsselworte:

ATPG, BIST, Delay-Test, DFT, Diagnose, IDDX, I/O, LBIST, Re-Use, Scan-Test, Signal-Integrity, SoC, Test

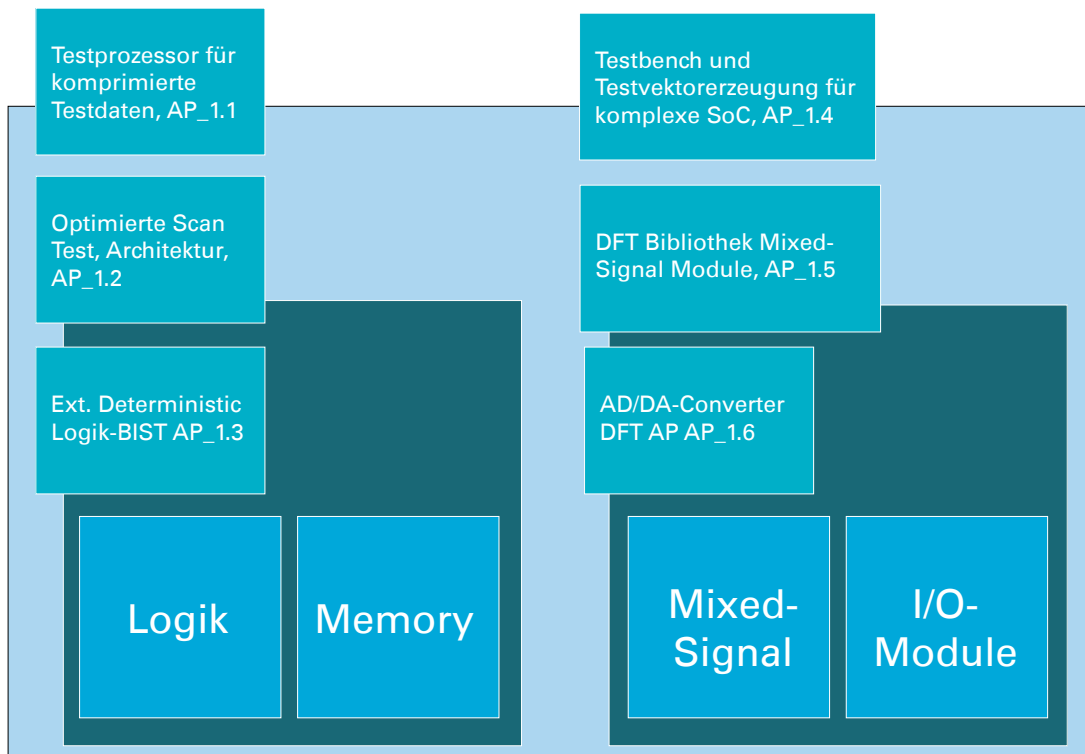


Abbildung 1:
Modularer Test für komplexe Systems-on-Chip

Scanketten entwickelt und mittels prototypischer Software implementiert. Bei einer „x“-Bitverteilung von 99 % in den Testmustern wurde ein Komprimierungsfaktor bis zu 30 für Eingangsdaten erreicht. Es wurde ein erster vollständiger Scancontroller implementiert und ein Testprozessor für funktionalen Selbsttest (off-line) mit der Fähigkeit für On-Line-Selbsttest entworfen. Dieser Ansatz soll eine in Zukunft benötigte externe Testerausrüstung auf die Durchführung von nur parametrischen Tests (z.B. Ruhestromaufnahme oder Signalpegel) reduzieren

Die mit der Komplexität der SoC einhergehenden großen Datenmengen führen zu einem hohen Bedarf an Investitionen in der Testausrüstung, da der benötigte Speicher um Größenordnungen teurer ist als bei PC-Applikationen. In der Folge führen lange Scanketten zu einer entsprechend verlängerten Testzeit, die annähernd proportional zur Kettenlänge ist. Sowohl von der technischen Seite (Patternspeicher) wie auch von der Anlagennutzung (lange Testzeiten) entsteht massiver wirtschaftlicher Druck. Unter der Annahme mindestens gleich hoher Testqualität auch für die Zukunft würden die steigenden Testkosten einer Bereitstellung von SoC für Massenanwendungen in der Automobil- und Kommunikationstechnik im Wege stehen.

» Es wurde untersucht, in wie weit optimierte Scanzellen neuartige Scan-Test-Verfahren wie z.B. den Delay-Test unterstützen können. Verschiedene Realisierungsformen für Scanzellen wurden analysiert und es wurde gezeigt, dass die optimierten Scanzellen von den vorhandenen automatischen Entwurfswerkzeugen verarbeitet werden können. Man verspricht sich hier einen Durchbruch durch die Reduktion von Testzeit. Bei gleich bleibender Infrastruktur sollen

sehr hohe Produktionskapazitäten erreicht werden, um im internationalen Wettbewerb konkurrenzfähig bleiben zu können.

Prozesstechnologien im sub-100 nm-Bereich erlauben die Integration sehr komplexer Funktionen mit hohen Systemfrequenzen. Unter produktiven Randbedingungen stößt der Einsatz des klassischen Testsystems zur Realisierung dieser großen Testvektormengen und von zeitlich hochauflösenden Tests an technische und wirtschaftliche Grenzen. Die Lösung dieser Probleme für Logik-Module und IPs soll durch den Einsatz eines erweiterten Logic Built-in Self-Tests (LBIST) - Extended Logic Built-in Self-Test - in Multi-Million-Gate SoCs erreicht werden. Die Schwerpunkte liegen auf einem deterministischen Ansatz zur Erreichung einer 100 % Fehlerabdeckung für Stuck-At- und Gate-Delay-Fehler, die Verkürzung der Synthesezeit und die deutliche Reduktion der benötigten Chipfläche im Bezug auf die Built-in-Logik.

» Es wurde ein Demonstratordesign in einer 180 nm Technologie erstellt, das eine erste prototypische Implementierung des LBIST enthält mit minimaler Fläche für die benötigte Bit-Flipping-Logik (BFL). Die BFL stellt die zentrale Komponente der DLBIST-Architektur dar und generiert die deterministische Belegung der Pseudozufallsmuster. Der zusätzliche Flächenbedarf für die LBIST Logik liegt hier im Bereich 2 % bis 5 %.

Für nicht selbsttestbare SoC-Module und IPs wird der Ansatz verfolgt, die Testmuster zusammen mit dem Layout bereitzustellen, d.h. die Erzeugung von Testmustern erfolgt nach diesem Konzept für einzelne IPs, und der Test für ein SoC ergibt sich somit aus

der Summe der einzelnen IP-Tests. Das wesentliche Problem hierbei ist, dass IP-Tests nicht eins zu eins an SoC-Pins angelegt werden können, sondern erst von der IP-Ebene zur SoC-Ebene transformiert bzw. expandiert werden müssen. Ein weiteres Problem bei den schon heute sehr komplexen SoC-Tests besteht in den enormen Datenmengen, die erzeugt werden. Die Handhabung dieser Datenmengen ist sehr zeitintensiv und erfordert auch für Mixed-Signal-Module eine automatische Unterstützung.

- » Es wurde ein Konzept für eine leistungsfähige SOC-Testvektorerzeugung, die Gliederung von komplexen SoC-Designs in einzelne Testmodule und die Berücksichtigung von spezifischen Anforderungen wie BIST für Memories entwickelt, und neue Algorithmen und Methoden implementiert. Diese Programme ermöglichen die beliebige Verknüpfung serieller und paralleler Testbenches, sowie von Waveformaten und Testzyklenlängen, die eine direkte Unterstützung von At-Speed-Tests erlauben. Die Software wurde an einer aktuellen Schaltung in einer 180 nm Technologie validiert. Die Zeit für die Erzeugung der Testbenches konnte dabei von 41 Stunden auf 40 Minuten reduziert werden.

Im Umfeld des Volumentests für Mixed-Signal-Module stellen sich technische und wirtschaftliche Probleme vor allem durch das Vorhandensein einer Vielzahl von testspezifischen Lösungsansätzen. Die Ansätze, die sowohl Maßnahmen für DFT (Design-For-Testability) und BIST, als auch Konzepte für das Testen von IPs beinhalten, werden in der Regel individuell auf jeden neuen Fall zugeschnitten, was eine enorme Belastung der entsprechenden Ressourcen für Messtechnik darstellt.

- » Es wurde eine flexible Testprogrammstruktur und DFT-Bibliothek für die Testsysteme M3650 bzw. Piranha der Firma Credence/SZ entwickelt, welche die Wiederverwendbarkeit von Mixed-Signal-Testmodulen optimiert. Der neue Testflow erzwingt die Verwendung von ausreichend charakterisierten und dokumentierten Testmakros, führt zu einer deutlichen Zeitersparnis bei der Testprogrammerstellung und zu einer wesentlichen verbesserten Qualität der ersten Testprogrammversion. Es wird eine Zeiterparnis im Testentwicklungsprozess von bis zu 30 % erwartet. Dies führt dazu, dass das erste Silizium wesentlich umfangreicher charakterisiert werden kann und die „Time-to-Market“ für neue Produkte verkürzt wird.
- » Für Analog-Digital-Converter für Audioanwendungen wurde ein neues Verfahren entwickelt, das es ermöglicht, auf einem kostengünstigen Digitaltester wesentlich schneller zu testen als dies bisher der Fall war. Das Testverfahren erlaubt den dynamischen Test mit einer Abtastrate von bis zu 4 MHz. Während die Standardmethoden die Parameter aus

dem Frequenzspektrum bestimmen, was eine rechenaufwendige FFT-Operation voraussetzt, arbeitet das neue Verfahren direkt im Zeitbereich. Die Methode basiert auf einem pulsdichte-modulierten (PDM) und sigma-delta-kodierten (S?) Bitstrom als Stimuli. Der digitale Datenstrom wird mittels eines analogen Tiefpassfilters in ein analoges Sinussignal gewandelt, welches den ADC speist. Das gemessene Signal wird gegen ein digitales Referenzsignal verglichen. Aus dem Differenzsignal können ohne weitere rechenintensive Transformationen direkt die wesentlichen Bausteinparameter Offset, Gain und Signal/Rauschverhältnis extrahiert werden. Versuchsreihen auf einem Teradyne J750 Tester haben gegenüber dem bisher verwendeten Verfahren eine Verringerung der Testzeit um den Faktor 4 erzielt.

Teilprojekt 2:

„Diagnose und Fehlerlokalisierung“

Eine wichtige Randbedingung für die Versorgung der Märkte mit kostengünstigen SoC ist die Halbleiterfertigung mit hohen Ausbeuten. Auch die leistungsfähigste Entwurfsmethodik und EDA-Infrastruktur müssen um Methoden und Hilfsmittel zur Bestimmung des realen SoC-Verhaltens bzw. zur Identifikation der Ursache von Abweichungen ergänzt werden. Hierfür werden leistungsfähige Lösungen für die Fehlerlokalisierung in komplexen SoC benötigt, die eine schnelle Korrektur von Produkt oder Herstellungsprozess ermöglichen. Dieses Arbeitspaket befasst sich mit der Untersuchung und Implementierung der Verfahren und Algorithmen zur Lokalisierung von Logik- und Memory-Fehlern, und insbesondere mit der Erzeugung von Testmustern zur Erkennung von Bridging-Fehlern in SoC-Designs und ihrer Lokalisierung unter Angabe der Layout-Koordinaten. Darüber hinaus sollen Verfahren und Algorithmen zur Erzeugung einer Fehlerbibliothek für die Lokalisierung von Delay-Fehlern in SoC-Designs untersucht und implementiert werden. Das Arbeitspaket „Diagnose und Fehlerlokalisierung“ in **Abbildung 2** gliedert sich in die Arbeitspakete AP_2.1 bis AP_2.4.

Auf Grund immer kleiner werdender Strukturen und vor allem einer immer größeren Anzahl von Metallisierungsebenen wird die genaue elektrische Diagnose und Fehlerlokalisierung bis hin zu Layern und Layoutkoordinaten im Layout mehr und mehr zur Voraussetzung für eine erfolgreiche Anwendung der neuen sub-100 nm Halbleiterprozesse und ihrer anspruchsvollen zukünftigen Applikationen. Zusätzlich zu Stuck-At-Fehlern wird es jetzt erforderlich, Fehlverhalten in Bezug auf Kurzschlüsse zwischen benachbarten Leitungen und in Bezug auf Verzögerungen auf Verbindungsleitungen zu überprüfen. Kapazitive, parasitäre Effekte zwischen benachbarten Leiterbahnen und mögliche galvanische Kurzschlüsse zwischen solchen Leiterbahnen nehmen stark an Bedeutung zu. Bereits jetzt weisen Leitungen (14 mm Länge) in 250 nm-Technologien das Zwanzigfache des durchschnittlichen Gate-

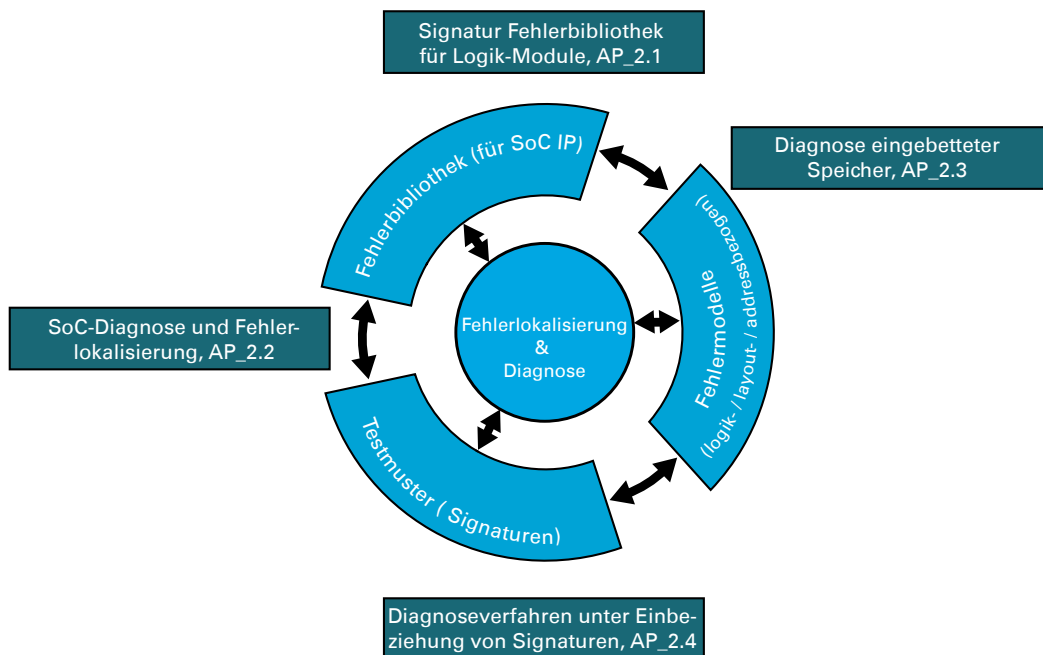


Abbildung 2:
Diagnose und Fehlerlokalisierung

Delays von Logikgattern auf. Ab 150 nm-Technologien dominieren Verzögerungen auf Verbindungsleitungen gegenüber Verzögerungen in Logikgattern.

» Die Implementierung einer Bridging-Fehlerbibliothek wurde erfolgreich validiert und die Analyse und Spezifikation der Algorithmen zur Erkennung von dynamischen Gate-Delay-Fehlern durchgeführt. Im Gegensatz zu den statischen Fehlern (wie Haftfehler) sind dynamische Delay-Fehler nur dann erkennbar, wenn ein Signalwechsel an den Flipflops einer Schaltung durchgeführt wird. Daher können dynamische Tests nur mit zwei ‚Modes‘ durchgeführt werden. Der erste Mode initialisiert den zu testenden Bereich, der zweite Mode führt durch das Anlegen der geeigneten Testmuster den Signalwechsel durch. Danach kann geprüft werden, ob das Signal zeitverzögert oder korrekt ankommt. Die Software zur Erstellung einer Fehlerbibliothek für Gate-Delay-Fehler ist noch in der Implementierung.

Zur Verbesserung der Ausbeute werden während der Produktion On-Line-Tests durchgeführt. Schwachstellenanalysen sind damit für eine große Anzahl von Ausfällen möglich. Um innerhalb der Soc-Designs die Lokalisierung der Fehler durchführen zu können, bedarf es zwei verschiedener Schritte. Zum einen muss innerhalb des SoC-Designs der fehlerhafte IP-Block gefunden und benannt werden, zum anderen muss innerhalb dieses IP-Blocks der eigentliche Fehler lokalisiert werden. Um dies zu realisieren, wird zuerst das gesamte SoC untersucht. Dies geschieht auf der Basis von Dateien, die sämtliche Informationen bezüglich des SoC-Layouts beinhalten, wie die physikalischen Verbindungen innerhalb der einzelnen IP-Blöcke untereinander, der Ein- und Ausgänge der einzelnen IP-Blöcke und die Beschreibung der Ein- und Ausgänge der Gesamtschaltung. Damit wird es möglich, in Verbindung mit den Informationen aus den vorhandenen

Fehlerbibliotheken und Fehlerdateien der Testsysteme, die Analyse und Lokalisierung der aufgetretenen Fehler durchzuführen. Der Schwerpunkt liegt hier auf der Spezifikation und Implementierung von geeigneten Algorithmen und Verfahren zur elektrischen Diagnose und Lokalisierung von Delay-Fehlern.

» Die gängigen Diagnose-Interfaces von Speicher-BIST-Controllern wurden auf deren Tauglichkeit für die Fehlerdiagnose im Zusammenhang mit den heute verfügbaren Testsystemen untersucht. Dabei wurde festgestellt, dass prinzipiell zwei unterschiedliche Verfahren - mit und ohne Handshaking - zum Auslesen der Fehlerinformation möglich sind. Die Fehlerinformation kann zur Erstellung von Bitmapgrafiken verwendet werden, die dann die Fehlerdiagnose erleichtern. Aus der Verfahrensklasse der Handshaking-Interfaces wurden das BISTest-Interface und BISR-Interface (Built-in Self-Repair) zum Auslesen der Fuse-Information untersucht. Hier kann durch geeignete Programmierung des Testsystems die sichere Datenerfassung der Bausteine sichergestellt werden. Die Analyse der verwendeten Testerarchitekturen auch in Hinblick auf weitläufig verwendete Interfaces ohne Handshaking war Grundlage für eine erfolgreiche Implementierung verschiedener Algorithmen in teilweise produktiv laufenden Testprogrammen.

BIST-Methoden werden zunehmend in industriellen Anwendungen akzeptiert, insbesondere die Kombination von Scan und BIST (Scan-BIST). Hierbei steht die Auswertung großer Datenmengen – wie sie beim scanbasierten Test anfallen – im Vordergrund. Es ist deshalb wichtig, Methoden zu erarbeiten, die unter Verwendung der Scan-BIST-Architektur ausreichende Diagnoseinformationen bereitstellen, um den sehr aufwendigen messtechnischen Diagnoseprozess zu verkürzen.

» Es wurde ein neues Diagnose-Verfahren entwickelt, das die auf den Scanpfaden parallel ausgegebenen Testsignale als Informationsbits eines linearen fehlerkorrigierenden Codes betrachtet. Hierdurch sind für integrierte Schaltkreise mit einer großen Anzahl von Scanpfaden sehr hohe Kompressionsraten bei der Diagnose möglich. Messungen mit 2000 Scan-Pattern wurden an 20 fehlerhaften ICs durchgeführt. Alle 20 ICs konnten erfolgreich diagnostiziert werden. Man verspricht sich hier einen wesentlichen Wettbewerbsvorteil bei der Einführung neuer Technologien. Es wird beabsichtigt, schon während des Produktionstests von SoC kostengünstig mit sogenannten Signatur-Registern wichtige Daten für die Ausbeutesteigerung zu erzeugen. Aufwendige nachfolgende Analyse-messungen entfallen und die Rückführung der Analysedaten in den Prozess wird beschleunigt.

**Teilprojekt 3:
„Timing- und Performance-Test bei hohen Betriebsfrequenzen“**

In diesem Arbeitspaket werden neue Testlösungen entwickelt, die dynamische Eigenschaften eines Produkts sicher nachweisen und sich in den Produktionsprozess integrieren lassen. Das Arbeitspaket gliedert sich in die Arbeitspakete AP_3.1 bis AP_3.5

(Abbildung 3)

Mit steigenden Betriebsfrequenzen bei gleichzeitig abnehmenden Strukturgrößen gewinnt der Performance-Test für integrierte digitale Schaltungen im Rahmen des Produktionstests zunehmend an Bedeutung. Der Performance-Test verifiziert die Funktionsfähigkeit einer produzierten Schaltung bei der späteren Betriebsfrequenz und erkennt dadurch Produktionsdefekte, die von den in der Industrie weit verbreiteten strukturellen statischen Testverfahren (Stuck-At-Test, IDDQ-Test) nicht sicher erkannt werden. Für aktuelle sowie verstärkt für kommende Produktionstechnologien werden gerade diese Produktionsdefekte als eine der dominanten Ursachen für Produktionsfehler erwartet. Um zukünftig die Produktionstestkosten für sehr komplexe SoC-Produkte weiter zu reduzieren, ist beabsichtigt, die heute noch üblichen dynamischen funktionalen Tests durch dynamische strukturelle Produktionstests, so genannte Delay-Tests, zu ersetzen. Die technischen Voraussetzungen dazu wurden untersucht und berichtet, und spezielle Scan-Test-Architekturen festgelegt. Um die Produktqualität durch die bisher verwendeten Testverfahren zu gewährleisten, wurden zusätzlich Pilotprodukte ausgewählt, an denen zurzeit umfangreiche Korrelationsmessungen unter Massenproduktionsbedingungen durchgeführt werden.

Bisherige ATPG-Verfahren (Automatic Test Pattern Generation) berücksichtigen nur unzureichend Anforderungen an den produktiven Delay-Test speziell bei den neuesten sub-100 nm Prozesstechnologien mit hohen Systemfrequenzen. Spezielle Verfahren für Logik-BIST-

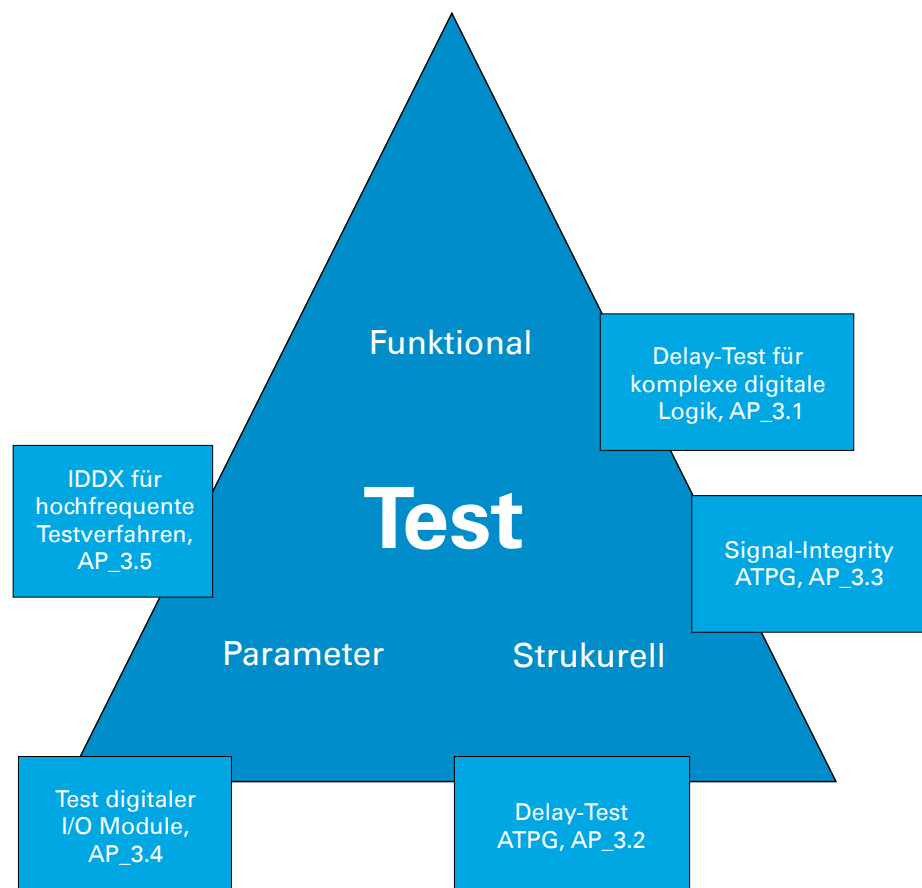


Abbildung 3:
Timing- und Performance-Tests
bei hohen Betriebsfrequenzen

Anwendungen werden bislang nicht berücksichtigt.

- » Es wurden geeignete Algorithmen zur Erzeugung von Testmustern für Verzögerungsfehler entwickelt und implementiert. Die Validierung dieser Delay-Test ATPG-Software wurde erfolgreich abgeschlossen. Konzeptüberlegungen und die Spezifikation zur Erstellung von Algorithmen für einen Pfadverzögerungsfehlertest (Path-Delay) bilden einen weiteren Schwerpunkt.

In modernsten sub-100 nm Technologien mit sehr komplexen Funktionen und hohen Taktraten ist der klassische Haftfehler- (Stuck-At-), bzw. Verzögerungsfehler- (Delay-) Ansatz für die Erkennung dynamischer Einflüsse benachbarter Signale nicht mehr ausreichend. Daher ist hier das Ziel, automatisch erzeugte Testmuster zu generieren, mit deren Hilfe defekt- oder designbedingte Probleme der Signalintegrität von SoC-Schaltungen gefunden werden können.

- » Es wurde ein Leitungsmodell 4. Ordnung entwickelt, das die Berechnung von Kopplungseffekten erlaubt. Die Validierung der mathematischen Modelle mit Schaltungssimulationen zeigte eine gute Übereinstimmung und dient als Grundlage für die Generierung geeigneter Testmuster für Signal-Integrity-Fehler.

Im Regelfall wird zum Test einer Halbleiterschaltung mit n Anschlüssen (Versorgungsanschlüsse nicht mitgerechnet) ein Testautomat mit ebenfalls n Ein-/Ausgängen benötigt, über welchen die Signale an die Halbleiterschaltung angelegt und gemessen werden. Der Testautomat muss die Signale in der vom Prüfling benötigten Geschwindigkeit anlegen und auswerten können. Die Kosten eines Testautomaten sind stark abhängig von der Anzahl der Ein- und Ausgänge (Testerkanäle) und der maximal verfügbaren Signalfrequenz sowie seiner Genauigkeit. Aus wirtschaftlichen Gründen werden daher Testverfahren angestrebt, die mit einfachen Testautomaten mit wenigen Ein-/Ausgängen und niedrigen Frequenzen auskommen.

- » Es wurde ein Testchip inklusive Testprogramm und entsprechenden Prüfadaptern fertig gestellt, bei dem die IO-BIST-Methode für statisches sowie dynamisches Verhalten von bidirektionalen Pads der traditionellen Testmethode mit einem Testsystem gegenübergestellt werden konnte. Alle dynamischen und statischen Parameter wurden auf einem Testchip gegenüber der herkömmlichen Testsystemmethode erfolgreich verifiziert.

Volumentests für hochfrequente Bausteine sind vor allem durch die Vielzahl der abzudeckenden Funktionen und die damit verbundene testspezifische Komplexität sehr zeitaufwendig und erschweren eine flexible Adaption an verschiedenste Markterfordernisse. Neben der damit verbundenen kostenintensiven hardwarem-

äßigen Aufrüstung vorhandener Testsysteme werden heute verschiedene andere Ansätze (z.B. BIST-Maßnahmen) verfolgt, um hochfrequente Testverfahren (Timing- und Performance-Tests) wirtschaftlicher zu gestalten.

- » Es wurden versorgungsstrombasierte Messungen (DC und AC) an guten und bekannten ausgefallenen Bauelementen aus der Produktion mit Hilfe von externen Stromsensoren durchgeführt. Die statistische Auswertung der Messungen lieferte nur für „katastrophale“ Fehler eine eindeutige Aussage. Auch bei der Messung des Versorgungsstromes mit externem Stromsensor war keine eindeutige Korrelation zu Parameterausfällen möglich. Eine mögliche Lösung dieses Problems könnte durch die Verlagerung des Stromsensors in den Schaltkreis hinein erzwungen werden. Dadurch könnte direkt die Stromaufnahme eines einzelnen Schaltungsblocks gemessen und die Überlagerung der Stromverläufe verschiedener Schaltungsblöcke vermieden werden. Dies erfordert aber eine Änderung an der Schaltung des IC und am Layout. Zur Kontaktierung des Stromsensors ist ein zusätzliches Pad erforderlich. Da die Anzahl der Pins im fertigen Gehäuse begrenzt ist, und in der Regel bereits alle Pins belegt sind, wird die Strommessung auf dem Wafer favorisiert. Durch den Einsatz versorgungsstrombasierter Messungen wird eine Verringerung des Test-Overheads bei hochfrequenten Tests erwartet.

Zusammenfassung

Gemeinsames, technisches Ziel der Partner ist es, neue Test- und Diagnosemethodiken und EDA-Werkzeuge zu entwickeln, die den applikationsspezifischen IC-Test effizienter und kostengünstiger machen. Mit den in AZTEKE erstmalig entwickelten Methoden wird eine Reduktion der horrenden Testdatenmengen um den Faktor 10 erreicht werden können. Diese Methoden legen den Grundstein, um heute übliche funktionale At-Speed-Tests zukünftig durch strukturelle Tests ablösen zu können. Die berichteten Ergebnisse verschaffen einen Kosten- und Qualitätsvorteil derart, dass es trotz steigender Qualitätsanforderung möglich sein wird, auf kostengünstigeres Testequipment auszuweichen. Sie verbessern den Entwurfsprozess für SoC und Multi-Million Gates nachhaltig - insbesondere die Ansätze mit BIST reduzieren den benötigten Speicherbedarf für Produktionstester - und legen die Grundlage, um zukünftig Eigenschaften von digitalen und Mixed-Signal-SoC auch mit stark reduzierter Anzahl von Testerkanälen testen zu können.

Kontakt:

Dr. Sebastian Sattler
Infineon Technologies AG
Balanstr. 73
81541 München
fon: 089 234 22394
fon: 089 234 21167
sebastian.sattler@infineon.com

Weitere Informationen finden
Sie unter: www.edacentrum.de/ekompass/projekte/azteke.html