

ASDESE: Application Specific Design for ESD and Substrate Effects

Zusammensetzung des Projektkonsortiums

Partner:

- » Atmel Germany GmbH
- » Cadence Design Systems GmbH
- » Infineon Technologies AG
- » Philips Semiconductors GmbH
- » Robert Bosch GmbH
- » X-Fab Semiconductor Foundries

Unterauftragnehmer:

- » Fraunhofer Gesellschaft IZM
- » Fachhochschule Osnabrück
- » Universität Hannover
- » Ruhr-Universität Bochum
- » IMMS gGmbH
- » Melexis GmbH

Förderkennzeichen:

01 M 3053

Laufzeit des Vorhabens:

01.03.2001 bis 30.06.2003

Schlüsselworte:

Charged-Device-Model, Deep-Sub-Micron, ESD, High-Frequency Processes, Human-Body-Model, Silicon-On-Insulator, Smart Power, Substrateeffekte

Projektziele

Das Projekt ASDESE wurde im Rahmen der BMBF-Förderinitiative Ekompas vom März 2001 bis Juni 2003 durchgeführt. Es war durch die Notwendigkeit motiviert, die Entwicklungszeiten von integrierten Schaltungen (ICs) zu reduzieren und die robuste Funktion zukünftig zu entwickelnder ICs abzusichern. Technisches Ziel war es, simulationsgestützte Entwurfsmethoden zu entwickeln, die die Festigkeit von ICs gegen elektrostatische Entladungen (Electrostatic Discharge, ESD) absichern und Substrateffekte beherrschen lassen.

Elektrische Entladungen von oder auf ICs können während der Herstellung oder beim Kunden auftreten. Um Schäden auf den ICs durch diese Entladungen zu verhindern, müssen für jeden IC-Pin ESD-Schutzstrukturen integriert werden, die Strompulse im Ampere-Bereich in sehr kurzen Zeiten auf dem Chip sicher ableiten. Über den Schutz gegen ESD-Belastungen nach dem ‚klassischen‘ Human Body Model (HBM) hinaus zielte die Entwicklungsarbeit auf das immer wichtiger werdende ‚Charged Device Model (CDM)‘. Ziel war es, für CDM die Messtechnik auszubauen und auf physikalischer Bauelementsimulation und Schaltungssimulation basierende Entwurfsmethoden zu entwickeln.

Überkopplungen von Störungen über das Substrat von ICs können die Funktion gefährden und müssen daher beherrscht werden. Die Partner zielten darauf, Methoden zur Beschreibung der komplexen Kopplungen innerhalb des Substrats und des Substrats mit seiner Umgebung (z.B. Verdrahtung) auszubauen. Der Schwerpunkt des Interesses lag auf der Integration mehrerer Simulationswerkzeuge in eine kommerziell erhältliche Designumgebung. Darüber hinaus sollten hierarchische Methoden entwickelt werden, die komplexere Probleme in mehrere Abstraktionsebenen unterteilen. Ziel war es, den Frequenzbereich bis 40 GHz abzudecken.

Das Konsortium verifizierte die genannten Entwurfsmethoden und Werkzeuge für verschiedene Technologien (Smart-Power-, Deep-sub- μ -CMOS-, SOI-, sowie BiCMOS-, und SiGe-Prozesse für RF-Anwendungen). Für Schaltungsentwickler zielte das Projekt darauf, Entwurfshinweise zu erarbeiten. Diese ermöglichen bereits zu einem frühen Zeitpunkt des Entwurfs, wirksame Maßnahmen zu ergreifen, um teure Re-Designs zu vermeiden.

Ergebnisse:

Das ASDESE-Projekt wurde erfolgreich abgeschlossen. Die wichtigsten Ergebnisse zum Entwurf von ESD-Schutzstrukturen sind folgende:

Zunächst wurde erstmals eine funkenfreie, und damit reproduzierbare Charakterisierungsmethode für CDM-Tester entwickelt, die für die Modellierung genutzt und in die Standardisierung eingebracht wurde. Mittels physikalischer Bauelementsimulation wiesen die Partner erstmals den großen Einfluss von bisher für CDM-ESD vernachlässigten physikalischen Effekten nach (z. B. ‚Forward Recovery‘, ‚Transient Reverse Overshoot‘). Deren Relevanz wurde auch durch Messung unter ultrakurzen Pulsen (very-fast Transmission Line Pulsing) belegt. Schaltungssimulation lieferte wichtige Erkenntnisse über Entladepfade, deren Auswirkung auf die CDM-Festigkeit, und sie führte zu Entwurfshinweisen. Vorgehensweise und Anwendungsbeispiele werden weiter unten beschrieben.

Zur Beherrschung von Substratkopplungen erzielte das Projekt folgende zentrale Ergebnisse:

Die Partner integrierten Substratsimulatoren mit unterschiedlichen Anwendungsprofilen (hohe Komponentenzahl, mittlere Genauigkeit oder hohe Genauigkeit für RF bei beschränkter Komponentenzahl) in eine gemeinsame Entwurfsumgebung (Cadence). Anwendungsbeispiele belegen eindrucksvoll das Potential der Simulationswerkzeuge bis hin zu sehr hohen Frequenzen. Unten wird über eine Studie an einem 30 Gbit/s Transimpedanzverstärker berichtet. Darüber hinaus entwickelten die Partner eine Methode, die eine - bisher nicht existierende - hierarchische Behandlung von Substratkopplungen erlaubt.

Die Partner veröffentlichten während des ASDES Projekts zum Teil gemeinsam mehr als 20 Beiträge zu Konferenzen und Workshops sowie Artikel in Fachzeitschriften. Darunter befanden sich auch einige eingeladene Beiträge, die das Interesse an den Ergebnissen des Asdeses Projektes belegen.

Arbeitspaket 1, ESD

In diesem Arbeitspaket lag der Schwerpunkt der Arbeiten auf dem immer wichtiger werdenden CDM-Belastungs-Modell. Mit diesem Modell wird die Entlade-Festigkeit von ICs getestet, nachdem diese selbst elektrostatisch aufgeladen worden sind. Es bildet damit realistische Bedingungen nach, wie sie z. B. in der Fertigung oder bei der Montage durch

Reibungselektrizität oder Influenz auftreten können. Die Partner entwickelten neue Methoden in der ESD-Charakterisierung und bauten physikalische Bauelementsimulation und Schaltungssimulation im CDM-relevanten Zeitbereich aus. Zunächst konzentrierte sich die Charakterisierung auf funkenfreie, und damit sicher reproduzierbare HF-Messungen der CDM-Testercharakteristik, um aus diesen Daten ein Ersatzschaltbild zu extrahieren. Dieses Ersatzschaltbild bildete eine wichtige Grundlage für die Simulation. Weiterhin wurden Charakterisierungsmethoden wie ‚very-fast‘ Transmission-Line-Pulsing und das optische Rasterverfahren ausgebaut, um das transiente Verhalten aktiver Bauelemente zu erfassen. Die von den Partnern gemeinsam entwickelte Simulationsmethodik ist in **Abbildung 2** dargestellt.

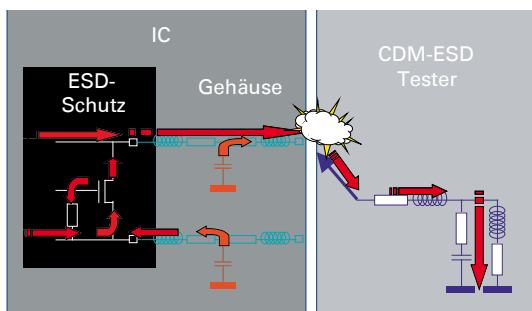


Abbildung 2

Die beim CDM-Test auf dem IC gespeicherte Ladung fließt im Moment der Entladung in extrem kurzer Zeit (~1 ns) über aktive Bauelemente auf dem Chip. Die hohen Ströme (~5-10 A) erzeugen lokale Spannungsabfälle, die zu bewerten sind. Ein hinreichend funktionierender ESD-Schutz sollte diese Ströme so niederohmig ableiten, dass keine gefährlichen Überspannungen an den integrierten Bauelementen entstehen. Die bereits genannten, unter CDM relevanten, bisher nicht beachteten physikalischen Effekte konnten mittels physikalischer Bauelementsimulation aufgedeckt werden. Sie wurden an Messungen verifiziert und in Modelle für die Schaltkreissimulation eingebunden. Das Vorgehen bei der Auswertung der Simulation ist in **Abbildung 3** für den NMOS-Transistor in einem Inverter dargestellt. Bei einer CDM-Entladung steigt das Potenzial aller Knoten in extrem kurzer Zeit (sub-Nanosekunden-Bereich) vom Wert der Vorladespannung (hier -500 V) auf nahezu Testermasse an. Geringfügige Phasenverschiebungen führen zu lokalen Spannungsüberhöhungen, die empfindliche Anschlüsse integrierter Bauelemente (z.B. Gates) zerstören können. Es treten, wie in **Abbildung 4** gezeigt, kurzzeitig Spannungswerte von über 20 V zwischen Drain und Gate auf. Solche Überspannungen können dann, in Abhängigkeit von Technologie und Bauelementtyp, auf Risiko von Drift oder Total-

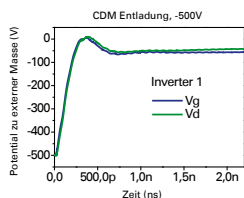


Abbildung 3

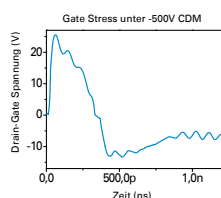


Abbildung 4

ausfall bewertet werden. Damit erlaubt die Simulation die Optimierung des Einsatzes von Schutzstrukturen, bevor Silizium gefertigt werden muss.

Die Partner verifizierten die Simulationsergebnisse erfolgreich durch Messungen an Teststrukturen. Eines der wichtigsten Ergebnisse für die Partner ist das neu gewonnene Verständnis für die halbleiterphysikalischen Effekte, die unter CDM-ESD zusätzlich wichtig werden. Dieses Verständnis floss direkt in Entwurfs-hinweise ein, die für die Entwicklung neuer ICs genutzt werden. Auch die einzelnen Komponenten der in ASDESE entwickelten Design-Unterstützung werden für neue Technologien genutzt. Dies sind die erfolgreich entwickelten CDM-Teststrukturen, das neue CDM-Tester-Modell, sowie die ESD-Simulation. Die Methode der funkenfreien CDM-Tester-Charakterisierung wurde in die Standardisierung (ESD Association, Working Group 5.2) eingebracht. Die Partner veröffentlichten eine Reihe wissenschaftlicher Artikel, u. a. im Rahmen weltweit angesehener Fachkonferenzen.

Arbeitspaket 2, Substrat-Effekte

Unerwünschte Kopplungen über das Substrat gefährden die Funktion von ICs im Analog- und Mixed-Signal-Entwurf. So können z. B. schaltende Endstufen über Fluktuationen des Substratpotentials in unerwünschter Weise auf hochohmige analoge Eingänge zurückkopplern. Diese Substrateffekte müssen bereits im Entwurf beherrscht werden, um Redesigns zu vermeiden. Das Arbeitspaket 2 zielte darauf, Substratsimulations-Werkzeuge mit unterschiedlichen Stärken in eine einheitliche Entwurfsumgebung zu integrieren. Weiterhin demonstrierten die Partner Anwendungen bis hin zu sehr hohen Frequenzen und haben neue Ansätze für die hierarchische Behandlung von Überkopplungen im Substrat entworfen.

Die Integration von Substratsimulatoren mit unterschiedlichen Anwendungsprofilen (große Anzahl von Bauelementen, wählbarer Vereinfachungsgrad oder hohe Genauigkeit bei eingeschränkter Anzahl der Bauelemente) ist in **Abbildung 5** dargestellt. Im Ein-

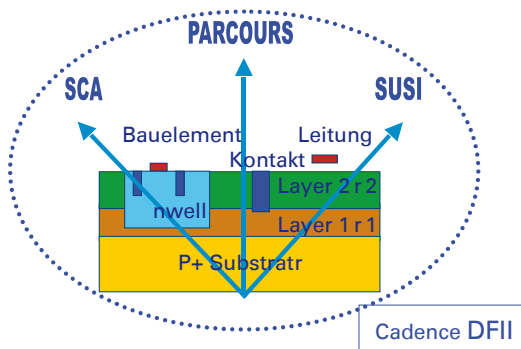


Abbildung 5

zelen wurden die zu Beginn des ASDESE-Projekts unabhängigen Substratsimulatoren SCA (Cadence), PARCOURS (Philips/Universität Hannover) und SUSI (Atmel, Universität Bochum) in die DFII Designumgebung von Cadence integriert. In dieser Entwurf-

Abbildung 2: Schematische Darstellung der in ASDESE entwickelten Methode zur Simulation von CDM-ESD.

Das IC (links) umfasst den Chip mit ESD-Schutz (links, schwarzer Hintergrund) und dem Gehäuse (R, L, C Ersatzschaltbild in grün). Kapazitäten der Strukturen auf dem Chip und der Gehäusepins werden auf die CDM-Vorladespannung geladen. Die gespeicherte Ladung (rot) fließt über aktive Bauelemente und den Entladepin (R, L, C Ersatzschaltbild in grün, oben) hin zum CDM-ESD-Tester (rechts). Der Tester ist durch das in ASDESE neu entwickelte Ersatzschaltbild dargestellt (blau).

Abbildung 3: CDM-Entladung eines NMOS-Transistors in einem Inverter als Funktion der Zeit, Vorladespannung -500V. Simulation des Potentials von Gate (Vg) und Drain (Vd) gegenüber der externen Masse (Tester-Masse).

Abbildung 4: Lokale Spannungsdifferenz Vd-Vg am NMOS unter Bedingungen wie in Abbildung 3, jedoch mit höher aufgelöster Spannungs- und Zeitskala.

Abbildung 5: Schematische Darstellung der Integration unterschiedlicher Substratsimulatoren.

Im Zentrum ist, stellvertretend für das zu simulierende Substrat, ein vereinfachter Querschnitt eines Substratausschnitts mit einem Bauelement, einem Kontakt und einer Leitung dargestellt.

sumgebung wurden sie genutzt, um Hinweise zur Vermeidung von Substratkopplungen abzuleiten, die gegenüber Teststrukturen verifiziert worden sind.

Als Anwendung bei hohen Frequenzen wurde die Substratkopplung in einem 30 Gbit/s Transimpedanzverstärker untersucht. Das Blockschaltbild ist in

Abbildung 6 dargestellt.

Abbildung 6:

Vereinfachtes Blockschaltbild des Transimpedanzverstärkers. Das Substrat ist grau hinterlegt. Die Rückwirkung über das Substrat auf den Eingang ist durch Pfeile angedeutet.

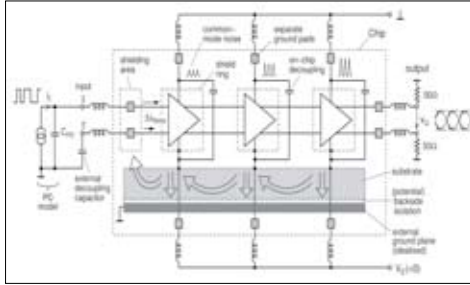


Abbildung 6

Für RF-Anwendungen ist der Simulator SUSI besonders geeignet. Daher wurde er für diese Anwendung genutzt, um Rückkopplungen über das Substrat zu untersuchen. Hierfür wurde der Verstärker durch eine (zufällige) 30 Gbit/s Wortsequenz am Eingang getrieben. Versorgungs- und Masseleitungen der drei Verstärkerstufen koppeln kapazitiv oder direkt an das Substrat. Das Substrat koppelt die resultierenden Störungen zurück an den Eingang. Ein Maß für die Störungen ist die Qualität des ‚Augen‘-Diagramms des Ausgangs. Dies ist in **Abbildung 7** für drei verschiedene Fälle dargestellt

‚Augen‘-Diagramme

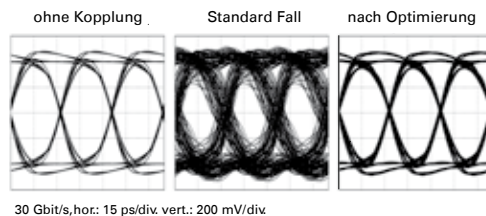


Abbildung 7

Der Entwurf wurde durch mehrere Maßnahmen verbessert. Dies waren z. B. eine gute Anbindung der Rückseite an die externe Masse, Vermeiden von Channel-Stopper und Minimierung parasitärer (Bonddraht) Induktivitäten. Die Wirksamkeit der Optimierung wird eindrucksvoll durch die enorme Verbesserung des Ausgangs-‚Augen‘-Diagramms (Fig. 6, rechts gegenüber Mitte) belegt.

Zwischenzeitlich haben die beteiligten Partner die Substrat-Analyse Werkzeuge in ihre Entwurfsumgebung eingebunden. Ein erprobter simulationsgestützter Entwurfsablauf steht zur Verfügung. Die Partner nutzen die Hinweise, um Substratkopplungen bereits im Entwurf zu berücksichtigen und zu beherrschen. Cadence bietet das Framework für die Substratsimulationswerkzeuge in Ergänzung zu seinen Standardlösungen auf Anfrage kommerziell an (als sogenanntes VCAD-IP Modell).

Für den Cadence Standort München war das ASDESE-Projekt darüber hinaus eine wichtige Basis, um in dieser Technologie-nahen, kundenspezifischen Thematik Support und Entwicklung zu stärken, sowie weitere Kunden für die neuen Werkzeuge zu gewinnen.

Berichte von den Partnern

» Robert Bosch GmbH

Bosch nutzt die Ergebnisse des ASDESE Projekts schwerpunktmäßig, um seine ICs für Anwendungen in der Automobilelektronik gegen CDM-ESD zu härten. Die für Kraftfahrzeuganwendungen spezifischen Anforderungen, wie z.B. Verpolfestigkeit, erfordern Technologien (Smart Power) und Gehäuse (z.B. mit Rückseitenmetallisierung), die zu einem unerwarteten Verhalten unter CDM führen könnten. So konnte mittels der in ASDESE erarbeiteten Methoden aufgedeckt werden, warum entscheidende Komponenten zum CDM-Schutz von IC-Eingängen für die von Bosch genutzten Technologien ein ungewöhnliches Skalierungsverhalten zeigen. Als zusätzlicher Schutz wird zwischen Pad und Eingang, neben einem aktiven ESD-Element, ein diffundierter Widerstand eingefügt. Mittels physikalischer Bauelementsimulation und Schaltungssimulation in Kombination mit Substratsimulation konnte erstmals detailliert erklärt werden, warum die CDM-Festigkeit solcher Eingangsschutzstrukturen mit zunehmendem Widerstandswert nicht, wie eigentlich erwartet, durchgängig zunimmt. Der Grund sind parasitäre Anteile der Widerstandswanne, die durch Ladungen aus dem Substrat gespeist werden. Es ist geplant, eine Studie dieses Phänomens auf der ESD/EOS Konferenz 2004 zu veröffentlichen.

» Infineon Technologies AG

Schutz vor „CDM-ähnlichen“ Entladungen sind für praktisch alle integrierten Schaltungen in den typischen Anwendungsbereichen bei Infineon von großer Bedeutung. In ASDESE wurde die Grundlage geschaffen, durch Messungen, Bauelementesimulation und Schaltkreissimulation Entwurfshinweise für CDM-robustes IC-Design zu definieren. Dazu wurde gemeinsam mit den Partnern in ASDESE ein Satz von geeigneten Teststrukturen entwickelt, die in einer 0.13-µm-CMOS-Technologie prozessiert und mit verschiedenen experimentellen Methoden charakterisiert wurden. TCAD- und Schaltungssimulation dieser Teststrukturen führten zu einem grundlegenden Verständnis der physikalischen Vorgänge in Bauelementen und einfachen Schaltungsblöcken (z. B. Eingangsstufen) in einer modernen deep-sub-µ-CMOS-Technologie während einer schnellen elektrostatischen Entladung. Aus den Messungen und Simulationen konnten beispielsweise die schädliche Rolle von parasitären Widerständen im Entladepfad auf die CDM-Festigkeit nachgewiesen werden; als wichtiger Entwurfshinweis für das Design und Layout von I/O-Strukturen konnte somit ein maximal zulässiger Höchstwert für Leiterbahnwiderstände abgeleitet werden. Diese Ergebnisse

Abbildung 7:

Simuliertes ‚Augen‘-Diagramm des Ausgangs des Verstärkers aus Abbildung 6.

Links: ohne Berücksichtigung von Substrat-Kopplung,

Mitte: mit Substratkopplung, vor Optimierung,

Rechts: mit Substratkopplung nach Optimierung

wurden in die ESD-Entwurfsrichtlinien für die 0.13- μm - und die 90-nm-CMOS-Technologie aufgenommen.

In vielen Anwendungsbereichen von Infineon ist die Vermeidung von unerwünschten Substratkopplungen in empfindliche Schaltungsteile wesentlich für die Realisierung der integrierten Schaltungen. In ASDESE wurde ein Substratanalyse-Werkzeug bereitgestellt, das im Entwurfsablauf von den Schaltungsentwicklern einfach benutzt werden kann. Dieser Punkt wurde in enger Zusammenarbeit mit den Partnern erarbeitet. Mit einem Testchip wurde das Übersprechen von HF-spezifischen Schaltungselementen in einer BiCMOS-Technologie untersucht und das Substratanalyse-Werkzeugs verifiziert. Ein neues Konzept, das eine Abstraktion bzw. eine vereinfachte Beschreibung für das Substrat zulässt, wurde erarbeitet. Außerdem kann das wichtige Thema „Wiederverwendung von Teilblöcken“, die hinsichtlich des Substratübersprechens optimiert sind, mit diesem neuen Konzept realisiert werden. Es ist geplant, die Substratanalyse in einer nächsten Release des Infineon Full-Custom Design-Flows anzubieten und somit Infineon-weit zur Verfügung zu stellen.

» Philips Semiconductors GmbH

In Deep Submicron (DSM) Technologien spielen die Verkopplungen von Bauelementen über das gemeinsame Substrat eine immer stärker werdende Rolle. Insbesondere für die Designer von Hochfrequenz (HF) Schaltungen in Mixed-Signal Prozessen ist das Problem des Übersprechens der hochaktiven digitalen Schaltungsblöcke auf die sensitiven analogen Bereiche über das gemeinsame Substrat eine große Herausforderung. Abschirmmaßnahmen gegen solche unerwünschten Substrateinflüsse, wie z.B. das Einfügen zusätzlicher Substratkontakte, konnten bisher mit bestehenden Simulationwerkzeugen nicht nachvollzogen werden. Eine Modellierung des Substratbereichs war nicht in ausreichendem Maße möglich. Daher ist es das Ziel dieses Beitrags gewesen, dem Entwickler Hilfestellungen, Designhinweise und ein entsprechendes Werkzeug an die Hand zu geben, das eine Extraktion und Modellierung des Substratbereichs in seiner vertrauten Designumgebung erlaubt. Das in ASDESE weiterentwickelte Werkzeug PARCOURS (PARasitic COUpling model geneRator for Substrate) ermöglicht nun die Berücksichtigung von Substratkontakten, ist in das Design Framework einbindbar und erlaubt durch seine grafische Darstellung der Substratstörungen eine Optimierung des Schaltungsentwurfs bereits vor der Erstellung der Hardware. Dies hat bereits dazu geführt, dass auf der Basis der mit PARCOURS erzielten Ergebnisse das Redesign einer aktuellen Schaltung vermieden werden konnte. Damit leisten die Ergebnisse dieser Arbeiten auch einen wichtigen Beitrag dazu, dass die großen technologischen Anforderungen moderner Sub-100nm Prozesse überhaupt erfüllt werden können.

» Atmel Germany GmbH

Die im ASDESE-Projekt erarbeiteten Ergebnisse tragen wesentlich zum tieferen Verständnis des Bauelementverhaltens für neue Smart-Power Technologien auf SOI-Material bei. Auf diesem Wege konnten mit wesentlich geringerem finanziellem und personellem Aufwand geeignete ESD-Schutzstrukturen und -konzepte entwickelt werden. Darüber hinaus konnten grundsätzliche Testverfahren im Einvernehmen mit allen Partnern definiert werden, um eine deutlich bessere Vergleichbarkeit der Charakterisierung des ESD-Schutzes zu erreichen. Darauf aufbauend wurden allgemeine ESD-Richtlinien erarbeitet, mit deren Hilfe ein geeigneter ESD-Schutz für neue Produkte schneller und zuverlässiger entwickelt werden kann. Mit den ermittelten Modellparametern für den Device Simulator steht weiterhin ein Werkzeug zur Verfügung, mit dem auch für die zukünftigen Technologiegenerationen der SOI-Smart-Power-Familie eine effektive Basis zur Entwicklung optimaler ESD-Schutzelemente aufgebaut werden konnte. Damit wird die Entwicklungszeit dieser Technologien deutlich reduziert.

Desweiteren konnten durch die Projektarbeiten verschiedene Maßnahmen gegen das Auftreten von Substrateffekten in HF-Schaltungen ergriffen werden. Die Einführung des Substratsimulators SCA in den Designflow, sowie die Einrichtung von SUSI als Referenzwerkzeug zur genaueren Analyse von Substrateffekten, führten zu einer spürbaren Reduzierung von Redesigns. Im Fokus der Arbeiten stand hierbei besonders die Einflussanalyse von Bond-Induktivitäten auf Substratkopplungen und die Gewinnung erweiterter Substratmodelle. Mittels daraus abgeleiteter Richtlinien sind Schaltungsentwickler jetzt in der Lage, Substratverkopplungen gezielt zu minimieren. Während bei HF-Schaltungen die Erfolge der Substratanalyse zu einer Verminderung der Redesigns führen, scheitert bei Mixed-Signal-Schaltungen eine genauere Substratanalyse oft an der Komplexität der Designs. Hier soll in Zukunft eine hierarchische Analyse, die durch Arbeiten in diesem Projekt vorbereitet wurde, Abhilfe schaffen. Auf diese Weise sollen in Zukunft auch große Designs von der Substratanalyse profitieren.

» X-FAB AG

Die Ergebnisse des ASDESE Projektes werden von X-FAB zur Optimierung des ESD-Schutzes in den X-FAB Design Kits verwendet. Innerhalb des Projektes wurde erstmals systematisch das ESD-Verhalten von DMOS-Transistoren in der 0.8 μm Hochvolt-CMOS-Technologie von X-FAB untersucht. Das ESD-Verhalten der verschiedenen DMOS-Transistoren und der aktiven Schutzschaltungen, die solche DMOS-Transistoren verwenden, konnte mittels Bauelemente- und Schaltungssimulation erklärt werden. Kompaktmodelle für die Elemente einer aktiven ESD-Schutzschaltung wurden in die Cadence-Affirma-Simulationsumgebung integriert. Damit konnte erstmalig die TLP-Belastung einer aktiven ESD-Schutzschaltung in der 0.8

um HV-CMOS-Technologie von X-FAB innerhalb der Cadence-Entwicklungsumgebung simuliert werden. Es ist geplant ESD-Modelle zur Durchführung von ESD-Simulationen von ESD-Schutzschaltungen in Design Kits von X-FAB zu integrieren.

» Cadence

Zur Adressierung von technologienahen Themen wie Substratkopplungsanalyse ist eine Zusammenarbeit zwischen Softwareherstellern und Halbleiterherstellern unabdingbar. Durch das enge Zusammenwirken des Projekt-Konsortiums konnten wesentliche Erkenntnisse gewonnen werden, die von Cadence Design Systems Deutschland genutzt werden. Der Schwerpunkt dieser Ergebnisse liegt bei der Validierung vorhandener Werkzeuge, deren korrekter Einbindung in den Design-Flow und bei der Weiterentwicklung neuer Produkte. Durch die von den Projektpartnern gefertigten und vermessenen Testschaltungen konnte ein direkter Vergleich zwischen Realität und Simulation gezogen werden, der eine Validierung der Produkte, der Anbindung an den Entwurfsflow und der zugrundeliegenden Methodik ermöglicht. Eine solche Zusammenarbeit von verschiedenen Halbleiterfirmen mit einem Softwarehersteller und verschiedenen Universitäten wäre ohne ein Verbundprojekt wie ASDESE sicherlich nicht zustande gekommen. Als konkretes Beispiel ist hier die Erkenntnis über den Gehäuseeinfluss auf die Substratverkopplung zu nennen, die z.B. bei den Untersuchungen zum Transimpedanzverstärker (siehe

Abbildung 5) gewonnen wurde. Die erarbeiteten Methoden, gewonnenen Erfahrungen und Anforderungen der Projektpartner zu Substratanalyse-Werkzeuge fließen in die aktuellen Entwicklungen einer neuen Lösung von Cadence ein, dem Substrate Noise Analyzer (SNA), der auf den bestehenden Lösungen (SCA, SeismIC und SubstrateStorm) basiert. Dabei konnte sich die deutsche Niederlassung durch das in ASDESE gewonnene Know-how und die guten Kontakte zu den Projektpartnern aus der Industrie (Anwender) aktiv in der Spezifikations- und Evaluierungsphase etablieren.

Ausblick und Perspektiven

Das ASDESE-Projekt hat mit ESD und Substrateffekten zwei technologienahen Themenfelder bearbeitet. Für die zukünftige Technologieentwicklung erwarten wir eine unvermindert fortschreitende Miniaturisierung integrierter Bauelemente mit weiter zunehmender Systemintegration auf ICs. Damit werden die Strukturen immer empfindlicher. Daher hat das Projekt Know-how von strategischer Bedeutung für den Entwurf zuverlässiger ICs erarbeitet. Dessen Bedeutung wird in Zukunft noch weiter zunehmen. Das ASDESE-Projekt hat erstmals eine fundierte, halbleiterphysikalische Simulation des CDM-ESD-Verhaltens von Bauelementen ermöglicht. Ein in Zukunft wichtiger innovativer Schritt wird die Absicherung des Gesamt-ESD-Schutzes auf Chip-Ebene sein. Die Ergebnisse des ASDESE-Projekts bilden die notwendige Basis, um diese technisch enorm komplexe Fragestellung angehen zu können.

Kontakt:

Wolfgang Wilkening

Robert Bosch GmbH

AE/DIC1

P.O. Box 13 42

72703 Reutlingen

fon: 07121 35 1533

FAX: 07121 35 37 1533

wolfgang.wilkening2@de.bos

ch.com

Weitere Informationen sind unter www.edacentrum.de/ekompass/projekte/asdese.html zu finden.

Veröffentlichungsanalyse der Ekompas 2000 - 2003

www.edacentrum.de/newsletter

Um eine Übersicht über die wissenschaftlichen Arbeiten und deren Ergebnisse im Ekompas-Programm zu erhalten, hat das edacentrum Ende letzten Jahres damit begonnen, die Veröffentlichungen der Ekompas-Projekte für den Zeitraum 2000 bis 2003 zu erfassen. In den folgenden Abschnitten präsentieren wir Ihnen das Ergebnis dieser Arbeit. Zuvor möchten wir uns an dieser Stelle bei den Projektleitern und deren Mitarbeitern für die tatkräftige Unterstützung bedanken, die die hier beschriebene Analyse der Projektveröffentlichungen erst möglich gemacht hat. Ihnen allen vielen Dank!

Vorüberlegungen

Der Umgang mit Daten und deren Auswertung ist eine kritische Angelegenheit. Wir haben uns bemüht, den meisten Fallstricken auszuweichen, aber eine gewisse Unsicherheit besteht aus folgenden Gründen:

» Erfassung der Daten

Wir haben mit allen Projektleitern eng zusammengearbeitet, um die Veröffentlichungen der Projekte möglichst vollständig zu erfassen. Da eine solche Aktion zum ersten Mal durchgeführt wurde, gab es keine einheitliche Meinung darüber, welche Veröffentlichungen als nennenswert zu beurteilen sind. Auch mussten wir zunächst Erfahrungen sammeln, auf welchen Veranstaltungen und in welchen Medien die Projekte ihre Ergebnisse präsentieren. Die unterschiedliche Beurteilung von Veröffentlichungen bezog sich vor allem auf Veranstaltungen wie nationale Workshops oder Kolloquien. Wir haben an den Stellen nachgehakt, an denen uns Unterschiede auffielen, und uns bemüht, den Projekten durch Rückmeldungen einen Überblick zu geben. Eine Garantie für die Vollständigkeit können wir allerdings nicht geben.