



LEONIDAS - Leitbahnorientiertes Design applikationsspezifischer Schaltungen

Ziel des Projektes LEONIDAS ist es, eine Leitbahnzentrierte Entwurfsmethodik zu schaffen, die es ermöglicht, durch eine frühzeitige Berücksichtigung der Leitbahneigenschaften neue Entwürfe für Nanometer-Technologien in vertretbarer Zeit konzipieren zu können. Wesentlicher Baustein hierzu sind Methoden zur Generierung und Berücksichtigung von verdrahtungsbezogenen Constraints in Layoutwerkzeugen. Dazu werden neue Modelle zur Leitungscharakterisierung sowie Verfahren zur Parameterextraktion entwickelt. Ergänzt werden die Arbeiten durch Untersuchungen zur Auswirkung von Maßnahmen zur Ausbeuteoptimierung auf die Übertragungseigenschaften der Leitbahnen, sowie der Verbesserung eines Design-for-Test-Flows.

Die technische Entwicklung von Systemen in Nanotechnologie führt zu neuen Herausforderungen: Konnten noch vor ein paar Jahren die parasitären Eigenschaften von Leitungen vernachlässigt werden, so können diese heute das Verhalten der Schaltung dominieren. Dafür sorgen die drastisch steigenden Leitungslängen auf hochintegrierten Chips. Das kann soweit führen, dass nach bestehenden Regeln korrekt entworfene Schaltungen nicht funktionsfähig sind. Es kommt zu Re-Designs, die erhebliche Kosten verursachen, und das Erreichen der angestrebten technischen Ziele sehr erschweren.

Das im Rahmen des BMBF-Förderschwerpunktes Ekompas angesiedelte Projekt LEONIDAS wendet sich genau dieser Problematik zu. Sein Ziel ist die Entwicklung eines Entwurfsablaufes, bei dem nicht nur die aktiven Bauelemente, also die Transistoren, das alleinige Ziel der Designoptimierung darstellen. Stattdessen sollen mit dem neuen Paradigma des „Leitbahnorientierten Designs applikationsspezifischer Schaltungen“ auch die bisher als nur parasitär modellierten Leitbahnen mit in diesen Prozess aufgenommen werden. Dieses Ziel erfordert die Verbesserung der Modellierung und der Extraktion der notwendigen Leitbahnparameter, die überdies unter völlig anderen Randbedingungen gewonnen werden müssen. Außerdem müssen an vielen anderen Stellen des Entwurfsablaufs neue Lösungen entwickelt werden, so dass ein Entwurfsablauf entsteht, der in einem einzigen Zug ein Layout generiert, welches den Performancevorgaben aus der Spezifikation genügt. Es ist dazu erforderlich, die Qualität von Verifikation und Entwurf wesentlich zu verbessern, so dass die Vorhersagbarkeit der physikalischen Eigenschaften eines Designs

bereits in einem sehr frühen Stadium mit hoher Genauigkeit gesichert ist. Neue Formen der Leitbahnanalyse erhöhen die Zuverlässigkeit des Layoutentwurfs, dessen Automatisierung der Effizienzerhöhung dient, da der Entwurf letztlich auf einer höheren Abstraktionsebene ausgeführt wird. So ist nicht mehr der detaillierte Aufbau der Leitbahnen für den Designer von Bedeutung.

Technische Projektinhalte

Zur Erreichung der globalen Ziele des Projekts stehen die nachstehend aufgeführten technischen und wissenschaftlichen Themen im Zentrum der Arbeiten:

- » Erstellung von Designrichtlinien, die den Entwurf optimal leistungsfähiger und robuster Schaltungen im Hinblick auf die Leitbahneigenschaften sicherstellen
- » Erforschung von Methoden zur effizienten Behandlung von Prozessschwankungen und lithografiebedingten Änderungen der Leitbahnstrukturen auf dem gefertigten Chip gegenüber der Designdatenbasis
- » Verbesserung von Modellierung und Extraktion mit der Betonung auf einem geeigneten Kompromiss zwischen Simulationsaufwänden und -genauigkeit
- » Konsistente Definition und Behandlung von Constraints im Designablauf
- » Entwicklung von neuartigen Layoutgenerierungswerkzeugen zur Platzierung und Verdrahtung, die eine explizite Berücksichtigung der parasitären Leitbahneigenschaften erlauben
- » Verbesserung eines Design-for-Test-Flows, so dass kapazitive Kopplungen und „Bridging Faults“ behandelt werden können
- » Entwicklung einer leitbahnzentrierten Entwurfsmethodik, die den Entwurf des Ver-

drahtungssystems als neues „Bauelement“ in den Mittelpunkt der Betrachtung stellt

Die Projektarbeit konzentriert sich im Wesentlichen auf Anwendungen aus der Automobilelektronik, der drahtlosen Kommunikation (Bluetooth) und der DRAM-Speicherentwicklung. Dabei werden die entwickelten neuen Methoden und Werkzeuge an Entwürfen aus der industriellen Praxis erprobt.

Bislang erzielte Ergebnisse

LEONIDAS hat mit den bisher durchgeführten Arbeiten die notwendige Grundlagenarbeit zum leitbahnzentrierten Entwurf geleistet. Dabei wurden und werden hervorragende Ergebnisse erzielt, deren großes Potential schon durch erste Erprobungen an industriellen Designs gezeigt werden konnten. Da der Schwerpunkt der Arbeiten auf der Entwicklung neuartiger Methoden und Werkzeuge lag, werden diese zunächst im Wesentlichen für kleinere Schaltungen ausgelegt und an Beispielen aus der industriellen Praxis erprobt.

Berichte von den Partnern

Atmel Germany GmbH

Atmel hat sich, zusammen mit dem IMS der Universität Hannover, zum Ziel gesetzt, einen parasitensymmetrischen Verdrahter zu entwickeln. Sobald das Constraint-Management zur Verfügung steht, wird der Verdrahter die definierten Constraints direkt aus der Constraint-Datenbasis lesen. Für diesen Verdrahter wurden neuartige Konzepte entwickelt und die entwickelten Algorithmen im Hinblick auf den Einsatz in der Praxis diskutiert.

Ein weiteres Ziel von Atmel ist die Entwicklung eines leitbahnzentrierten Design-Flows,



Projektinformation

Förderkennzeichen

01 M 3060

Förderzeitraum

01.04.2002 bis 31.03.2004

Kontakt:

Dr. Martin Frerichs
Infineon Technologies
MP PDT CS ATS

Balanstr. 73
81541 München

martin.frerichs@infineon.com
fon: 089 234 48848

Zusammensetzung des Projektkonsortiums:

Partner:

- » Atmel Germany GmbH
- » Robert Bosch GmbH
- » Cadence Design Systems GmbH
- » PDF Solutions GmbH - aiss Division
- » Philips Semiconductors GmbH

- » Universität Hannover, IMS
- » Synopsys GmbH

Unterauftragnehmer:

- » FH Osnabrück, ITI/NATI
- » Redemund & Thiede Datentechnik GmbH
- » Universität Hannover, LFI
- » Universität Ulm

der speziell für den Telekommunikationsbereich optimiert ist. Dazu wurden Untersuchungen zum Einsatz der physikalischen Synthese gemacht. Im Wesentlichen hat sich dabei gezeigt, dass eine relativ genaue Abschätzung von Leitungsdelays bereits während der Synthese möglich ist. Um eine Verzahnung von Schaltungsentwicklung und Layout bezüglich der Berücksichtigung parasitärer Effekte in Verbindungsstrukturen zu erreichen, wurde ein neuartiges Konzept zur Erweiterung der Vorgehensweise erarbeitet.

Robert Bosch GmbH

Bosch hat sich zum Ziel gesetzt, einen optimierten Extraktionsflow für die Anwendung in der Automobilelektronik zu entwickeln. Hierzu wurde zunächst mit Hilfe von Teststrukturen die Gültigkeit von einfachen Extraktionsformeln überprüft. Dabei stellte sich heraus, dass diese die gestiegenen Anforderungen der neuen bei Bosch eingesetzten Technologien nicht mehr erfüllen. Es müssen Fieldsolver-basierte Extraktionsverfahren eingesetzt werden. Ein weiteres grundlegendes Problem bei der Postlayout-Simulation, dass der Umfang der Netzlisten durch die darin enthaltenen parasitären Bauelemente enorm anwächst und damit der Simulationsaufwand schnell unakzeptable Ausmaße annimmt, wurde ebenfalls näher untersucht. Weiterhin wurden zwei verschiedene, sich ergänzende Ansätze zur stromgeführten Verdrahtung entwickelt, die auf dem gemeinsam mit Atmel, Infineon und dem IMS definierten Constraint-Management aufbauen.

Cadence Design Systems GmbH

Die Arbeiten von Cadence zielen auf die Bereitstellung einer Methodik zur Behandlung von Induktivitäten im Designablauf. Bisher wurden dazu in Zusammenarbeit mit Bosch und Infineon Untersuchungen der neuen Extraktionsmöglichkeiten in Bezug auf Genauigkeit und deren Aufsetzen für eine Prozesstechnologie durchgeführt. Dazu wurden ausführliche Vergleiche mit elektromagnetischen Feldsimulationen und Messungen durchgeführt. Neben der Validierung neuer Algorithmen und Technologien ist deren Bereitstellung im Entwurfsflow entscheidend. Hierzu werden entsprechende Guidelines

und Teststrukturen entwickelt, die die korrekte Einbindung in ein Design-Kit ermöglichen.

Infineon Technologies AG

Bei Infineon wurden Untersuchungen zu dem Einfluss von Induktivitäten auf die Leitbahneigenschaften durchgeführt, die an den speziellen Anforderungen der Speichertechnologien ausgerichtet waren. Weiterhin wurde ein Konzept entwickelt, daß mit einer Empfindlichkeitsanalyse im Analogsimulator eine mehrstufige Extraktion der wirklich relevanten Parasiten ermöglicht.

Zur Erfassung der Einflüsse zufälliger Prozessschwankungen wurde eine neuartige semi-analytische Methode entwickelt. In einem weiteren Schwerpunkt wurde ein Verfahren zur einheitlichen und durchgängigen Behandlung von Constraints in einem Full-Custom-Entwurfsablauf entwickelt. Desweiteren wurde ein Verfahren zur Datenhaltung der Constraints beschrieben, mit dessen Hilfe der Entwurfsablauf optimiert werden kann. Um den Designablauf für den Entwurf von Speicherbausteinen hinsichtlich der Leitbahnen transparent zu gestalten, wurde ein Konzept entwickelt, den Entwurfsablauf flexibler und leistungsfähiger zu gestalten. Zur Optimierung von Leitbahnbreiten für integrierte Schaltungen in Automotive-Anwendungen wurde ein Programm entwickelt, welches den Designablauf um die notwendigen leitbahnzentrierten Fähigkeiten ergänzt.

PDF Solutions GmbH – aiss Division

Im Vordergrund der Arbeiten bei PDF Solutions stand eine erste Implementierung von Algorithmen zur Bestimmung und Extraktion von kritischen Layoutgebieten. Ausgehend vom Chiplayout wurde die Siliziumebene unter Einbeziehung der Herstellungsprozesse modelliert und kritische Strukturverformungen, die sich durch den Herstellungsprozess ergeben, extrahiert, analysiert und bewertet, mit dem Ziel, eine Abschätzung über die sich daraus ableitende Chipausbeute geben zu können. Eine gute Übereinstimmung zwischen der prozessierten und modellierten Siliziumebene wurde anhand zahlreicher Waferdurchläufe im Rahmen von Kundenprojekten nachgewiesen.

Philips Semiconductors GmbH

Philips entwickelte ein EDA-Werkzeug, das die Extraktion von benachbarten Leitbahnen mit den speziellen Testmuster-generator- und Fehlerlokalisationsanforderungen innerhalb eines Layers unter Berücksichtigung von Nachbarlängen und Leitungsabständen ermöglicht. Des Weiteren wurde zur Entwicklung eines Layout und Timing basierenden DFT-Verdrahtungsalgorithmus ein neuer Design- und Testflow erstellt. Dieser vermeidet eine zusätzliche Testmustererzeugung nach der Neuordnung der DFT-Strukturen.

Universität Hannover, IMS

Ziel der Arbeiten des IMS der Universität Hannover ist die Entwicklung eines völlig neuartigen leitbahnzentrierten Design-Flows, der die physikalische Synthese durch die gleichzeitige Behandlung von Platzierung und Verdrahtung sowohl für die aktiven Bauelemente als auch die Leitbahnstrukturen wesentlich verbessert. Des Weiteren wurde mit der Entwicklung und Implementierung eines bibliotheksbasiereten Verdrahters begonnen. Außerdem wurde in enger Zusammenarbeit mit Atmel an der Erforschung von Verfahren zur parasitensymmetrischen Verdrahtung gearbeitet.

Fazit

Die bisher in LEONIDAS vorgelegten Resultate erlauben erstmals, das neue Paradigma des leitbahnzentrierten Entwurfs, bei dem die Leitbahnen im Entwurf gleichberechtigt neben die aktiven Bauelemente gestellt werden, in der Praxis umzusetzen. Hierzu sind im Projekt schon beeindruckende Ergebnisse vorgelegt worden, mit denen die Zahl der Redesigns deutlich vermindert und die Qualität der Entwürfe verbessert werden können. Die Projektpartner erwarten, die Entwurfszeit durch den Einsatz der in LEONIDAS entwickelten Entwurfsmethodiken um Wochen reduzieren zu können. Die vielfältigen Kooperationen zeigen ebenso deutlich die Wichtigkeit der in Leonidas geleisteten Arbeit.

Dem Projektkonsortium LEONIDAS gehören führende System- und Halbleiterhäuser sowie Forschungsinstitute an. Die Projektarbeiten wurden am 1.4.2002 begonnen und enden zum 31.3.2004. Der Gesamtaufwand für die Durchführung der Arbeiten beläuft sich auf 67 Personenjahre.

